Das RICH-Multiplizitätsveto-System für das HERA – B Experiment

Vom Fachbereich Physik
der Universität Dortmund
zur
Erlangung des akademischen Grades eines
Doktors der Naturwissenschaften
genehmigte

DISSERTATION

von
Diplom-Physiker Carsten Cruse

Dortmund
Oktober 2002

Gutachter:
1. Prof. Dr. P. Buchholz
2. Prof. Dr. D. Wegener
Tag der mündlichen Prüfung: 24.10.2002

Inhaltsverzeichnis

Abbildungsverzeichnis

Tabellenverzeichnis

Kapitel 1

Einleitung

Das Ziel der Elementarteilchenphysik ist es, die elementaren Bestandteile und Wechselwirkungen der Materie zu untersuchen. Die bisher erfolgreichste Theorie zur Beschreibung der Bausteine der Materie und deren Wechselwirkungen ist das Standardmodell [Gla 61, Wei 67], das auf der Quantenmechanik [Pla 00, Sch 26, Hei 26] und der speziellen Relativitätstheorie [Ein 05] basiert. Das Standardmodell umfasst die vereinheitlichte Theorie der elektroschwachen Wechselwirkung [Gla 61, Sal 68, Wei 67, 't 72] und die Quantenchromodynamik (QCD)[GM64]. Im Folgenden wird ein kurzer Überblick über das Standardmodell gegeben.
Die Elementarteilchen werden in Fermionen und Bosonen unterteilt, die sich durch ihren Spin, eine quantenmechanische Eigenschaft, die kein mechanisches Analogon besitzt, unterscheiden. Der Spin der Fermionen beträgt $\frac{\hbar}{2}$, der der Bosonen ist $\hbar$. Die Fermionen werden weiterhin in Quarks und Leptonen unterteilt, auf die, nach der Beschreibung der fundamentalen Wechselwirkungen, eingegangen wird.

Tab. 1.1: Fundamentale Wechselwirkungen im Standardmodells

Kraft	Feldtheorie	Eichbosonen	Kopplung an
elektromagnetisch	QED	Photon	elektr. Ladung
schwach	QFD	$W^{\pm}$, Z^0	schwache Ladung
stark	QCD	8 Gluonen	Farbladung

Neben der Gravitation, die nicht durch das Standardmodell beschrieben wird, existieren drei elementare Wechselwirkungen. Diese werden im Rahmen der Quantenfeldtheorie beschrieben, die auf dem Konzept von Eichsymmetrien mit lokaler Eichinvarianz beruht. Die Kräfte zwischen den Elementarteilchen werden durch den Austausch von Eichbosonen vermittelt. Die Quantenelektrodynamik (QED) [Fey 49, Sch 48, Tom 46] beschreibt die Wechselwirkung zwischen geladenenen Fermionen durch Austausch von Photonen. Die Quantenflavordynamik (QFD) [Fer 34] befasst sich mit der schwachen Wechselwirkung. Durch geladene Ströme der schwachen Wechselwirkung lassen sich Quarks in andere Quarks und Leptonen in andere Leptonen überführen. Die QED und die QFD konnten in eine einheitliche elektroschwache Theorie zusammengefasst werden. Quarks besitzen einen weiteren Freiheitsgrad, der Farbladung genannt wird. In der Quantenchromodynamik wird die starke Wechselwirkung farbgeladener Quarks durch den Austausch von Gluonen formuliert. Die Gluonen tragen selber Farbladung und können daher untereinander wechselwirken. Die Austauschteilchen der schwachen Wechselwirkung koppeln über die Quantenzahl des schwachen Isospins ebenfalls aneinander. In Tabelle 1.1 sind die fundamentalen Wechselwirkungen und die Austauschteilchen aufgelistet.

Tab. 1.2: Elementare Fermionen im Standardmodells. Zu jeder der drei Familien gehören zwei Quarks und zwei Leptonen. Die Antiteilchen sind nicht aufgelistet.

Generation	Quark		Lepton	
1	Up	(u)	Elektron-Neutrino	(ν_e)
	Down	(d)	Elektron	(e)
2	Charm	(c)	Myon-Neutrino	(ν_μ)
	Strange	(s)	Myon	(μ)
3	Top	(t)	Tau-Neutrino	(ν_τ)
	Bottom	(b)	Tau	(τ)

Neben den Eichbosonen gibt es die bereits erwähnten Quarks und Leptonen. Sie lassen sich in drei Familien oder Generationen anordnen, die ähnliche Eigenschaften besitzen. In Tabelle 1.2 sind die Fermionenfamilien dargestellt. Zu jedem Fermion existiert ein Antiteilchen, das die gleichen Quantenzahlen wie das Fermion besitzt, mit Ausnahme der ladungsartigen Quantenzahlen, deren Vorzeichen umgekehrt sind.

Die Voraussagen des Standardmodells der Elementarteilchenphysik wurden in einer Reihe von komplementären Experimenten überprüft. Die Messungen stimmen mit den Voraussagen in hoher Präzision überein [Gur 00, Erl 00, Ynd 02]. Trotzdem existieren einige offene Fragen, die vom Standardmodell nicht beantwortet werden. Eine der ungeklärten Fragen ist die Einbeziehung der Gravitation in eine konsistente Beschreibung der Phänomene im energetischen Bereich der Planckskala, in dem die Gravitationskraft nicht mehr vernachlässigt werden kann. Zusätzlich existieren freie Parameter, wie die Massen der Fermionen und Eichbosonen, die Koeffizienten der Kobayashi-Maskawa-Matrix, die die Kopplungen der Quarks untereinander beschreibt, und die Werte der Kopplungskonstanten. Diese Parameter können nicht aus den fundamentalen Prinzipien abgeleitet, sondern müssen experimentell bestimmt werden. Die jüngsten Resultate des SNO[1]-Experiments [Hee 01] haben ergeben, dass die Neutrinos, im Gegensatz zu den Annahmen im Standardmodell, eine endliche Ruhemasse besitzen müssen.

Das Standardmodell stellt daher nicht die endgültige Theorie zur Beschreibung der Elementarteilchenphysik dar. Die Suche nach einer einheitlichen Theorie wird die Physiker auch weiterhin beschäftigen.

[1]Sudbury Neutrino Observatory

Ziele dieser Arbeit

Das HERA – B Experiment am Deutschen Elektronen-Synchrotron (DESY) wurde zur Untersuchung der B-Mesonen-Physik aufgebaut. Im Gegensatz zu den Experimenten BABAR [Bou 95] in den USA und BELLE [Che 95] in Japan, die B-Mesonen-Physik an e^+e^--Speicherringen untersuchen, verwendet HERA – B ein feststehendes Target, in dem Protonen mit einer Energie von 920 GeV mit den Nukleonen des Targetmaterials zur Wechselwirkung gebracht werden. Da HERA – B ein Hochratenexperiment ist, das Wechselwirkungsraten besitzt, wie sie die LHC[2] Experimente haben werden, ist der Anspruch an die Subdetektoren und das Triggersystem viel höher als bei den Experimenten BABAR und BELLE. Die hohe Datenrate impliziert, dass es nicht möglich ist, die Daten aller Ereignisse auszulesen und zu analysieren. Ein effektives Triggersystem wird benötigt, um die physikalisch relevanten Ereignisse zu selektieren. Es muss einen Unterdrückungsfaktor in der Größenordnung 10^6 liefern. Das hochgradig komplexe Triggersystem des HERA – B Experiments ist vierstufig aufgebaut, wobei die erste Triggerstufe rein hardwarebasiert arbeitet. Schon in der ersten Triggerstufe werden für sämtliche Ereignisse Spuren rekonstruiert, Spurparameter berechnet und Schnitte auf physikalisch relevante Parameter durchgeführt, um eine Unterdrückung um einen Faktor 200 zu erreichen.

Die hohe Ereignis- und Teilchenrate führte zu unvorhergesehenen technischen Problemen bei der Inbetriebnahme des Triggers und der Spurkammern, was zu einer Verzögerung des Beginns der Datennahme führte. HERA – B konnte daher keinen konkurenzfähigen Beitrag auf dem Gebiet der B-Mesonen-Physik liefern. Das Physikprogramm von HERA – B wurde neu ausgerichtet und befasst sich nun mit der Überprüfung einiger Aspekte der QCD, die erstmals mit dem HERA – B Detektor untersucht werden können. Das Programm wird in Kapitel 3 ausführlich erläutert.

Im Rahmen dieser Arbeit wurde ein RICH-Multiplizitätsveto-System entwickelt, das Ereignisse mit einer zu großen Treffermultiplizität in den von der ersten Triggerstufe benutzten Detektorlagen unterdrückt, bevor diese vom Triggersystem verarbeitet werden. Ereignisse mit zu großer Treffermultiplizität belasten die Datenverarbeitung des Triggers und führen zu einem Anstieg der Latenzzeit. Daraus kann ein Ereignisverlust resultieren, da der ersten Triggerstufe nur 12 μs zur Entscheidungsfindung zur Verfügung stehen, bevor die Daten verloren gehen. Durch das RICH-Multiplizitätsveto-System wird der Trigger entlastet, da alle Ereignisse mit einer zu großen Treffermultiplizität unterdrückt werden. Aufgrund des Spurfindungsalgorithmus werden von der ersten Triggerstufe bevorzugt Ereignisse mit hoher Treffermultiplizität selektiert. Eine hohe Treffermultiplizität resultiert aus einer großen Anzahl gleichzeitiger Wechselwirkungen. Rekonstruktionsbedingt lassen sich jedoch nicht mehr als drei bis vier gleichzeitige Wechselwirkungen untersuchen, da die Detektorauflösung für eine höhere Anzahl nicht ausreicht. Das RICH-Multiplizitätsveto-System trägt daher zur Verbesserung der Reinheit der Daten bei, indem Ereignisse mit zu vielen gleichzeitigen Wechselwirkungen unterdrückt werden.

Das Veto-System kann auch als nicht verzerrender Hardware-Wechselwirkungstrigger benutzt werden. In diesem Betriebsmodus wird eine Mindestanzahl Photonen im RICH-Detektor gefordert. Mit dem Hardware-Wechselwirkungstrigger bietet sich die Möglich-

[2]Large Hadron Collider

keit, unabhängig vom Triggersystem, Daten zur Inbetriebnahme anderer Subdetektore zu nehmen. Im Rahmen einer begleitenden Diplomarbeit [Brü 02e] wurden Effizienzanalysen durchgeführt. Die Ergebnisse der Analysen werden ebenfalls zusammengefasst dargestellt.
Das RICH-Multiplizitätsveto-System ist ein komplexes Hardware-System, das modular aufgebaut und rein digital realisiert ist. Der Großteil der Schaltungen ist in programmier- und rekonfigurierbaren Bausteinen implementiert, wodurch das System sehr flexibel für zukünftige Anpassungen bzw. Änderungen ist. Die Datenverarbeitung des Veto-Systems ist trotz der digitalen Realisierung der Schaltungen so schnell, dass die Nachrichten der Pretrigger an die ersten Triggerstufe unterdrückt werden. Ein Monitorsystem ermöglicht die Überprüfung von Hardware-Funktionen während des Betriebs. Die Anforderungen an das RICH-Multiplizitätsveto-System werden ausführlich in Kapitel 4 erläutert. Das Veto-System wurde unter enormem Zeitdruck entwickelt, getstet, im HERA – B Experiment installiert und in Betrieb genommen.

Der Aufbau der Arbeit gliedert sich wie folgt:

Im zweiten Kapitel wird der HERA – B Detektor beschrieben. Ausgehend von den messtechnischen Möglichkeiten des HERA – B Detektors wird im dritten Kapitel das neu ausgerichtete Physikprogramm erläutert. Das vierte Kapitel liefert eine Übersicht zu den physikalischen Aspekten des Veto-Systems und legt die Beweggründe dar, den RICH-Detektor zur Implementation des Veto-Systems zu benutzen. Anschließend wird das RICH-Multiplizitätsveto-System kurz vorgestellt. In den nachfolgenden vier Kapiteln werden die Module des RICH-Multiplizitätsveto-Systems detailliert dargestellt, die Testprozeduren beschrieben und Testergebnisse präsentiert. Das neunte Kapitel beschäftigt sich mit dem Betriebsmodus als nicht verzerrender Hardware-Wechselwirkungstrigger. Im zehnten Kapitel werden Ergebnisse der Effizienzanalysen gezeigt.

Kapitel 2

Das HERA – B Experiment

HERA – B ist eines der vier Experimente am HERA[1]-Speicherring des Deutschen Elektronen-Synchrotron (DESY) in Hamburg. In diesem Kapitel wird der HERA – B Detektor beschrieben, wobei dem RICH-Detektor, dem Triggersystem und dem Datennahmesystem besondere Beachtung gewidmet wird, da diese Subsysteme für das RICH-Multiplizitätsveto-System von besonderer Bedeutung sind.

2.1 Der HERA-Speicherring

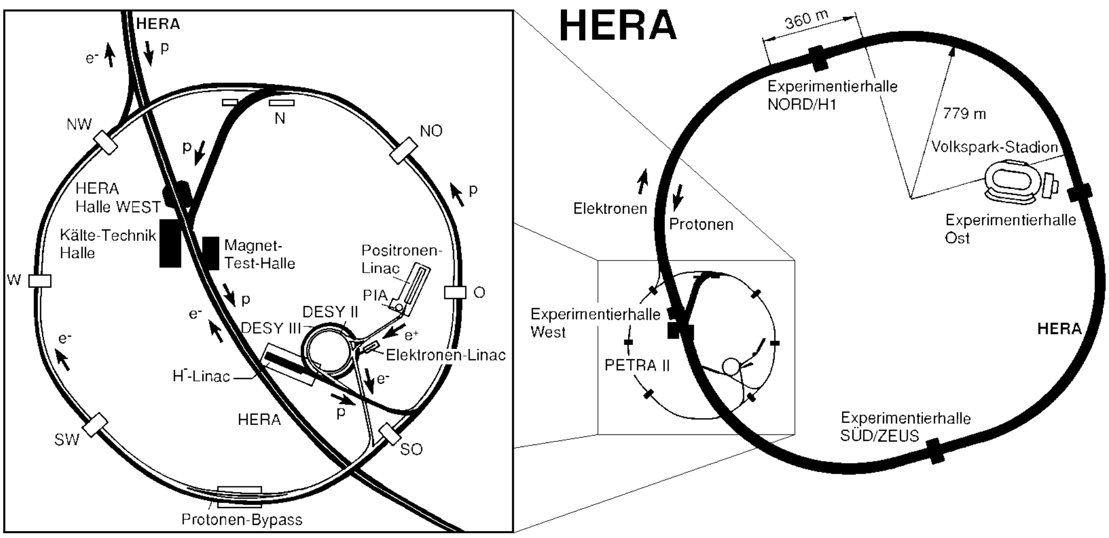

Abb. 2.1: Der HERA-Speicherring am **DESY** und seine Vorbeschleuniger [DES 00].

Der HERA-Speicherring besteht aus einem Protonen- und einem Elektronen-Speicherring. Die Speicherringe besitzen einen Umfang von 6,3 km. Protonen und Elektronen

[1] Hadron-Elektron-Ring-Anlage

bzw. Positronen umlaufen den Speicherring in entgegengesetzten Richtungen. Die Protonen werden auf eine Energie von 920 GeV und die Elektronen[2] auf eine Energie von 27,5 GeV beschleunigt. Eine Übersicht über den HERA-Speicherring und seine Vorbeschleuniger ist in Abbildung 2.1 zu sehen. Es existieren vier Wechselwirkungszonen, in denen sich die Experimente H1 (Experimentierhalle NORD), HERMES (Experimentierhalle OST), ZEUS (Experimentierhalle SÜD) und HERA – B (Experimentierhalle WEST) befinden. H1 [Abt 93] und ZEUS [ZEU 86] erforschen die Struktur des Protons in Elektron-Proton-Streuexperimenten. Das HERMES Experiment [HER 90] untersucht die Spin-Struktur des Protons. Der polarisierte Elektronenstrahl wird dazu mit einem polarisierbaren Gas-Target zur Wechselwirkung gebracht. Das HERA – B Experiment [Loh 94] ist ebenfalls als Fixed-Target[3]-Experiment aufgebaut, benutzt jedoch nur die Protonen des Protonenstrahls, um diese mit mehreren Draht-Targets zur Wechselwirkung zu bringen.
Die Teilchenstrahlen in den Speicherringen bestehen nicht aus kontinuierlichen Strahlen, sondern sind in Pakete (Bunch) mit $5 - 7 \cdot 10^{10}$ Teilchen aufgeteilt. Es können 220 Pakete in die Speicherringe eingefüllt werden. Der zeitliche Abstand zwischen den Paketen beträgt 96 ns, was einer Rate von 10,416 MHz entspricht. In dem Protonen-Speicherring sind nur 180 der 220 Pakete mit Protonen gefüllt, woraus sich eine mittlere Rate gefüllter Protonen-Pakete von 8,5 MHz ergibt. Passiert ein Protonen-Paket das Target des HERA – B Experiments, wird dies als Bunch Crossing (BX) bezeichnet. Im HERA – B Experiment werden die Daten der Ereignisse, die während eines BX stattfinden, mit einer Markierung versehen, die BX-Nummer genannt wird.

2.2 Die Komponenten des HERA – B Experiments

Das HERA – B Experiment ist als Vorwärts-Spektrometer mit einer hohen Akzeptanz, einer Abdeckung von 90 % des Raumwinkels im Schwerpunktsystem der Proton-Nukleon-Wechselwirkung, aufgebaut. Die Protonen des äußeren Bereichs des Protonstrahls werden mit den Nukleonen von bis zu acht Draht-Targets zur Wechselwirkung gebracht [Ehr 00]. Die Draht-Targets sind in zwei Stationen zu jeweils vier Drähten angeordnet, die einen Abstand von 5 cm voneinander haben. Dadurch lassen sich, auch bei mehr als einer Wechselwirkung pro BX, die Vertices separieren. Die Drähte besitzen eine Ausdehnung von 50 μm transversal und 50 – 500 μm longitudinal zum Strahl. Sie lassen sich zum Strahl hin- oder von ihm wegbewegen. Eine automatische Steuerung [İşse 01] kontrolliert die Target-Positionen, um eine stabile Target-Rate zu gewährleisten.
Das HERA – B Experiment wurde entwickelt und aufgebaut, um die CP-Verletzung im System der B-Mesonen zu messen. Die Detektorkomponenten und das Triggersystem sind daher zum Nachweis von Teilchen mit hohem Transversalimpuls optimiert. Das b-Quark, das bei der Proton-Nukleon-Wechselwirkung erzeugt wird, ist viel schwerer als andere erzeugte Teilchen. Die Zerfallsprodukte des b-Quarks besitzen daher hohe Impulse bzw. Transversalimpulse. Die Sekundärvertices der B-Mesonen sind aufgrund der Lebensdauer der B-Mesonen klar von den Primärvertices separiert. Die Zerfallskaskaden der B-Mesonen, in denen Leptonen bzw. Leptonenpaare entstehen, sind re-

[2] Im Weiteren wird Elektronen synonym für Elektronen und Positronen verwendet.
[3] engl. für festes Ziel

lativ einfach zu identifizieren. Die Signatur der Myonen ist besonders gut für die Rekonstruktion geeignet, da sie sich gut vom hadronischen Untergrund separieren läßt. Der Wirkungsquerschnitt zur Erzeugung von $b\bar{b}$-Paaren liegt bei ca. 30 nb / Nukleon (siehe auch Kapitel 3), während der gesamte inelastische Wirkungsquerschnitt bei ca. 10 mb / Nukleon liegt [Loh 94]. Das Triggersystem muss also eine Untergrundunterdrückung in der Größenordnung von 10^{-6} liefern.
Für die Rekonstruktion der Wechselwirkungen müssen die Eigenschaften sämtlicher Zerfallsprodukte gemessen werden. Das HERA – B Experiment hat daher fünf Aufgaben zu erfüllen:

1. Rekonstruktion des Herkunftsortes der Zerfallsprodukte,
2. Impuls- und Bahnrekonstruktion der Zerfallsprodukte,
3. Teilchenidentifikation,
4. Energiemessung,
5. Bereitstellung eines schnellen und effektiven Triggersystems.

Um diese Aufgaben zu erfüllen, besitzt das HERA – B Experiment, schematisch in Abbildung 2.2 dargestellt, einen Vertexdetektor, ein Spurkammersystem und Subdetektoren zur Teilchenidentifizierung. Das Triggersystem ist vierstufig aufgebaut. Im Folgenden werden die einzelnen Subdetektorkomponenten erläutert. Die Orientierung des Koordinatensystems ist wie folgt: die positive x-Achse zeigt in Richtung des Speicherringzentrums, die positive z-Achse weist in Flugrichtung der Protonen, die positive y-Achse steht senkrecht auf der x-z-Ebene und weist nach oben.

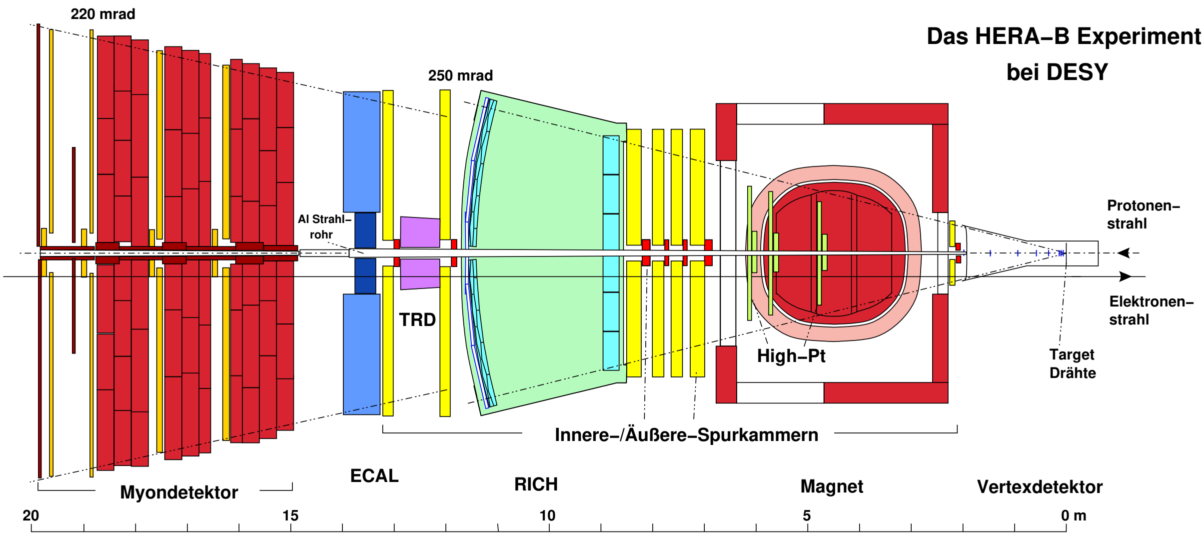

Abb. 2.2: Schematische Darstellung des HERA – B Detektors in der Aufsicht (nach [Loh 94]).

Vertex-Detektor-System (VDS)

Die Hauptaufgabe des VDS [Bau 00] (in Abbildung 2.2 mit Vertexdetektor bezeichnet) ist es, die Primärvertices der Wechselwirkungen auf den Target-Drähten sowie die Sekundärvertices zu rekonstruieren. Der VDS besteht aus acht Superlagen doppelseitiger Siliziumstreifendetektoren. Jede Superlage ist aus zwei um 5° gegeneinander verdrehten Lagen aufgebaut. Dies ermöglicht eine dreidimensionale Rekonstruktion der Spuren. Die acht Superlagen sind in einem Abstand von 5,5 cm bis 2,07 m hinter dem Target angeordnet. Sie decken einen Raumwinkel von 10 - 250 mrad ab. Die Auflösung transversal zur Strahlrichtung liegt bei $\sigma_{tran} = 80\,\mu$m, in longitudinaler Richtung beträgt sie $\sigma_{long} = 600\,\mu$m. Dies ist ausreichend, um die Sekundärvertices z. B. der B-Mesonen, die aufgrund der Lebensdauer der B-Mesonen von 1,5 ps ca. 10 mm vom Primärvertex separiert sind, aufzulösen.

2.2.1 Das Spurkammersystem

Das Spurkammersystem hat die Aufgabe, Teilchenspuren zwischen VDS und den weiter entfernten Detektoren zur Teilchenidentifikation zu rekonstruieren. Die Teilchenflussdichte nimmt mit dem Abstand R zum Protonstrahl proportional zu $\sim 1/R$ ab. Dies wird durch unterschiedliche Granularitäten der verwendeten Detektortypen berücksichtigt. Das Spurkammersystem ist in einen inneren Bereich hoher Granularität, nahe des Strahlrohres, und einen äußeren Bereich niedrigerer Granularität unterteilt.

Innere Spurkammern (ITR)

Die inneren Spurkammern [Zeu 00] bestehen aus Mikrostreifen-Gas-Detektoren mit Gas-Elektronen-Vervielfacher-Folien (GEM-MSGC). Es existieren sieben Superlagen. Eine befindet sich vor dem Magneten, vier zwischen Magnet und RICH und zwei hinter dem RICH. Die Superlagen bestehen aus drei Stereolagen. Jeweils zwei sind um ± 5° gegen die 0°-Lage (y-Richtung) verdreht. Der ITR[4] deckt den Winkelbereich von 10 – 100 mrad ab. Die Auflösung in x-Richtung beträgt $\sigma_x = 100\,\mu$m, in y-Richtung $\sigma_y = 1$ mm.

Äußere Spurkammern (OTR)

Die äußeren Spurkammern [Cap 00] sind aus Driftkammern mit Bienenwabenstruktur aufgebaut. Damit die Detektorbelegungsdichte pro Kanal 20 % nicht überschreitet, besitzen die Driftkammern im inneren Bereich einen Durchmesser von 5 mm und im äußeren Bereich einen Durchmesser von 10 mm. Der OTR[5] besteht aus 7 Superlagen, jede Superlage wiederum aus drei Stereolagen. Analog zum ITR sind zwei Lagen um ± 5° gegen die 0°-Lage (y-Richtung) verdreht, um eine bessere räumliche Auflösung zu erhalten. Eine Superlage befindet sich vor dem Magneten, vier zwischen Magnet und RICH und zwei zwischen RICH und ECAL. Der OTR deckt den Winkelbereich von 100 – 250 mrad ab. Die Auflösung beträgt $\sigma = 350\,\mu$m.

[4] engl. Inner Tracker
[5] engl. Outer Tracker

Spurkammern für Teilchen mit hohem Transversalimpuls (High-P_T)

Im Magnetfeld befinden sich drei Lagen des so genannten High-P_T-Spurkammersystems [HERA – B 00b] (High Pt). Es soll steife Spuren mit hohem Transversalimpuls identifizieren und die Informationen an das Triggersystem weiterleiten. Im inneren Bereich werden Gas-Pixel-Kammern verwendet, im äußeren Bereich besteht das Spurkammersystem aus zylinderförmigen Driftkammern mit Kathodenflächen (Kathoden-Pads).

2.2.2 Detektoren zur Teilchenidentifikation

Zur Teilchenidentifikation werden der RICH-Detektor, der Übergangsstrahlungsdetektor, das Myon-System und das elektromagnetische Kalorimeter eingesetzt. Die aufgelisteten Subdetektoren werden in den folgenden Abschnitten erläutert.

Der Übergangsstrahlungsdetektor (TRD)

Die Aufgabe des Übergangsstrahlungsdetektors (TRD[6]) [Har 95] ist die Separation von Elektronen und Hadronen, im Wesentlichen Pionen. Der Übergangsstrahlungsdetektor besteht aus 32 Proportionalzählrohren, zwischen denen sich die Radiatorfolien befinden. Die Gesamtenergie der Strahlung ist abhängig vom Lorentzfaktor, weshalb Elektronen im Mittel höhere Übergangsstrahlung beim Durchgang durch den Grenzbereich zweier Materialien erzeugen als Hadronen. Daher lassen sich Hadronen und Elektronen gut separieren.

Das elektromagnetische Kalorimeter (ECAL)

Die Aufgabe des ECAL [Avo 01] ist es, Elektronen und Positronen zu identifizieren und ihre Energie zu messen. Zusätzlich wird die Energie von Photonen im Bereich von 5 – 200 GeV gemessen. Ein weiterer wichtiger Punkt ist die Bereitstellung von Pretrigger-Signalen. Das ECAL ist ein Sampling-Kalorimeter, dessen Granularität vom inneren zum äußeren Bereich im Verhältnis 25:4:1 abnimmt. Da in allen drei Bereichen des ECAL der Molière-Radius kleiner als die halbe Kantenlänge einer Kalorimeterzelle sein soll, besteht das Konvertermaterial im inneren Bereich aus eine W-Ni-Fe-Legierung, während es im mittleren und äußeren Bereich aus Blei besteht. Die Tiefe des ECAL entspricht ca. 20 Strahlungslängen. Die Energieauflösung im inneren Bereich beträgt $\sigma(E)/E = \frac{22{,}5\,\%}{\sqrt{E}} \pm 1,7\,\%$. Im äußeren und mittleren Bereich liegt sie bei $\sigma(E)/E = \frac{10\,\%}{\sqrt{E}} \pm 1,0\,\%$ [Zoc 00]. Der innere Bereich des ECAL liefert die Eingangsdaten für das ECAL-Energie-Veto-System (EEI[7]).

Der Myondetektor

Der Myondetektor [Tit 00] dient zur Identifizierung von Myonen und der Bereitstellung von Pretrigger-Signalen für das Triggersystem. Er besteht aus vier Superlagen und drei Absorberblöcken, die sich jeweils vor der ersten, zweiten und dritten Superlage

[6] engl. Transition Radiation Detector
[7] ECAL Energy Inhibit

befinden. Die erste und zweite Superlage bestehen im inneren Bereich aus Draht-Pixel-Kammern, im äußeren Bereich aus Proportionalkammern. Die Draht-Pixel-Kammern sind aus quadratischen Zellen, in denen parallel zum Strahl Anoden- und Kathodendrähte gespannt sind, aufgebaut. Im äußeren Bereich sind die Superlagen aus drei Stereolagen aufgebaut, die um $\pm 20°$ gegen die 0°-Lage (y-Richtung) verdreht sind. Die Superlagen drei und vier besitzen im inneren Bereich ebenfalls Draht-Pixel-Kammern, der äußere Bereich besteht jedoch nur aus einer Proportionalkammerlage, der 0°-Lage, in der sich zusätzlich Kathodenauslesepads befinden. Die Trefferinformation der Kathodenpads wird unter anderem vom Myon-Pretrigger zur Erzeugung der Pretrigger-Nachrichten ausgewertet.

Der RICH-Detektor

Die Aufgabe des ringabbildenden Cherenkov-Hodoskops [Pyr 00] (RICH[8]) ist die Identifikation von Hadronen mit einem hohen Impuls. Ein geladenes Teilchen mit einer Geschwindigkeit $v > c/n$ strahlt in einem Medium mit dem Brechungsindex n einen Lichtkegel mit dem Öffnungswinkel $\cos\theta_c = \frac{1}{n\beta}$ ab, wobei β das Verhältnis der Teilchengeschwindigkeit zur Vakuumlichtgeschwindigkeit ist. Bei bekanntem Impuls kann aus dem Winkel θ_c die Geschwindigkeit und somit die Masse des Teilchens berechnet werden. Neben der Trennung von Pionen, Kaonen und Protonen kann der RICH auch als Spurdetektor eingesetzt werden [Duj 99], da aus dem Mittelpunkt und dem Radius der Ringe auf die Steigung der Spur geschlossen werden kann. Der RICH liefert die Eingangsdaten für das RICH-Multiplizitätsveto-System.
Der RICH-Tank ist aus Stahl gefertigt. Er besitzt Aluminiumfenster zum Ein- und Austritt des Protonstrahls. Das Licht verlässt den Tank über 2 mm dicke Plexiglasfenster. Der Tank ist mit 100 m^3 C_4F_{10}-Gas gefüllt, das eine Dispersion kleiner 5 % in dem benutzten Wellenlängenbereich von 300 - 480 nm besitzt. Das Licht wird über sphärische und planare Spiegel auf zwei Fokalebenen abgebildet, die den Detektor horizontal teilen. Eine schematische Darstellung des RICH-Tanks und der Fokalebenen ist in Abblidung 2.3 gezeigt. Die Photonen werden über unterschiedlich segmentierte Multi-Anoden-Photomultiplier[9] (PM) nachgewiesen und in elektrische Signale umgewandelt. Die PMs im inneren Bereich besitzen 16 Anoden (M16), die im äußeren Bereich vier Anoden (M4). Die Signale der PMs werden der Front-End-Elektronik (FEE) zugeführt, die eine Verstärkung und Pulsformung durchführt. Von der FEE werden die Daten über Flachkabel[10] an das Front-End-Treiber-System (FED[11]-System) übertragen. Das RICH-FED-System ist modular aufgebaut und befindet sich in direkter Nähe zum RICH-Detektor. In den FED-Crates[12] sind jeweils zwei FED-Mutterkarten und bis zu acht FED-Tochterkarten untergebracht. Auf den FED-Tochterkarten werden die Daten der FEE verarbeitet und im FED-Speicher zwischengespeichert. Der FED-Speicher ist ringartig aufgebaut und besitzt 128 Speicherplätze. Die Speicherplätze werden alle 128 BX mit neuen Daten überschrieben. Die Daten der von der ersten Triggerstufe

[8] Ring Imaging Cherenkov Hodoscope
[9] engl. für Sekundärelektronen-Vervielfacher
[10] Als Flachkabel werden im Folgenden Flachbandkabel mit paarweise verdrillten Adern bezeichnet.
[11] engl. Front End Driver
[12] Ein Crate ist ein Einschubrahmen für Leiterplatten.

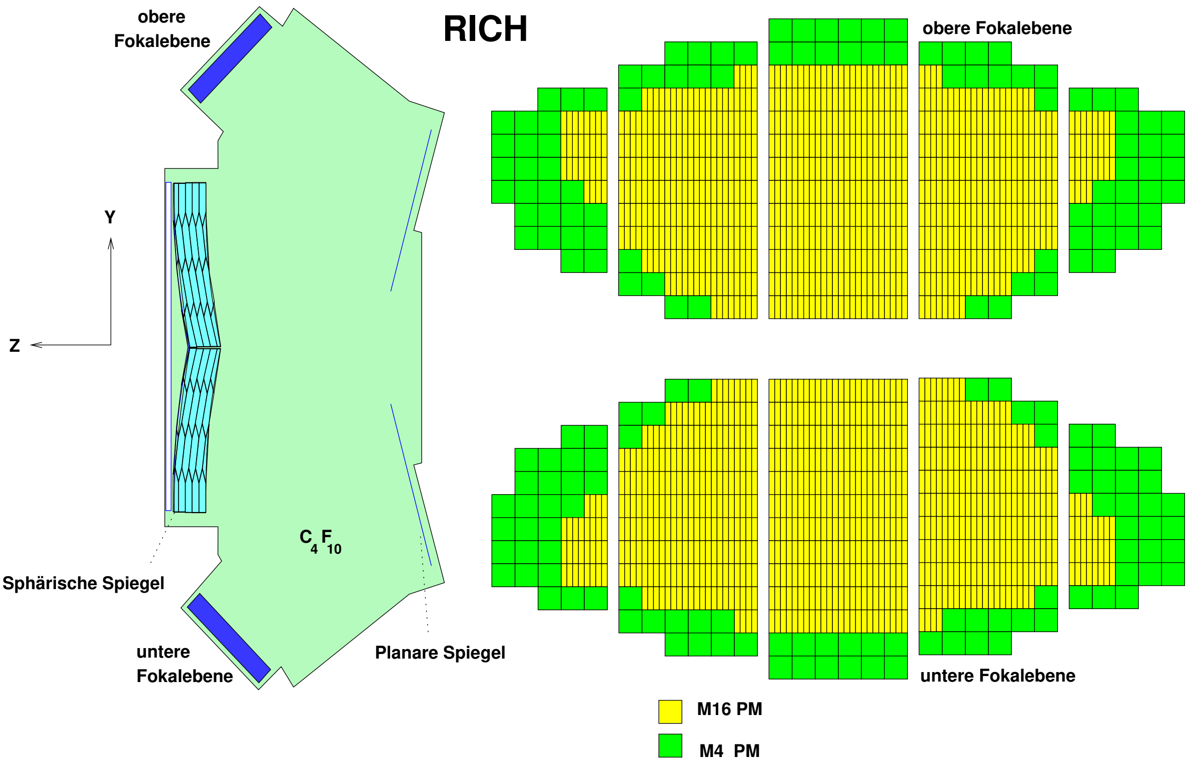

Abb. 2.3: Schematische Darstellung des RICH-Tanks und der Fokalebenen. In der Darstellung der Fokalebenen sind die verwendeten M16- bzw. M4-Photomultiplier-Module (PM) farblich unterschiedlich unterlegt. Die M16-Photomultiplier sind zusätzlich feiner gerastert eingezeichnet (nach [Pyr 00]).

akzeptierten Ereignisse werden aus den FED-Speichern ausgelesen und der zweiten Triggerstufe zur Verfügung gestellt.
Im RICH werden 1543 M16- und 762 M4-Photomultiplier eingesetzt. Daraus resultieren 27736 Auslesekanäle, die von dem FED-System alle 96 ns verarbeitet werden müssen. Die FED-Tochterkarten besitzen jeweils 256 Kanäle. Es werden 14 FED-Crates, bestückt mit bis zu acht FED-Tochterkarten, zur Bearbeitung aller anfallenden Daten benötigt.

2.3 Das Triggersystem

Der HERA – B Detektor erzeugt alle 96 ns 500 kByte Daten [Lüd 96], was einer Datenrate von ca. 5 TByte / s entspricht. Da es technisch nicht möglich ist, den gesamten Datensatz dauerhaft zu speichern, muss die Selektion der physikalisch interessierenden Ereignisse bereits während der Datenauslese, also vor der Rekonstruktion und Endspeicherung, geschehen. In Abbildung 2.4 ist ein typisches Ereignis im HERA – B Detektor dargestellt. Pro Ereignis mit im Mittel 4,6 überlagerten Wechselwirkungen werden ca. 200 Teilchenspuren geladener Teilchen erzeugt. Aus diesen müssen die physikalisch relevanten herausgefiltert werden, um zu bestimmen, ob die Daten des Ereignisses gespeichert oder verworfen werden sollen.

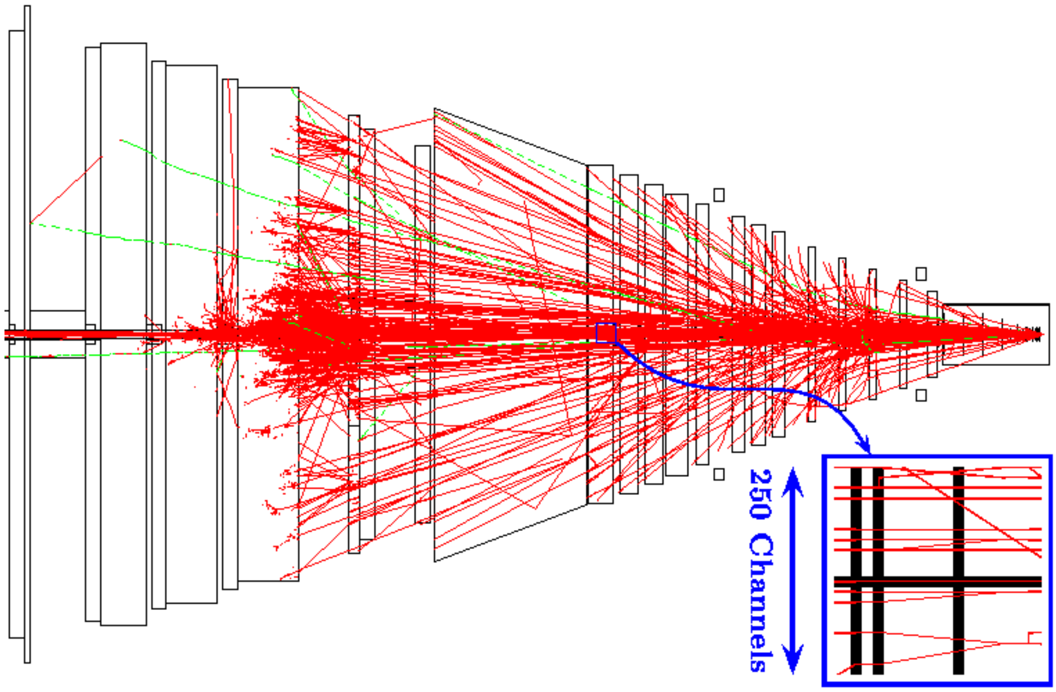

Abb. 2.4: Visualisierung eines Ereignisses im HERA – B Detektor bei im Mittel 4,6 überlagerten Wechselwirkungen. Es sind die erzeugten Spuren eines Ereignisses und die Detektorkomponenten schematisch dargestellt. [Loh 94]

Das HERA – B Experiment wurde entwickelt, um die CP-Verletzung im System der B-Mesonen zu untersuchen, wobei der Zerfall $B \to J/\psi K^0_S$ der wichtigste Zerfallskanal ist. Die Triggerstrategie des HERA – B Experiments zielt darauf, J/ψs schon in der ersten Triggerstufe zu finden. Dazu werden die zwei Leptonen aus dem J/ψ-Zerfall nachgewiesen, die entgegengesetzte Ladung haben und deren Energie der Masse eines J/ψs entspricht. Die erste Triggerstufe (FLT[13]) bestimmt die Spurparameter durch Messung der Impulse und Ladungen und berechnet die invariante Masse der Leptonenpaare. Sind Spuren rekonstruiert, ihre kinematischen Parameter und die invarianten Massen der Spurpaare bestimmt, wird die Triggerentscheidung an das Fast Control System (FCS) weitergeleitet, das die Auslese der Daten aus den FED-Speichern der einzelnen Subsysteme initialisiert. Die Daten werden im Second-Level-Buffer[14] zwischengespeichert.
Die zweite Triggerstufe (SLT[15]) verfeinert die Spursuche unter Zuhilfenahme zusätzlicher Detektorinformationen. Sie projiziert die Spuren durch den Magneten und führt einen Vertexfit durch. Die dritte Triggerstufe (TLT[16]) analysiert die Ereignisse, bei denen die in den vorangegangenen Stufen gefundenen Spuren nicht von einem gemeinsamen Vertex stammen. Dies trifft z. B. für semileptonische und hadronische Zerfälle

[13] engl. First Level Trigger
[14] engl. für Speicher der zweiten Stufe
[15] engl. Second Level Trigger
[16] engl. Third Level Trigger

des B-Mesons zu. Die dritte Triggerstufe ist nicht mehr auf bestimmte Detektorgebiete begrenzt. Sie kann sämtliche Detektorinformationen zur Entscheidungsfindung heranziehen. Die vierte Triggerstufe (4LT[17]) führt eine komplette Rekonstruktion der Ereignisse unter Zuhilfenahme aller Detektordaten durch, fällt eine Triggerentscheidung aufgrund von Schnitten auf physikalische Parameter und speichert die akzeptierten Ereignisse auf Massenspeichern. Abbildung 2.5 zeigt die vier aufeinander folgenden Triggerstufen, ihre Eingangsereignisraten, Reduktionsfaktoren, verwendeten Detektoren und die Ausführungszeiten.

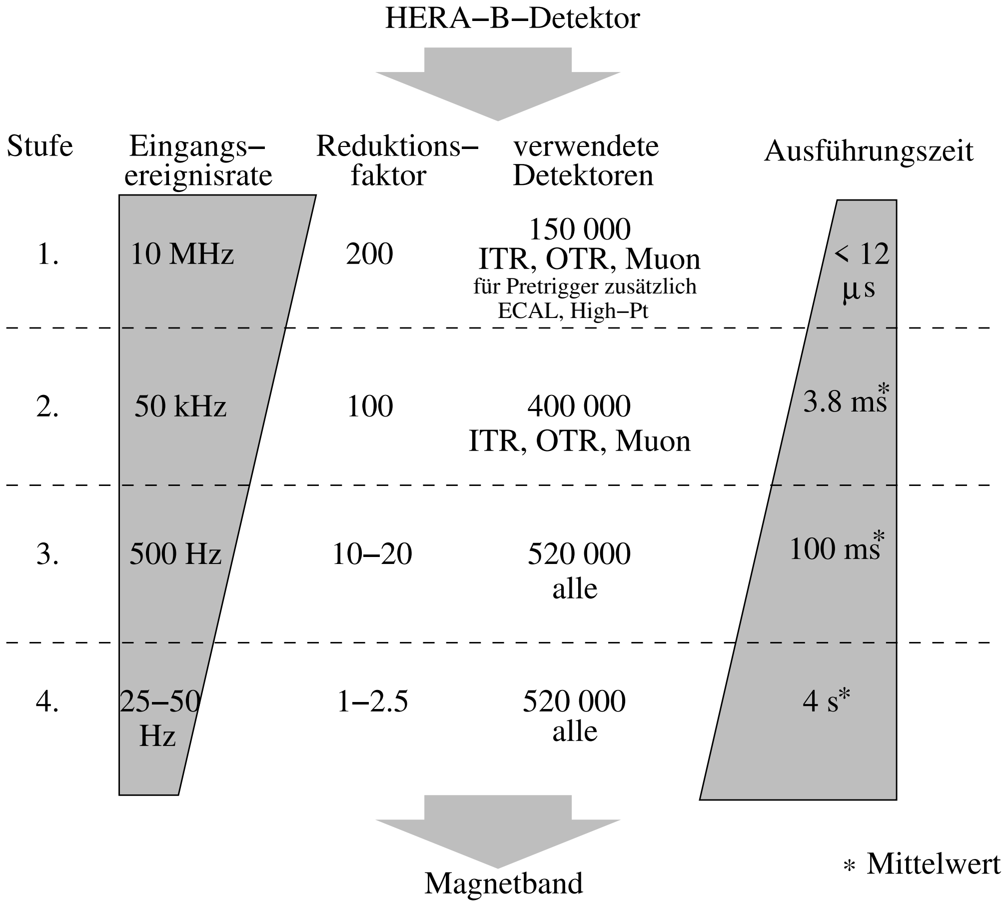

Abb. 2.5: Schematische Darstellung des vierstufigen Triggersystems (aus [Wag 00]). Die Eingangsereignisraten der einzelnen Triggerstufen, die Reduktionsfaktoren, die in den Triggerstufen verwendeten Detektoren und die Anzahl der Auslesekanäle sowie die Ausführungszeiten sind angegeben.

Aufgrund der Bedeutung für die vorliegende Arbeit werden die Pretrigger sowie die erste Triggerstufe und das Datennahmesystem detaillierter beschrieben.

[17] engl. Fourth Level Trigger

2.3.1 Die Pretrigger

Die erste Triggerstufe erhält von den Pretriggern zu jedem BX Informationen über mögliche Kandidaten für Myon-, Elektron- oder Hadronspuren, damit sie die Spurrekonstruktion aufnehmen kann. Die Pretrigger führen keine Untergrundunterdrückung durch, sondern liefern ausschließlich Startpunkte für die Spurrekonstruktion. Sie werden daher auch als nullte Triggerstufe bezeichnet. Um auf die oben genannten Signaturen sensitiv zu sein, existieren drei Pretrigger im HERA – B Experiment: der Myon-, der ECAL- und der High-P_T-Pretrigger. Die Pretrigger-Systeme werden in den folgenden Abschnitten etwas ausführlicher beschrieben.

Der ECAL-Pretrigger und das ECAL Energy Inhibit (EEI)

Der ECAL-Pretrigger und das ECAL Energy Inhibit (EEI) sind technisch eng miteinander verbunden. Sie werden daher in diesem Abschnitt zusammen behandelt.
Zur Identifikation der Elektronen wird im ECAL-Pretrigger die deponierte Energie in Clustern von 3×3 Kalorimeterzellen überprüft. Übersteigt die Energie eines Clusters einen einstellbaren Schwellwert E_{th} oder ist die Energie in der zentralen Zelle größer als der halbe Schwellenwert E_{th}, wird eine Nachricht für die erste Triggerstufe erzeugt. Zusätzlich wird eine Bremsstrahlungskorrektur durchgeführt. Das System besteht aus den Readout Cards, die die analogen Signale der Photomultiplier digitalisieren und die Daten an die Pretrigger Boards weiterleiten. Die Pretrigger Boards führen die Cluster-Suche durch und erzeugen die Nachrichten für die erste Triggerstufe. Das System besteht aus ca. 130 Readout Cards und ebensovielen Pretrigger Cards [HERA – B 00b].
Das ECAL Energy Inhibit [Avo 02] verwendet zur Erzeugung des Veto-Signals die Informationen des inneren Kalorimeterbereichs. Es bildet die analoge Summe der deponierten Energien und vergleicht diese mit einer einstellbaren Schwelle. Überschreitet die Energiesumme die Schwelle, wird ein Veto-Signal erzeugt. Dieses wird mit der BX-Nummer des jeweiligen Ereignisses markiert und an den High-P_T- und den Myon-Pretrigger weitergeleitet. Im ECAL-Pretrigger wird das Veto-Signal über die Fast-Control-System-Tochterkarten an die Readout Cards verteilt und unterdrückt die Datenverarbeitung auf den Pretrigger Boards. In Abbildung 2.6 ist der Aufbau des ECALs und des EEI schematisch dargestellt.

Der High-P_T-Pretrigger

Der High-P_T-Pretrigger [Bal 00] liefert Startpunkte für die Spurrekonstruktion von Teilchen mit hohem Transversalimpuls. Er nutzt dazu die Informationen der High-P_T-Kammern innerhalb des Magneten. Die Kathoden-Pads der einzelnen Lagen sind projektiv angeordnet. Mit jedem Pad der ersten Ebene werden jeweils fünf Pads der zweiten bzw. sechs Pads der dritten Ebene verknüpft [Rie01]. Eine Trefferkoinzidenz in den verknüpften Pads definiert einen Startpunkt.
Das High-P_T-Pretrigger-System ist modular aufgebaut. Es besteht im Wesentlichen aus drei Komponenten, den Link Boards (LB), den Pretrigger Boards (PTB) und den Message Generatoren (MG). Das gesamte Pretrigger-System umfaßt ca. 80 LBs, 40 PTBs

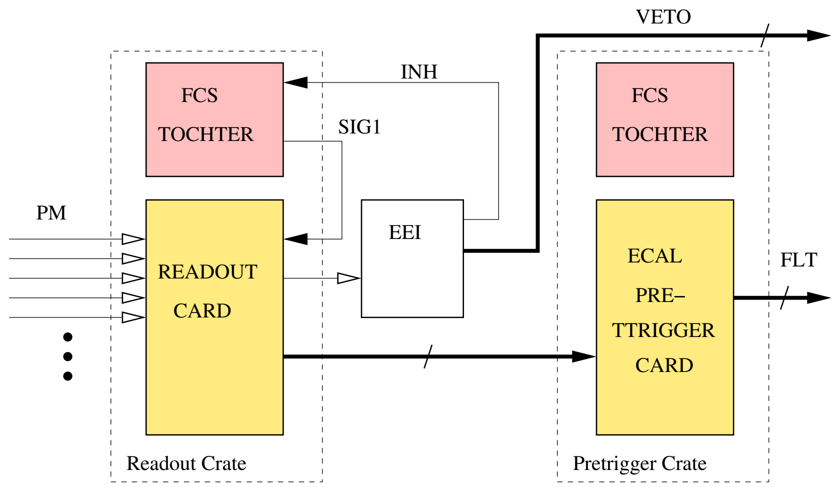

Abb. 2.6: Schematische Darstellung des ECAL-Pretriggers und des EEI. Dünn gedruckte offene Pfeile symbolisieren analoge Daten, dünn gedruckte geschlossene Pfeile Steuersignale und fett gedruckte Pfeile stehen für digitale Daten. Die analogen Daten der Photomultiplier (PM) gelangen auf die READOUT CARDs, auf denen sie digitalisiert und an die ECAL PRETRIGGER CARDs weitergeleitet werden. Dort wird die Cluster-Suche durchgeführt und die Nachricht für die erste Triggerstufe (FLT) generiert. Das EEI erhält analoge Daten, summiert diese analog und vergleicht sie mit einer einstellbaren Schwelle. Ist die Energiesumme größer als der Schwellenwert, wird ein Veto-Signal (VETO) erzeugt. Intern gelangt das Veto-Signal (INH) an die Fast-Control-System-Tochterkarten (FCS TOCHTER) der Readout Crates. Das Veto-Signal (SIG1) wird an die Readout Cards verteilt und unterbindet die Datenverarbeitung auf den ECAL PRETRIGGER CARDS.

und 8 MGs. Die Link Boards befinden sich in den High-P_T-FED-Crates, in direkter Nähe des Detektors. Es existieren zwei Versionen der LBs, die dem Datenformat des Detektors angepasst sind. Das Pretrigger Board sucht nach Koinzidenzmustern in den Padinformationen der drei Detektorlagen. Gefundene Koinzidenzen werden an den Message Generator weitergeleitet, der eine Nachricht für die erste Triggerstufe generiert. Bei der Entwicklung des High-P_T-Pretrigger-Systems wurde vorgesehen, dass die Datenverarbeitung über ein externes Veto-Signal unterdrückt werden kann. Über die Message Generatoren gelangt das Veto-Signal an die Pretrigger Boards. Die Daten des Pretrigger Boards werden in einer pipelineartig aufgebauten Speicherstufe zwischengespeichert, um sie mit dem Veto-Signal zu synchronisieren, falls die Latenzzeit des Pretriggers kürzer ist, als die der Veto-Signal-Erzeugung.

Myon-Pretrigger

Der Myon-Pretrigger [Böc 01] benutzt zur Suche nach Startpunkten Informationen der letzten beiden Superlagen des Myondetektors. Diese Superlagen sind aus Proportionalkammern aufgebaut und besitzen eine zusätzliche Kathoden-Pad-Auslese. Der Pretrigger sucht nach Trefferkoinzidenzen der Pads in den unterschiedlichen Lagen. Dabei werden im äußeren Bereich die Pads der dritten Superlage jeweils mit sechs Pads der vierten Superlage, die in Projektion der Teilchenbahn liegen, verknüpft. Im inneren Bereich werden sogenannte Pseudopads aus den Pixelzellen gebildet. Aufgrund der höheren Granularität wird hier jeweils ein Pseudopad der dritten Superlage mit vier Pseudopads der vierten Superlage verknüpft.

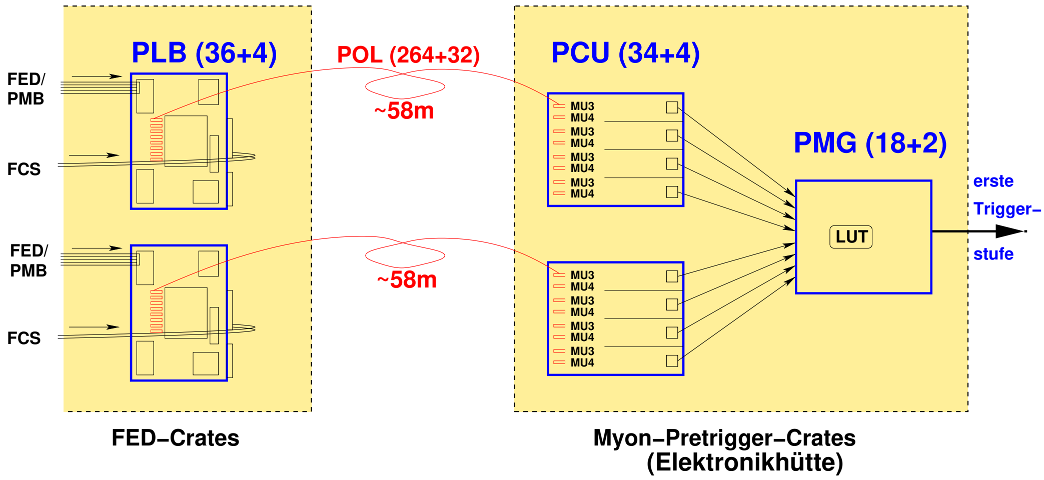

Abb. 2.7: Schematische Darstellung des Myon-Pretriggers. Die PLBs übertragen die Daten des Detektors mittels des POLs zu den PCUs in die Elektronikhütte. Die PCUs berechnen die Koinzidenzen, aus denen der PMG Nachrichten für die erste Triggerstufe erzeugt.

Der Myon-Pretrigger besteht aus vier Hauptkomponenten, wie in Abbildung 2.7 zu erkennen. Die Pretrigger Link Boards (PLB) erhalten die Daten vom Myon-FED-System. Das FED-System befindet sich in direkter Nähe des Detektors. Die Daten werden mit den Pretrigger Optical Links (POL) über ca. 50 m in die Elektronikhütte zur Pretrigger Coincidence Unit (PCU) übertragen. Die PCU berechnet die Koinzidenzen und gibt diese an den Pretrigger Message Generator (PMG) weiter. Dieser erzeugt eine Nachricht für die erste Triggerstufe. Das Myon-Pretriggersystem umfaßt 40 PLBs, 38 PCUs und 20 PMGs.

Auch im Myon-Pretrigger wurde die Unterdrückung der Pretrigger-Nachrichten während der Entwicklung vorgesehen. Wie beim High-P_T-Pretrigger gelangt das Veto-Signal über die PMGs auf die PCUs. Die Daten der asynchron zum HERA-Takt laufenden optischen Übertragungsstrecken werden zur Synchronisation unter der mit den Daten mitgelieferten BX-Nummer in DPRAMs gespeichert. Auch das Veto-Signal wird unter der mitgelieferten BX-Nummer in einem DPRAM gespeichert. Die Daten und das Veto-Signal werden zu der aktuell auf der PCU verarbeiteten BX-Nummer ausgelesen. Ist das Veto-Signal gesetzt, werden keine Daten an die PMGs übertragen.

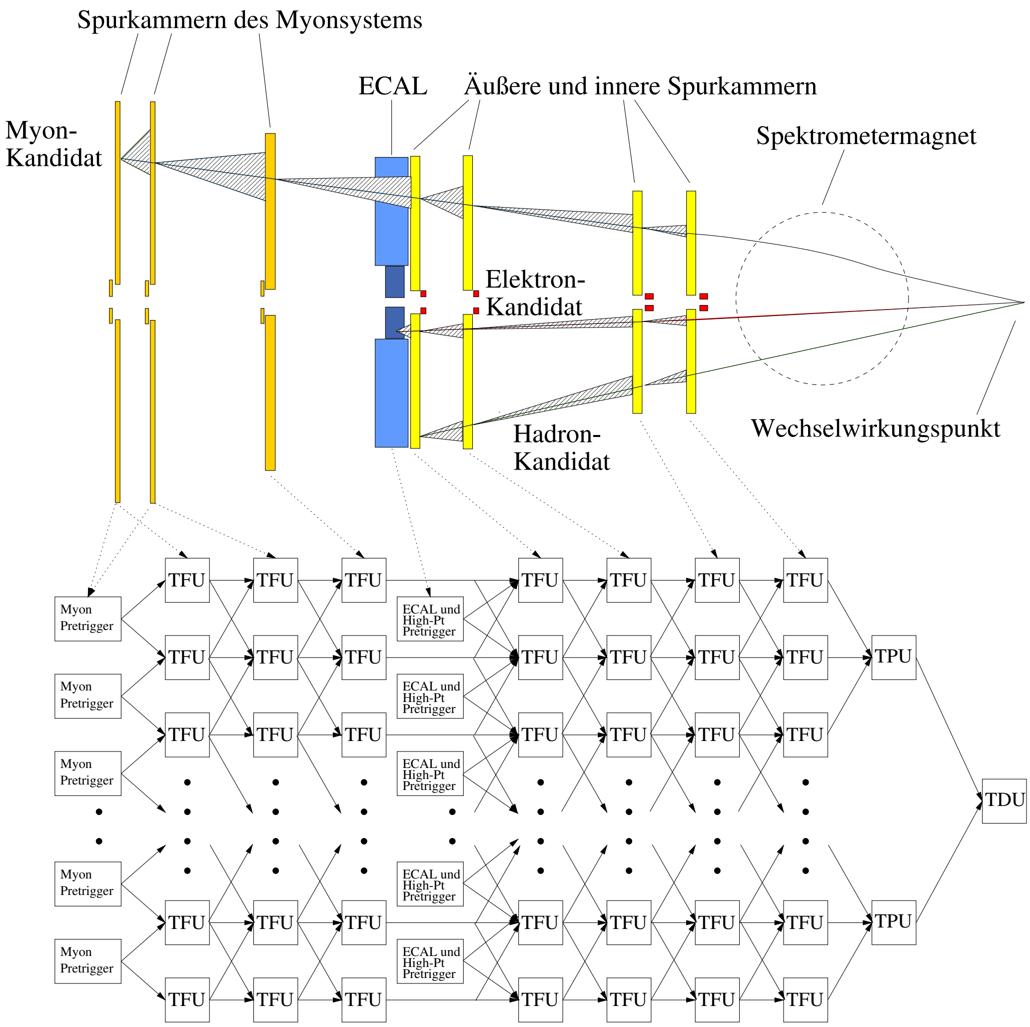

Abb. 2.8: Darstellung des matrixartigen Netzwerks des FLT und den zugehörigen Detektorlagen (aus [Nör 99]). Jeder TFU ist eine Suchregion einer Detektorlage zugeordnet. Auf der TPU werden die Parameter der Spuren berechnet und Schnitte auf den Transversalimpuls durchgeführt. Die Spurinformation wird an die TDU weitergeleitet, die die Triggerentscheidung fällt.

2.3.2 Die erste Triggerstufe (FLT)

Wie bereits erwähnt, untersucht die erste Triggerstufe [Ful 98a] (FLT[18]) jedes Ereignis, rekonstruiert Teilchenspuren und führt Schnitte auf physikalische Parameter aus. Die Verarbeitung der damit verbundenen hohen Dateneingangsrate und die kurze Triggerentscheidungszeit von 12,3 μs inklusive der Latenzzeiten der Pretrigger sind die wesentlichen Herausforderungen der ersten Triggerstufe.
Die erste Triggerstufe ist aus speziell entwickelten Elektronikmodulen aufgebaut, die auf Hardware-Ebene einen Kalman-Filter-Algorithmus [Boc00] durchführen. Dabei wird,

[18] engl. First Level Trigger

ausgehend von den Startpunkten der Pretrigger, die Spur entgegen der Flugrichtung der Teilchen durch die Detektorlagen verfolgt. In Abbildung 2.8 sind die von der ersten Triggerstufe benutzten Detektorkomponenten und das matrixförmig aufgebaute Netzwerk der Elektronikmodule dargestellt. Jeder Track Finding Unit (TFU) ist ein Detektorbereich einer Detektorlage zugeordnet. Über optische Übertragungsstrecken gelangen die Daten der Detektorlagen von den FEDs auf die TFUs. Dort werden die Daten der letzten 128 BX in Wire Memories (eigens zu diesem Zweck entwickelten ASICs[19]) zwischengespeichert, um den Datentransfer zu reduzieren. Die TFUs erhalten von den TFUs der vorherigen Lage oder den Pretriggern die Information, in welcher Suchregion (Region of Interest) nach Treffern gesucht werden soll. Die Suchregion für die nachfolgende TFU-Lage wird berechnet und an die entsprechenden TFUs weitergeleitet. Die Daten der letzten TFU-Lage werden an die Track Parameter Units (TPU) übertragen. Diese berechnen die zugehörigen Spurparameter und führen Schnitte auf den Transversalimpuls durch. Alle akzeptierten Spuren werden in der Trigger Decision Unit (TDU) gesammelt. Es werden die Spuren der Elektronen und Myonen gezählt und die invariante Masse für Spurpaare berechnet. Es existieren zwei Trigger-Modi. Bei dem Zähltrigger-Modus wird auf die Anzahl einer bestimmten Teilchensorte getriggert, während im Paartrigger-Modus auf die invariante Masse des J/ψs getriggert wird. Die Spurinformationen und Suchregionen der akzeptierten Ereignisse werden an die zweite Triggerstufe weitergegeben.

2.3.3 Das Datennahmesystem

Die Detektordaten der einzelnen Subdetektoren sind in den FED-Speichern der jeweiligen subdetektorspezifischen FEDs für 128 BX gespeichert. Werden Ereignisse akzeptiert, ist es die Aufgabe des Datennahmesystems, die zugehörigen Daten aus den FED-Speichern auszulesen und an die zweite Triggerstufe weiterzuleiten. Dies wird durch das Fast Control System (FCS) koordiniert. Das FCS verteilt ein Taktsignal und die BX-Nummer an die FEDs des gesamten HERA – B Experiments. Unter der Adresse der BX-Nummer werden die Detektordaten in den FED-Speichern zwischengespeichert. Die Adresse unter der die akzeptierten Ereignisse ausgelesen werden, wird vom FCS an die FED-Speicher weitergeleitet. Die Leseadresse wird im Folgenden als FLT-BX-Nummer bezeichnet. Eine detailliertere Beschreibung des FCS wird in Abschnitt 9.2 gegeben.

Die Informationen aus den FED-Speichern werden an den Second-Level-Buffer übertragen. Dieser ist aus einem Netzwerk miteinander kommunizierender DSPs[20] aufgebaut. Die Weiterverteilung der Daten in den höheren Triggerstufen wird von dem sogenannten Event-Controller gesteuert.

[19] Application Specific Integrated Circuit

[20] Digital Signal Prozessor engl. für digitaler Signal-Prozessor

Kapitel 3

Das Physikprogramm von HERA – B

Wie im vorhergehenden Kapitel bereits geschilder, wurde das HERA – B Experiment zum Nachweis der CP-Verletzung im System der neutralen B-Mesonen entwickelt. Es besitzt eine gute Vertexauflösung und Teilchenidentifikation. Ein Großteil der pro Ereignis auftretenden Teilchenspuren kann rekonstruiert werden. Die kinematische Akzeptanz des Detektors erstreckt sich über den Bereich $-0{,}4 < x_F < 0{,}3$ und eröffnet damit den Zugang zu Messungen bei negativen x_F-Werten. Dieser Bereich wird von anderen Experimenten mit festem Target typischerweise nicht abgedeckt.
Die Fertigstellung des HERA – B Detektors verzögerte sich gegenüber dem ursprünglichen Zeitplan. Die hohen Teilchenflüsse stellten besondere technische Anforderungen an den Bau und die Inbetriebnahme der Spurdetektoren und des Triggersystems und führten zu unvorhergesehenen Problemen. Die Verzögerung bei der Inbetriebnahme des HERA – B Detektors und die schnellere und erfolgreichere Inbetriebnahme der auf dem Gebiet der B-Meson-Physik konkurrierenden Experimente an den e^+e^--Speicherringen führten dazu, die Prioritäten des Physikprogramms für die Datennahmeperiode 2002 neu zu definieren [HERA – B 00b, HERA – B 00a, HERA – B 01]. Da HERA – B Hadron-Streuprozesse untersucht, liegt es nahe, Forschungen im Bereich der Quantenchromodynamik (QCD) zu betreiben. Mit den Untersuchungen können die Vorhersagen der QCD getestet und ungeklärte Aspekte untersucht werden.
Das Physikprogramm der Datennahmeperiode 2002/2003 wird sich auf die Messung des $\mathrm{b\overline{b}}$-Wirkungsquerschnitts und der Charmonium-Unterdrückung als Funktion der nuklearen Target-Masse A konzentrieren. Diese beiden Themen werden in den folgenden Abschnitten kurz skizziert. Die theoretischen Modelle werden vorgestellt und der mögliche Beitrag des HERA – B Experiments zu diesen Themen aufgezeigt.

3.1 Harte Parton-Streuung, Renormierung und Faktorisierung

Im Quark-Parton-Modell wird der Wirkungsquerschnitt $\sigma(S, m^2)$ einer Hadron-Hadron-Wechselwirkung durch die Parton-Dichten F_i, F_j und den partonischen Wirkungsquerschnitt σ_{ij} wie folgt beschrieben:

$$\sigma(S, m^2) = \int \mathrm{d}x_1 \mathrm{d}x_2 \sum_{ij} F_i(x_1, \mu^2) F_j(x_2, \mu^2)\, \sigma_{ij}(s, m^2, \mu^2).$$

Die Parton-Dichten $F_i(x, \mu^2)$ können nicht perturbativ berechnet werden. Die Indizes i, j stehen für ein Quark, Antiquark oder Gluon. Mit der Variablen Bjorken-x, $x_{1,2}$, wird der Bruchteil des Hadronimpulses angegeben, der von dem wechselwirkenden Parton getragen wird. S ist das Quadrat der Schwerpunktsenergie und s ist definiert als $s = x_1 x_2 S$. Die Masse des produzierten schweren Quarks ist m. Die Wahl der Renormierungskonstante μ hängt von der Renormierungsskala ab. Bei der Entwicklung des partonischen Wirkungsquerschnitts in Potenzreihen der Kopplungskonstanten der QCD, α_s, treten zwei Typen von Divergenzen auf: die Infrarotdivergenz und die Ultraviolettdivergenz. Die Ultraviolettdivergenz wird durch Schleifendiagramme hervorgerufen, in denen der Partonimpuls nicht eingeschränkt ist. Diese Divergenzen werden durch sogenannte Renormierungsprozeduren beseitigt. Dadurch wird eine Skala μ_R eingeführt, bei der die Subtraktion, durch die die Divergenzen aufgehoben werden, stattfindet. Die Kopplungskonstante α_s wird durch die renormierte Kopplungskonstante $\alpha_s(\mu_R)$ ersetzt. Die langreichweitige (weiche) und kurzreichweitige (harte) Dynamik des Streuprozesses wird in der QCD in universelle, nicht-perturbative Partonverteilungs- und Fragmentierungsfunktionen, und störungstheoretisch berechenbare Streufunktionen unterteilt. Die Infrarotdivergenzen, bei denen der Partonimpuls gegen null geht, werden in den nicht-perturbativen Anteil des Wirkungsquerschnitts faktorisiert. Das Faktorisierungs-Theorem [Col 88] erlaubt die Separation des weichen Anteils von dem harten. Die Separation wird durch die Faktorisierungsskala μ_F festgelegt. Die Parameter μ_R und μ_F sind willkürliche Parameter. Sie werden jedoch meistens so gewählt, dass sie in der Größenordnung des Impulsübertrages Q bei der harten Wechselwirkung liegen:

$$\mu_R = \mu_F = \mu = Q.$$

3.2 Bestimmung des Wirkungsquerschnitts $\sigma_{\mathrm{b\bar{b}}}$ nahe der Produktionsschwelle

Die Berechnung des Produktionswirkungsquerschnitts schwerer Quarks in der QCD wird mittels des Faktorisierungs-Theorems und der Entwicklung der beitragenden Amplituden in Potenzen der Kopplungskonstante α_s durchgeführt. Dabei wird ein Teil der Strahlungskorrekturen, die aufgrund der Abstrahlung weicher Gluonen eingeführt werden müssen, in den Strukturfunktionen zusammengefasst und ist damit abhängig vom Faktorisierungsschema. Bei der perturbativen Entwicklung können die logarithmischen Terme nahe der Produktionsschwelle große Werte annehmen, die resummiert werden müssen, um die theoretischen Vorhersagen zu präzisieren. Die Summation findet in allen Ordnungen Störungstheorie statt. Die Logarithmen sind vom Typ $(\ln(1-z))^i/(1-z)$, wobei i die Ordnung der perturbativen Entwicklung angibt. Bei diesen Ausdrücken muss über die Variable z bis zu einem Limit von $z = 1$ integriert werden. Die Ausdrücke besitzen zwar keine Singularität bei $z = 1$, da in dem Integranden Terme $\delta(1-z)$ berücksichtigt werden müssen, können jedoch den Hauptbeitrag der Korrekturterme bilden [Kid 96]. Im folgenden Abschnitt werden die theoretischen Berechnungen für die Produktionswirkungsquerschnitte schwerer Quarks in führender (LO[1])

[1]engl. leading order

und nächstführender Ordnung (NLO[2]) der perturbativen QCD kurz zusammengefasst. Dabei wird weitgehend der Notation aus [Nas 88] gefolgt.
Der totale Wirkungsquerschnitt σ wird durch folgende Faktorisierungsformel gegeben:

$$\sigma(\rho_h, m^2) = \sum_{i,j} \int_0^1 dx_1\, dx_2\, F_i(x_1,\, \mu^2)\, F_j(x_2,\, \mu^2)\, \sigma_{ij}(\rho, m^2, \mu^2),$$

wobei m die Masse des schweren Quarks und i, j die Indizes der Partonen angibt ($i = g, q, \overline{q}$). ρ und ρ_h sind dimensionslose Variablen

$$\rho_h = \frac{4m^2}{S}, \quad \rho = \frac{\rho_h}{x_1 x_2}.$$

S ist das Quadrat der Schwerpunktsenergie. Die Partondichten $F_i(x,\, \mu^2)$ und der partonische Wirkungsquerschnitt σ_{ij} hängen von der Faktorisierungsskala μ und dem Faktorisierungsschema ab. Es wird die dimensionslose Funktion f_{ij} eingeführt, indem der partonische Wirkungsquerschnitt folgendermaßen umgeschrieben wird:

$$\sigma_{ij}(\rho, m^2, \mu^2) \equiv \frac{\alpha_S^2(\mu^2)}{m^2}\, f_{ij}(\rho, \alpha_s(\mu^2), \mu^2/m^2).$$

Die Funktionen f_{ij} sind perturbativ berechenbar und werden durch folgende Entwicklung in α_s bestimmt:

$$f_{ij}(\rho, \alpha_s(\mu^2), \frac{\mu^2}{m^2}) = f_{ij}^{(0)}(\rho) + 4\pi\alpha_s(\mu^2) \left[f_{ij}^{(1)}(\rho) + \overline{f}_{ij}^{(1)}(\rho) \ln\frac{\mu^2}{m^2} \right] + \sum_{n=2}^{\infty} \alpha_s^n(\mu^2) f_{ij}^{(n)}(\rho, \frac{\mu^2}{m^2}).$$

Die $\overline{f}_{ij}^{(1)}$-Terme sind die Koeffizienten von $\ln\frac{\mu^2}{m^2}$ und werden mittels Renormierungsgruppenargumenten aus den $f_{ij}^{(0)}$ in führender Ordnung bestimmt:

$$\overline{f}_{ij}^{(1)}(\rho) = \frac{1}{8\pi^2} \left[4\pi b_0 f_{ij}^{(0)}(\rho) - \int_\rho^1 dz_1 f_{kj}^{(0)}(\frac{\rho}{z_1}) P_{ki}(z_1) - \int_\rho^1 dz_2 f_{ik}^{(0)}(\frac{\rho}{z_2}) P_{kj}(z_2) \right].$$

Dabei wird die explizite Form der Altarelli-Parisi-Splitting-Funktionen P_{ij} [Alt 82, Alt 77] benutzt. Der Koeffizient b_0 wird aus der Renormierungsgruppe bestimmt. Die verbleibenden NLO-Beiträge $f_{ij}^{(1)}$ sind analytisch nicht berechenbar. Eine analytische Parametrisierung numerischer Resultate ist in [Nas 88] gegeben. Nahe der Produktionsschwelle, $\rho \to 1$, verschwinden die Terme der führenden Ordnung aufgrund der Phasenraumunterdrückung [Fri 98]. Die Terme in nächstführender Ordnung verschwinden jedoch nicht und tragen hauptsächlich zu den NLO-Korrekturen bei [Nas 88]. Die Funktionen $f_{ij}^{(n)}(\rho, \mu^2/m^2)$ verhalten sich wie:

$$f_{ij}^{(n)}(\rho, \mu^2/m^2) \sim f_{ij}^{(0)}(\rho) \ln^{2n}(1-\rho).$$

Die Resummation der Effekte, hervorgerufen durch Abstrahlung weicher Gluonen, in allen Ordnungen Störungstheorie hilft, die Genauigkeit der QCD-Vorhersagen zu verbessern. In der theoretischen Berechnung des Produktionswirkungsquerschnitts bis zur

[2]engl. next-to-leading order

nächstführenden Ordnung hängt das Resultat stark von der Wahl des Skalenparameters μ ab. Die Berücksichtigung von Termen höherer Ordnungen in der Störungsrechnung (NLL[3]) zeigen, dass die Skalenabhängigkeit des Produktionswirkungsquerschnitts deutlich reduziert wird [Bon 98, Kid 01].

Die theoretischen Entwicklungen in Verbindung mit den neuesten experimentellen Daten formen allmählich ein kohärentes Bild der Produktionsdynamik schwerer Quarks in Fixed-Target- und Kollisionsexperimenten. Die Daten werden durch Vorhersagen der perturbative QCD in nächstführender Ordnung (NLO) und nicht-perturbative Ansätze, in denen Fragmentationseffekte berücksichtigt werden, beschrieben [Bon 98, Kid 01].
Die Messung des Produktionswirkungsquerschnitts $\sigma_{\mathrm{b\overline{b}}}$ in Proton-Nukleon-Reaktionen erlaubt es, die Vorhersagen der perturbativen QCD in NLO, unter Berücksichtigung der Beiträge von NLL-Berechnungen, zur Produktion schwerer Quarks nahe der Schwelle zur Erzeugung von $\mathrm{b\overline{b}}$-Paaren zu testen [Bon 98]. Die Vorhersagen stimmen mit den bisher verfügbaren Daten, die vorwiegend aus Pion- und Protonstrahl-Experimenten stammen, überein. Die theoretischen sowie die experimentellen Unsicherheiten sind jedoch groß. In den experimentellen Messungen dominiert der statistische Fehler, der aus der geringen Anzahl der Messwerte resultiert. Bei den theoretischen Vorhersagen spielt die Skalenabhängigkeit eine große Rolle. Bisher wurde der Produktionswirkungsquerschnitt $\sigma_{\mathrm{b\overline{b}}}$ in Proton-Kern-Wechselwirkungen nur von zwei Experimenten mit einem Protonstrahl mit einer Energie von 800 GeV gemessen. Im Experiment E789 wurden inklusive Zerfälle $\mathrm{b\overline{b}} \to \mathrm{J}/\psi X \to l^+l^-X$ untersucht. Der Wert für den Wirkungsquerschnitt $\sigma_{\mathrm{b\overline{b}}}$ wurde zu $(5,7 \pm 1,5\,(\mathrm{stat.}) \pm 1,3\,(\mathrm{syst.}))$ nb / Nukleon bestimmt [Jan 95]. Beim Experiment E771 wurden zusätzlich noch semileptonische Zerfälle des b-Quarks, $\mathrm{b\overline{b}} \to \mu^+\mu^-X$, untersucht. Der daraus ermittelte Wert des Wirkungsquerschnitts wurde zu $(43^{+27}_{-17}\,(\mathrm{stat.}) \pm 7\,(\mathrm{syst}))$ nb / Nukleon bestimmt [Ale 99]. Die Ergebnise weichen um ca. $2{,}3\,\sigma$ voneinander ab. Um eine konsistentere experimentelle Abschätzung des Produktionswirkungsquerschnitts zu erhalten, werden zusätzliche Messungen benötigt.

3.2.1 Messung des Wirkungsquerschnitts $\sigma_{\mathrm{b\overline{b}}}$ bei HERA – B

Die Protonstrahlenergie bei HERA – B liegt bei 920 GeV. Die Wurzel der Schwerpunktsenergie ist $\sqrt{S} = 41{,}6\,\mathrm{GeV}$. Mit einer b-Quarkmasse von $m_b = 4{,}75\,\mathrm{GeV}/c^2$ ergibt sich ein Verhältnis $m_b/\sqrt{S} \simeq 1/8$. Die Renormierungskonstante μ_R wird gleich der b-Quarkmasse gesetzt. Man erhält $\alpha_s(m_b^2) \simeq 0{,}2$ und damit $\alpha_s(m_b^2)\ln(\sqrt{S}/m_b) \simeq 0{,}4$. Der störungstheoretische Ansatz ist daher gerechtfertigt.
Die experimentellen Techniken, um den Produktionswirkungsquerschnitt $\sigma_{\mathrm{b\overline{b}}}$ zu messen, lassen sich in zwei Kategorien einteilen. Die erste Kategorie enthält Methoden, die die Rekonstruktion exklusiver Zerfälle des B-Mesons untersuchen. In die zweite Kategorie fallen Methoden, die inklusive Zerfälle des Typs

$$\mathrm{pA} \to \mathrm{b\overline{b}}\,X \quad \text{mit} \quad \mathrm{b\overline{b}} \to \mathrm{J}/\psi\,Y \to l^+l^-\,Y$$

untersuchen. A ist die Massenzahl des Target-Materials. Im folgenden wird auf die Bestimmung des Wirkungsquerschnitts $\sigma_{\mathrm{b\overline{b}}}$ in inklusiven Zerfällen detaillierter eingegan-

[3] next-to-leading logarithmic level

gen, weil hierfür erste Ergebnisse einer Messung mit dem HERA – B Detektor vorliegen [Abt 02].
Bei der Messung des Wirkungsquerschnitts wurden inklusive Zerfälle des oben genannten Typs untersucht. Um die J/ψ aus dem Zerfall $b \to$ J/ψ von den direkt produzierten J/ψ zu unterscheiden, wird nach versetzten Vertices gesucht. Aufgrund der relativ langen Lebensdauer der B-Mesonen von 1,5 ps ist der Sekundärvertex vom Primärvertex um ca. 10 mm separiert. Um die systematischen Fehler, hervorgerufen durch nicht optimale Detektor- und Triggereffizienzen zu minimieren und die Abhängigkeit von der absoluten Luminosität zu eliminieren, wurde eine relative Messung durchgeführt. Es wurde das Verhältnis der Anzahl der J/ψ aus dem Zerfall der B-Mesonen zu der Anzahl der direkt produzierten J/ψ gebildet. Das Verhältnis der Wirkungsquerschnitte lässt sich wie folgt darstellen:

$$\frac{\Delta\sigma_B^A}{\Delta\sigma_P^A} = \frac{N_B}{N_P}\frac{1}{\epsilon_R \epsilon_B^{\Delta z} \mathrm{Br}(\mathrm{b\overline{b}} \to \mathrm{J}/\psi X)}.$$

Dabei bezeichnen $\Delta\sigma_B^A$ und $\Delta\sigma_P^A$ die Produktionswirkungsquerschnitte des $b \to$ J/ψ und der direkten J/ψ-Produktion. N_B und N_P sind die Anzahlen der beobachteten $b \to$ J/ψ- und direkten J/ψ-Zerfälle. ϵ_R ist die relative Nachweiseffizienz des $b \to$ J/ψ-Zerfalls zum direkten J/ψ-Zerfall. $\epsilon_B^{\Delta z}$ ist die Effizienz, den versetzten Vertex zu selektieren. $\mathrm{Br}(\mathrm{b\overline{b}} \to \mathrm{J}/\psi X)$ ist das Verzweigungsverhältnis von $2 \cdot (1{,}16 \pm 0{,}10)\,\%$. Der Produktionsquerschnitt pro Nukleon für direkte J/ψ wurde in zwei Fixed-Target-Experimenten gemessen [Ale 97, Sch 95] und gemäß der Schwerpunktsenergie von HERA – B skaliert. Die HERA – B Messung deckte den kinematischen Bereich von $-0{,}25 \leq x_{\mathrm{F}} \leq 0{,}15$ ab. Der untersuchte Datensatz wurde im Jahr 2000 mit dem HERA – B Detektor genommen, der bei nicht optimalen Spurkammer- und Triggerbedingungen betrieben wurde [HERA – B 00b]. Es wurden sowohl Ereignisse im Elektron- als auch im Myonkanal untersucht. Der kombinierte Wirkungsquerschnitt wurde zu

$$\sigma(\mathrm{b\overline{b}}) = 32^{+14}_{-12}\,(\mathrm{stat.})\,^{+6}_{-7}\,(\mathrm{syst.})\;\mathrm{nb}\,/\,\mathrm{Nukleon}$$

bestimmt. In Abbildung 3.1 ist das Ergebnis zusammen mit den Resultaten der Experimente E789 [Jan 95] und E771 [Ale 99] dargestellt. Das Ergebnis steht in Übereinstimmung mit den neuesten theoretischen Vorhersagen der NLO QCD [Bon 98, Kid 01].
Im Jahre 2001 wurden große Anstrengungen unternommen, die Effizienz des Detektors und des Triggers zu verbessern. Es ist davon auszugehen, dass durch die Modifikationen und eine größere Statistik die Messung des Produktionswirkungsquerschnitts $\sigma_{\mathrm{b\overline{b}}}$ präziser werden wird. Es wird erwartet, dass eine statistische Genauigkeit besser als 10 % und ein systematischer Fehler kleiner als 30 % erreicht wird.

3.3 Quarkonium-Produktion und nukleare Unterdrückung

Schwere Quarkoniumzustände sind gute Systeme, um die Vorhersagen der QCD zu untersuchen. Während bei den Berechnungen der leichteren Quarkoniumzustände große theoretische Unsicherheiten durch nicht-perturbative Ansätze und große relativistische

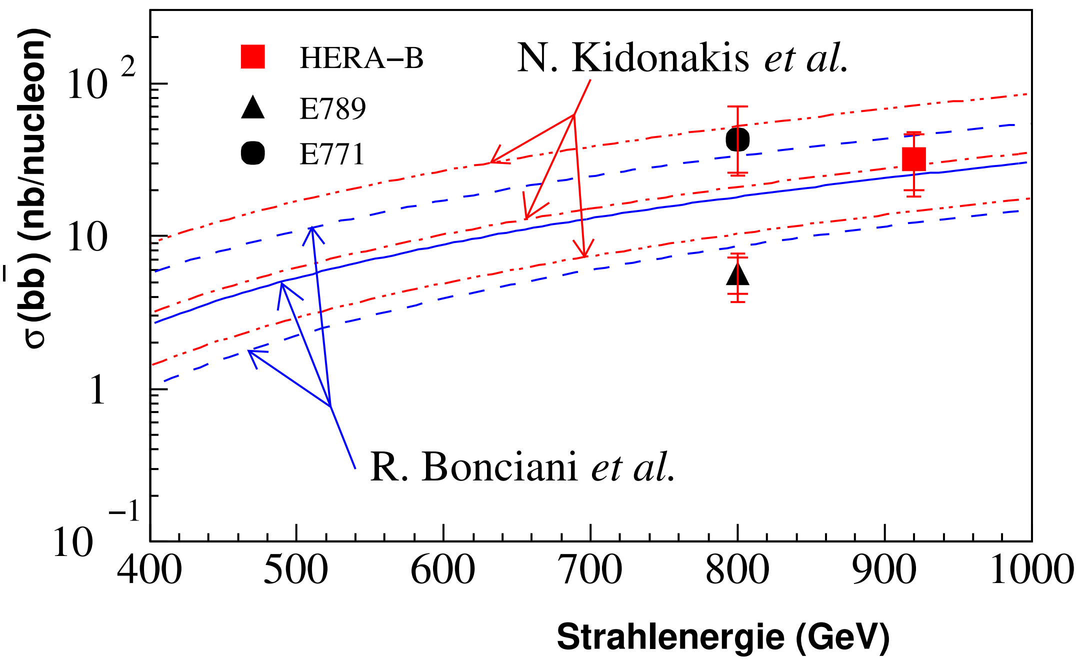

Abb. 3.1: Vergleich des Wertes für den Produktionswirkungsquerschnitt $\sigma(b\bar{b})$ gemessen mit dem HERA – B Detektor mit den Werten der Experimente E789 und E771 sowie den neuesten theoretischen Vorhersagen von [Kid 01] und [Bon 98] (aus [Abt 02]). Die Fehlerbänder der theoretischen Vorhersagen sind dominiert durch eine Variation des Parameters μ im Bereich $\frac{m_b}{2} < \mu < 2m_b$.

Korrekturen auftreten, erlaubt es die größere Charm- bzw. Bottom-Quarkmasse, die Produktion der schweren Quarkoniumzustände perturbativ zu berechnen.
Der Produktion schwerer Quarkoniumzustände wurde viel Aufmerksamkeit gewidmet, seit die Unterdrückung der J/ψ-Produktion in Pb-Pb-Wechselwirkungen [Abr 99] als Hinweis für die Existenz eines Quark-Gluon-Plasmas (QGP) gedeutet wurde. Nukleare Effekte können ebenfalls zu einer Unterdrückung führen. Die Untersuchung des Unterdrückungsmechanismus in Proton-Kern-Wechselwirkungen, in denen man davon ausgeht, dass die zur Verfügung stehende Energie zur Bildung eines QGP nicht ausreicht, kann hier wichtige Beiträge zur Klärung liefern. Im folgenden Abschnitt werden einige theoretische Produktionsmodelle vorgestellt, bevor auf die nukleare Unterdrückung eingegangen wird. Anschließend wird aufgeführt, welche Beiträge HERA – B zu diesen Untersuchungen liefern kann.

3.3.1 Quarkonium-Produktion

Eine genaue Interpretation der Unterdrückung erfordert genaue Kenntniss der Quarkonium-Produktion. Eine bisher ungeklärte Frage bei der Produktion der Quarkoniumzustände ist, ob das $q\bar{q}$-Paar im gleichen farbneutralem Zustand erzeugt werden muss, in dem sich der Quarkoniumzustand befindet. Es werden drei Modelle aufgeführt, die die Produktion der Quarkoniumzustände beschreiben.

Color-Evaporation-Modell (CEM)

Das Color-Evaporation-Modell [Fri 77] nimmt den Austausch vieler weicher Gluonen während der Formation des Quarkoniumzustandes an, so dass das Quarkonium keine Information mehr über den Produktionsprozess besitzt. Das bedeutet, dass die Quarkoniumformation unabhängig von dem wechselwirkenden System und der Kinematik der Wechselwirkung ist. Als Schlussfolgerung sollte das Verhältnis der Wirkungsquerschnitte unterschiedlicher Charmoniumzustände nicht von der Schwerpunktsenergie abhängen. Dies stimmt mit den bisherigen Beobachtungen überein [Sch 94].

Color-Singlet-Modell (CSM)

Bei der Formation des Quarkoniums, wie es das Color-Singlet-Modell [Bai 83, Sch 94] beschreibt, wird davon ausgegangen, dass das $\mathrm{q\overline{q}}$-Paar in einem farbneutralen Zustand erzeugt wird und die gleichen Quantenzahlen besitzt wie der Quarkoniumzustand. Aufgrund dieser Forderungen und aus der Erhaltung der C-Parität folgt, dass die Diagramme zur Produktion von χ_c bzw. J/ψ in niedrigster Ordnung von der starken Kopplungskonstanten α_S zum Quadrat bzw. zur dritten Potenz abhängen. Die Vorhersage, dass der Wirkungsquerschnitt $\sigma^{\mathrm{J}/\psi}$ um eine Größenordnung in α_S kleiner sein soll als der Wirkungsquerschnitt σ^{χ_c}, ist in Fixed-Target-Experimenten nicht erfüllt. Dahingegen stimmt die Vorhersage des Verhältnisses der Wirkungsquerschnitte für $\sigma^{\psi'}$ zu $\sigma^{\mathrm{J}/\psi}$ gut mit den experimentellen Werten überein [Gav 95].

Color-Octet-Modell (COM)

Das Color-Octet-Modell basiert auf der nicht-relativistischen QCD (NRQCD) [Bod 95, Ben 96]. Dabei kann ein $\mathrm{q\overline{q}}$-Paar seine Farbladung durch Abstrahlung weicher Gluonen neutralisieren. Für jedes $\mathrm{q\overline{q}}$-Paar in einem Color-Octet- bzw. Color-Singlet-Zustand besteht eine Wahrscheinlichkeit, in einen Quarkoniumzustand überzugehen. Die Singlet-Zustände sind die gleichen, wie im CSM. Der Produktionswirkungsquerschnitt für einen Quarkoniumzustand H in dem Prozess

$$A + B \to H + X$$

kann geschrieben werden als:

$$\sigma_H = \sum_{i,j} \int_0^1 \mathrm{d}x_1 \mathrm{d}x_2 F_i(x_1) F_j(x_2) \sigma(ij \to H)$$

$$\sigma(ij \to H) = \sum_n C^{ij}_{\mathrm{\overline{q}q}[n]} \langle O^H_n \rangle.$$

Die erste Summe erstreckt sich über alle Partonen der wechselwirkenden Hadronen. Die F_i geben die Partondichten an. Die Koeffizienten $C^{ij}_{\mathrm{\overline{q}q}[n]}$ beschreiben die Produktion eines Quark-Antiquark-Paares im Zustand n. Dabei gilt die Näherung, dass $\frac{1}{m_q}$ viel größer als $\frac{1}{m_q v}$ sein muss, wobei m_q die Quarkmasse und v die relative Quark-Antiquark-Geschwindigkeit angibt. Die Parameter $\langle O^H_n \rangle$ beschreiben die Hadronisierung des $\mathrm{q\overline{q}}$-Paares in Jets, die das Quarkonium H und leichte Hadronen enthalten.

Die Übergangsmatrixelemente lassen sich nicht perturbativ berechnen. Sie werden aus den Fitparametern der Funktionen, die die gemessenen Daten beschreiben, extrahiert. Dabei werden nur die Matrixelemente in führender Ordnung berücksichtigt. Da die Werte von den Fitfunktionen abhängen, treten starke Abweichungen durch die Wahl der Parameter in den Fitfunktionen auf. Es werden weitere Messungen benötigt, um eine höhere Statistik zu erhalten und so die Präzision der Werte für die Übergangsmatrixelemente zu verbessern.
Aufgrund der Vorhersage des COM sollten die schweren Quarkoniumzustände vorwiegend transversal polarisiert sein. Dies steht im Widerspruch mit den bisher verfügbaren experimentellen Daten des Experiments E866 [Lei 00].

3.3.2 Nukleare Absorption

Die Unterdrückung der Charmoniumproduktion in Proton-Kern-Wechselwirkungen kann folgendermaßen parametrisiert werden [Vog 01a]:

$$\sigma(c\overline{c})_{\mathrm{pA}} = \sigma(c\overline{c})_{\mathrm{pp}} \cdot \mathrm{A}^{\alpha}.$$

$\sigma(c\overline{c})_{\mathrm{pp}}$ stellt den Wirkungsquerschnitt für die Produktion in Proton-Proton-Wechselwirkungen und $\sigma(c\overline{c})_{\mathrm{pA}}$ den Wirkungsquerschnitt für die Produktion in Proton-Kern-Wechselwirkungen dar. A ist die Massenzahl des Target-Kerns. Der Exponent α beschreibt die Größe der Unterdrückung und kann Werte zwischen 0,7 und eins annehmen. α hängt vom Transversalimpuls p_{T} und der Skalenvariable Feynman-x x_{F} ab, die den Bruchteil des maximalen longitudinalen Impulses angibt. Die Abhängigkeit von kinematischen Variablen zeigt an, dass es sich bei der Unterdrückung nicht um einen rein konstanten Absorptionseffekt handelt.
Es existieren unterschiedliche Modelle, die die nukleare Unterdrückung beschreiben (siehe [Vog 01a] für eine Übersicht). Im folgenden werden einige Modelle kurz vorgestellt. Die Effekte, die dabei eine Rolle spielen, lassen sich in Anfangszustands- und Endzustandseffekte unterteilen.

Anfangszustandseffekte

Shadowing Die Partondichten in Kernen unterscheiden sich von denen in Protonen, was durch tiefinelastische Streuexperimente gezeigt werden konnte [Arn 94]. Die Partondichten können verarmt oder angereichert sein. Dieser Effekt wird „Shadowing“ genannt [Vog 01b]. Der Shadowing-Effekts kann sowohl zu einer Unterdrückung wie auch zu einer Überhöhung der Charmoniumproduktion führen.

Vielfachstreuung und Energieverlust der Partonen Aufgrund von Vielfachstreuung kann ein Parton, das an der Produktion des $c\overline{c}$-Paares beteiligt ist, Energie verlieren. Dies führt zu einer Verarmung an Partonen mit hoher Energie bzw. hohem Wert für den Bjorken-Parameter x, der den Bruchteil des Protonimpulses angibt, der vom wechselwirkenden Parton getragen wird. Dies führt zu einer nuklearen Unterdrückung im Bereich großer Bjorken-x-Werte, da die Partondichte dort stark reduziert ist. Ein farbgeladenes $c\overline{c}$-Paar kann ebenfalls durch Vielfachstreuung Energie verlieren, bevor das Quarkonium gebildet ist. Dies führt zu einer

Verschiebung in x_F zu kleineren Werten. Ein weiterer Effekt, der durch Vielfachstreuung hervorgerufen werden kann, ist eine Zunahme des Transversalimpulses der c-Quarks. Die effektive Masse des ungebundenen $c\bar{c}$-Paars vergrößert sich und kann so groß werden, dass es energetisch günstiger ist, in D-Mesonen zu dissoziieren [Vog 01c].

Endzustandseffekte

Nukleare Absorption Das ungebundene $c\bar{c}$-Paar kann mit dem es umgebenden nuklearen Material wechselwirken, bevor es einen Charmoniumzustand einnimmt. Da die Absorptionswahrscheinlichkeit mit zunehmender Weglänge bis zur Formation eines Charmoniumzustandes zunimmt, sollte die Unterdrückung bei größeren x_F größer werden. Dies ergibt sich aus der Abhängigkeit des Lorentzfaktors von x_F, da $\gamma(x_F)$ zu größeren Werten von x_F zunimmt und die Formationszeit um $\gamma(x_F)$ verlängert wird. Aus der unterschiedlichen Formationszeit des ψ'- und des J/ψ-Mesons resultiert, dass die Produktion der ψ'-Mesonen eine stärkere Unterdrückung erfahren sollte, als die Produktion der J/ψ-Meson.

Die Charmoniumzustände werden bei kleinen x_F effektiv innerhalb des Kerns gebildet. Da die J/ψ-Mesonen stark gebunden sind, kann man annehmen, dass sie weniger stark von der Absorption betroffen sind als schwach gebundene Charmoniumzustände wie ψ' oder χ_c.

Wird das J/ψ nach dem Mechanismus des Color-Octet-Modells gebildet, so kann davon ausgegangen werden, dass sich der Charmoniumzustand aus einem farbgeladenen $c\bar{c}$-Zustand entwickelt hat. Der farbgeladene Color-Octet-Zustand wechselwirkt mit der ihn umgebenden nuklearen Materie. Daraus resultiert ein größerer Absorptionswirkungsquerschnitt für die farbgeladenen Zustände, als für einen farbneutralen Color-Singlet-Zustand [Vog 00]. Dies bedeutet, dass J/ψ und ψ', die vorwiegend nach dem COM produziert werden, stärker unterdrückt werden, als χ_c, das nach dem CSM produziert wird [Vog 01a].

Absorption durch mitbewegte Teilchen Ein gebundener Charmoniumzustand kann mit den ihn umgebenden sekundären Teilchen (Co-Mover) wechselwirken, wenn die Distanz im Phasenraum nicht zu groß ist. Das Charmonium dissoziiert, bevor es zerfallen kann. Dies führt zu einer Verarmung der Teilchendichte in der Phasenraumregion nahe des Charmoniums.

3.3.3 Das Potenzial von HERA – B zur Untersuchung der Charmoniumzustände

Obwohl das HERA – B Experiment nicht für die Untersuchung von QCD-Vorhersagen entwickelt wurde, besitzt es einige Vorteile gegenüber den Experimenten E771 oder E866, die ähnliche Untersuchungen in der Vergangenheit durchgeführt haben. Das Potenzial des HERA – B Experiments wird im folgenden kurz erläutert.

- Das HERA – B Experiment besitzt einen großen kinematischen Akzeptanzbereich, $-0{,}4 \leq x_F \leq 0{,}3$, wohingegen die bisher vorliegenden Daten auf den Bereich positiver x_F-Werte beschränkt sind. Der Bereich negativer x_F-Werte ist besonders interessant, da hier bei großen Kernen das Charmonium vorwiegend innerhalb des Kerns gebildet wird. Wenn Absorptionseffekte dominieren, sollte der Absorptionskoeffizient α in diesem Bereich flach verlaufen. Treten Endzustandseffekte auf, so sollte die Unterdrückung größer werden.

- HERA – B ist in der Lage, einen Großteil der geladenen Teilchenspuren des Ereignisses zu rekonstruieren. Dadurch ist es möglich, die Theorie der Charmoniumunterdrückung durch Wechselwirkung mit mitbewegten Teilchen zu verifizieren, wenn eine relative Verarmung der Teilchendichte in der Phasenraumregion nahe des Charmoniumzustandes gemessen wird.

- Durch den simultanen Einsatz unterschiedlicher Target-Materialien wird sichergestellt, dass die Datennahmebedingungen für die Messungen der A-Abhängigkeit der Unterdrückung dieselben sind. Systematische Unsicherheiten werden daher bei relativen Messungen stark reduziert.

- Die unterschiedlichen Vorhersagen der Stärken für die Unterdrückung von J/ψ, ψ' und χ_{c} können von HERA – B gemessen werden. Sie sind besonders signifikant im Bereich negativer x_{F}-Werte. In Abbildung 3.2 sind die Werte von α für verschiedene Modelle und unterschiedliche Charmoniumzustände dargestellt [Vog 01a]. Den Berechnungen wurde der Impuls des HERA-Protonstrahls zugrunde gelegt.

3.4 Zusammenfassung

Das HERA – B Experiment ist zum Nachweis von Teilchen mit hohem Transversalimpuls entwickelt worden. Es besitzt eine gute Vertexauflösung, mit der die Primär- und Sekundärvertices der erzeugten Teilchen nachgewiesen werden können. Systematische Unsicherheiten werden bei relativen Messungen stark reduziert, da unterschiedliche Targetmaterialien gleichzeitig eingesetzt werden können und so identische Datennahmebedingungen für die Messungen der A-Abhängigkeit vorliegen. Die große Akzeptanz im Bereich $-0{,}4 < x_F < 0{,}3$, die Teilchenidentifikation und -rekonstruktion bieten die Möglichkeit, signifikante bzw. bisher unzugängliche Beiträge zur Überprüfung der QCD-Vorhersagen auf dem Gebiet der Charmonium-Unterdrückung und bei der Verbesserung der Messgenauigkeit des $\mathrm{b\bar{b}}$-Wirkungsquerschnitts zu leisten.

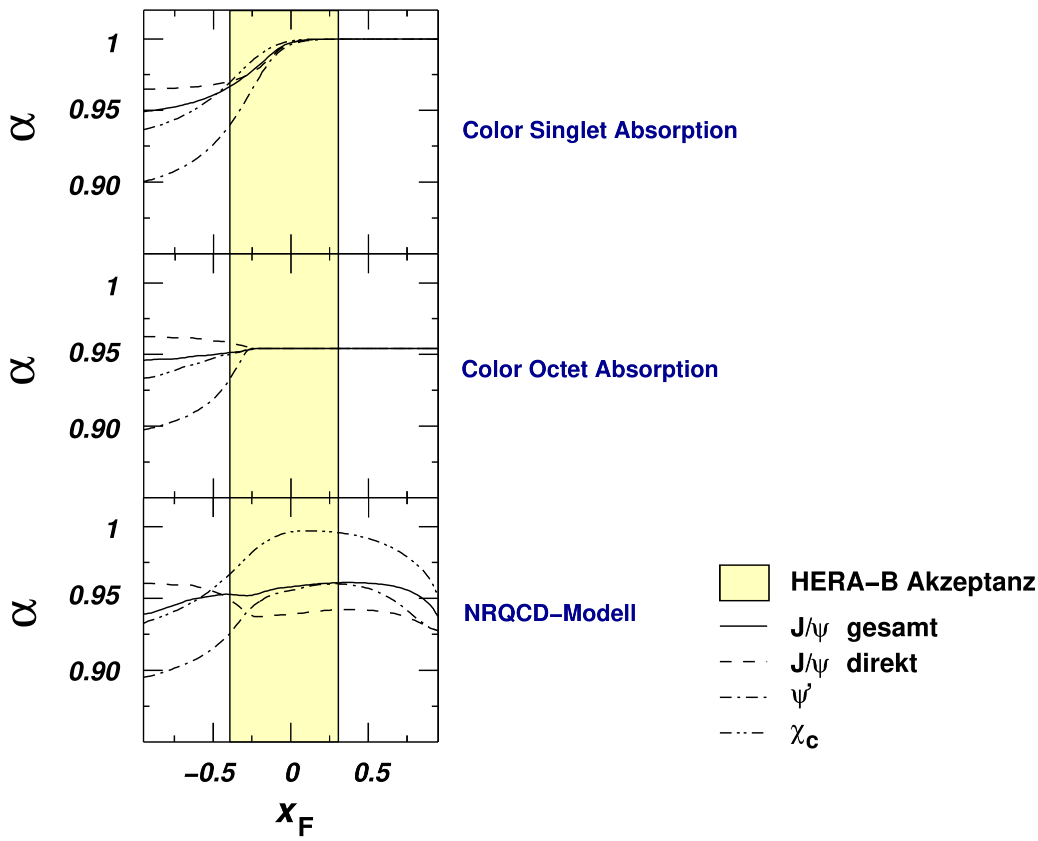

Abb. 3.2: Vorhersage zur Abhängigkeit der Unterdrückung unterschiedlicher Charmoniumzustände von x_{F} (nach [Vog 01a]). Den Berechnungen wurde ein Protonstrahlimpuls von 920 GeV zugrunde gelegt. Der Akzeptanzbereich des HERA – B Detektors in x_{F} ist farblich unterlegt dargestellt.

Kapitel 4

Das RICH-Multiplizitätsveto-System

Nach der Vorstellung des HERA – B Detektors und des Physikprogramms wird in diesem Kapitel ein Überblick über das RICH-Multiplizitätsveto-System gegeben.
Im Vorfeld der Entwicklung des RICH-Multiplizitätsveto-Systems standen Untersuchungen zur Wahl eines geeigneten Subdetektorsystems zur Implementation der Veto-System-Hardware. Ausgehend von der physikalischen Motivation eines Veto-Systems werden die Ergebnisse dieser Studien präsentiert, die Wahl des RICH-Detektors als geeignetster Subdetektor begründet und die Anforderungen an das Veto-System dargelegt. Anschließend wird eine Übersicht über den Aufbau des RICH-Multiplizitätsveto-Systems gegeben, die die Einordnung des Systems in das HERA – B Experiment erlaubt.

4.1 Aufgabe des Veto-Systems

Wie in Kapitel 2 erläutert, handelt es sich bei dem HERA – B Experiment um ein Hochratenexperiment. Die Detektordatenrate liegt bei ca. 5 TByte / s. Bei einer Wechselwirkungsrate von 40 MHz werden pro Ereignis annähernd 200 geladene Spuren erzeugt. Aus diesen muss das Triggersystem die physikalisch relevanten selektieren, um zu entscheiden, ob die Daten des Ereignisses gespeichert werden sollen.
Ereignisse mit einer hohen Anzahl gleichzeitiger primärer Wechselwirkungen führen zu einer hohen Treffermultiplizität in den einzelnen Detektorlagen des HERA – B Experiments. Dadurch erhöht sich die Wahrscheinlichkeit, dass Treffer verschiedener Teilchenspuren fälschlich zu Trefferkoinzidenzen in den Suchregionen der ersten Triggerstufe kombiniert werden. Ereignisse mit hoher Treffermultiplizität werden daher bevorzugt von der ersten Triggerstufe akzeptiert, was einerseits eine Anreicherung der Untergrundereignisse in den getriggerten Daten, andererseits eine Belastung der Prozessoren der ersten Triggerstufe bedeutet. Während der Datennahmeperiode 2000 zeigte sich, dass die Inbetriebnahme der ersten Triggerstufe durch Ereignisse hoher Multiplizität erschwert wird [HERA – B 00b]. Die erste Triggerstufe arbeitet nachrichtenorientiert, was bei einer Erhöhung von Nachrichten aus den einzelnen Suchregionen zu einer Anhäufung der zwischengespeicherten Nachrichten auf den TFUs führt. Daraus resul-

tiert eine Verlängerung der Latenzzeit der ersten Triggerstufe, was nach sich ziehen kann, dass Daten in den FED-Speichern überschrieben werden, bevor eine Triggerentscheidung getroffen wird. Auch in den höheren Triggerstufen, TLT und 4LT, die nicht mehr auf Suchregionen beschränkt sind, sondern die Daten des gesamten Detektors ausnutzen, führen Ereignisse mit hoher Multiplizität zu einer Erhöhung der Rechenzeit. Die Verarbeitung der Ereignisse mit vielen primären Wechselwirkungen sollte so früh wie möglich unterbunden werden. Die Pretrigger-Systeme eignen sich dazu besonders gut, da sie bis zur Erzeugung der Nachrichten an die erste Triggerstufe synchron zum HERA-Takt arbeiten, und eine Selektion der zu unterdrückenden Ereignisdaten daher einfacher ist als auf den TFUs der ersten Triggerstufe, die nachrichtenorientiert arbeiten.
Aufgrund der Bevorzugung von Ereignissen mit hoher Treffermultiplizität in der ersten Triggerstufe, steigt die Triggerrate stärker als linear mit der Wechselwirkungsrate an. In einer Studie [Brü 02e] wurde gezeigt, dass durch die Unterdrückung von Ereignissen mit vielen gleichzeitigen Wechselwirkungen die Abhängigkeit der Triggerrate von der Wechselwirkungsrate linearisiert werden kann. Man kann somit, durch den Einsatz eines Veto-Systems, Daten bei höheren Wechselwirkungsraten nehmen.
Als Maß für die Anzahl der primären Wechselwirkungen ist jede Größe geeignet, die linear mit den Wechselwirkungen ansteigt, wie z. B. die im inneren Bereich des ECALs deponierte Energie, die Spurmultiplizität oder die Treffermultiplizität. Im Folgenden werden Ergebnisse aus Studien zusammengefasst, in denen die Abhängigkeit der ECAL-Energiesumme und der Spurmultiplizität im Vertexdetektor (VDS) von der Anzahl der überlagerten Wechselwirkungen untersucht wurden [Som 00a, Som 00b, Lum 02].

4.1.1 Physikalische Motivation

Die im ECAL deponierte Energiesumme ist proportional zur mittleren Anzahl der überlagerten Wechselwirkungen. Wenn $P(N)$ die Verteilungsfunktion der Anzahl der Wechselwirkungen ist, kann die Energiesumme durch folgende Formel bestimmt werden:

$$\overline{E} = \sum_{N=1}^{\infty} E^{(N)} P(N).$$

$E^{(N)}$ ist die mittlere deponierte Energie aller Ereignisse mit exakt N gleichzeitigen Wechselwirkungen. In den Energiesummen der Ereignisse werden nur solche Zellenenergiewerte berücksichtigt, die über einer einstellbaren Schwelle liegen. Nimmt man an, dass die Energie linear mit der Anzahl der Wechselwirkungen skaliert, $E^{(N)} \simeq NE^{(1)}$, ergibt sich die mittlere Anzahl an Wechselwirkungen, λ_{ECAL}, als der Quotient der mittleren Energie und der Energiedeposition bei einer Wechselwirkung:

$$\lambda_{\mathrm{ECAL}} = \frac{\overline{E}}{E^{(1)}}.$$

Die Linearität wurde mit Hilfe von Monte-Carlo-Simulationen, basierend auf dem FRITIOF Ereignisgenerator [NA 87, Pi 92], untersucht. In Abbildung 4.1 ist die mittlere Energiesumme $E^{(N)}$, summiert über alle Zellen mit einer Zellenenergie über einer bestimmten Schwellenenergie, gegen die Anzahl der überlagerten Wechselwirkungen aufgetragen. In Abbildung 4.2 ist das Verhalten für echte Daten dargestellt. Es ist die Energiesumme, summiert über Zellen mit einer Energie über 5 GeV für zwei unterschiedliche Targetmaterialien, gegen die Wechselwirkungsrate aufgetragen. Man erkennt deutlich einen linearen Zusammenhang.

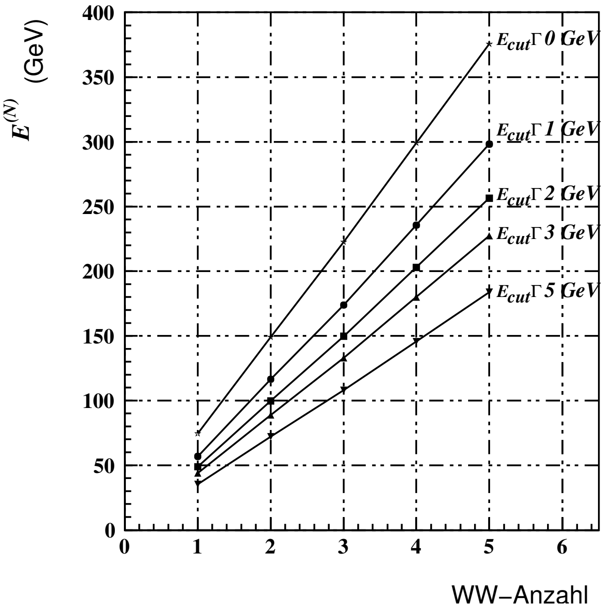

Abb. 4.1: Monte-Carlo-Simulation der Abhängigkeit der Energiesumme, summiert über Zellenenergien größer einer einstellbaren Schwellenenergie, von der Anzahl der überlagerten Wechselwirkungen. Man erkennt deutlich einen linearen Zusammenhang (nach [Lum 02]).

Berücksichtigt man, dass die Anzahl der überlagerten Wechselwirkungen Poisson-verteilt ist und die Effizienz ϵ, Ereignisse mit einer bestimmten Anzahl an Wechselwirkungen zu identifizieren (dieser Vorgang wird „Tagging“ genannt), so erhält man folgende Formel für die mittlere Energie:

$$\langle E\rangle_{\text{tagged}} = \frac{\sum_{N=1}^{\infty} E^{(N)} \frac{1}{\epsilon^{(N)}} P(N)\epsilon^{(N)}}{\sum_{N=1}^{\infty} P(N)\epsilon^{(N)}} = \frac{\lambda E^{(1)}}{1 - e^{-\lambda\epsilon^{(1)}}}. \tag{4.1}$$

In Abbildung 4.3 ist die mittlere Energie identifizierter Ereignisse für unterschiedliche Energieschwellen gegen die Wechselwirkungsrate aufgetragen. Die Fit-Funktionen, die mit Gleichung 4.1 erzeugt wurden, beschreiben die Daten gut.

In einer anderen Studie wurde die Abhängigkeit der Spurmultiplizität im VDS von der Anzahl der gleichzeitigen Wechselwirkungen untersucht. Mit der Annahme, dass die Spurmultiplizität linear mit der Anzahl der Wechselwirkungen ansteigt, $\langle n\rangle_{\text{Spur}}^{(N)} \simeq N\langle n\rangle_{\text{Spur}}^{(1)}$, kann die mittlere Anzahl der Wechselwirkungen λ_{Spur} auf folgende Weise bestimmt werden:

$$\langle n\rangle_{\text{Spur}} = \sum_N P(N) N \langle n\rangle_{\text{Spur}}^{(1)} = \lambda \langle n\rangle_{\text{Spur}}^{(1)}$$

$$\lambda_{\text{Spur}} = \frac{\langle n\rangle_{\text{Spur}}}{\langle n\rangle_{\text{Spur}}^{(1)}}.$$

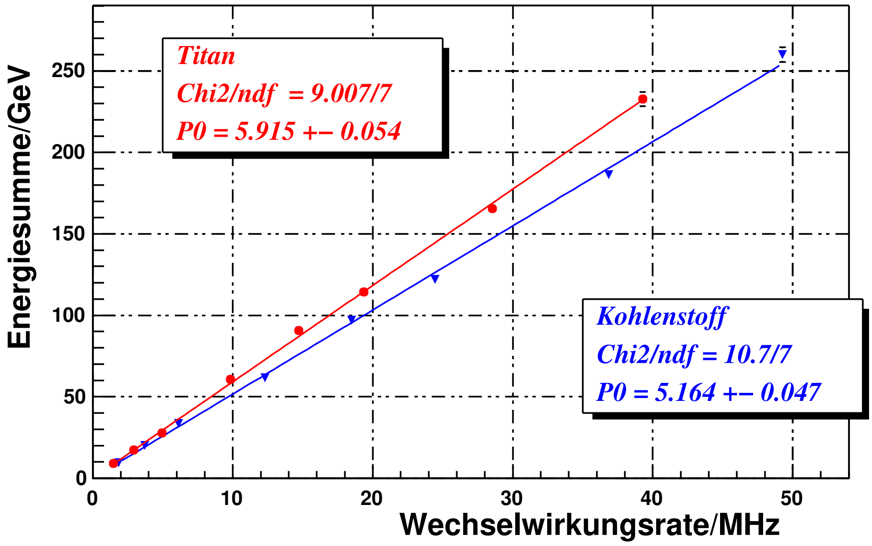

Abb. 4.2: ECAL-Energiesumme, summiert über Zellenenergien größer 5 GeV, für einen Kohlenstoff- und Titan-Targetdraht, gegen die Wechselwirkungsrate aufgetragen. P0 ist die Steigung der Ausgleichsgeraden. Man erkennt deutlich einen linearen Zusammenhang (nach [Lum 02]).

$P(N)$ ist die Verteilungsfunktion, $\langle n\rangle_{\mathrm{Spur}}$ die mittlere Anzahl rekonstruierter Spuren und $\langle n\rangle^{(1)}_{\mathrm{Spur}}$ die Spurmultiplizität für ein Ereignis mit genau einer Wechselwirkung. Nimmt man an, dass die Anzahl der Wechselwirkungen Poisson-verteilt ist und bezieht die Effizienz $\epsilon^{(1)}$ mit ein, ein Ereignis mit genau einer Wechselwirkung zu identifizieren, so erhält man für die mittlere Spurmultiplizität identifizierter Ereignisse folgenden Ausdruck:

$$\langle n\rangle^{\mathrm{tagged}}_{\mathrm{Spur}} = \frac{\lambda\langle n\rangle^{(1)}_{\mathrm{Spur}}}{1 - e^{-\lambda\epsilon^{(1)}}}. \tag{4.2}$$

Um einen Vergleich mit dem ECAL zu erhalten, wurde die mitttlere Anzahl der Wechselwirkungen und die Wechselwirkungsrate im VDS (VDS-Rate) bestimmt und gegen die Wechselwirkungsrate im ECAL (ECAL-Rate) aufgetragen, wie in Abbildung 4.4 dargestellt. Man erkennt, dass beide Raten gut übereinstimmen. Die Diskrepanz bei hohen Raten lässt sich durch zwei Effekte erklären. Zu höheren Raten sinkt die Rekonstruktionseffizienz, und die Anzahl falscher Spuren, sogenannter Ghosts[1], die aufgrund von Zufallskoinzidenzen der Treffer in den Superlagen entstehen, wird erhöht [Som 00a]. Die Spuren werden mit Hilfe der Treffer in den Superlagen rekonstruiert. Die Spurmultiplizität ist proportional zur Trefferanzahl. Ein Veto-System, basierend auf der Treffermultiplizität in einem geeigneten Subdetektor, kann daher Ereignisse mit einer hohen Anzahl gleichzeitiger Wechselwirkungen unterdrücken.
Das ursprünglich einzige Veto-System des HERA – B Experiments, das ECAL Energy Inhibit (EEI), nutzt die im inneren Bereich des ECAL deponierte Energie, um eine

[1] engl. für Geister

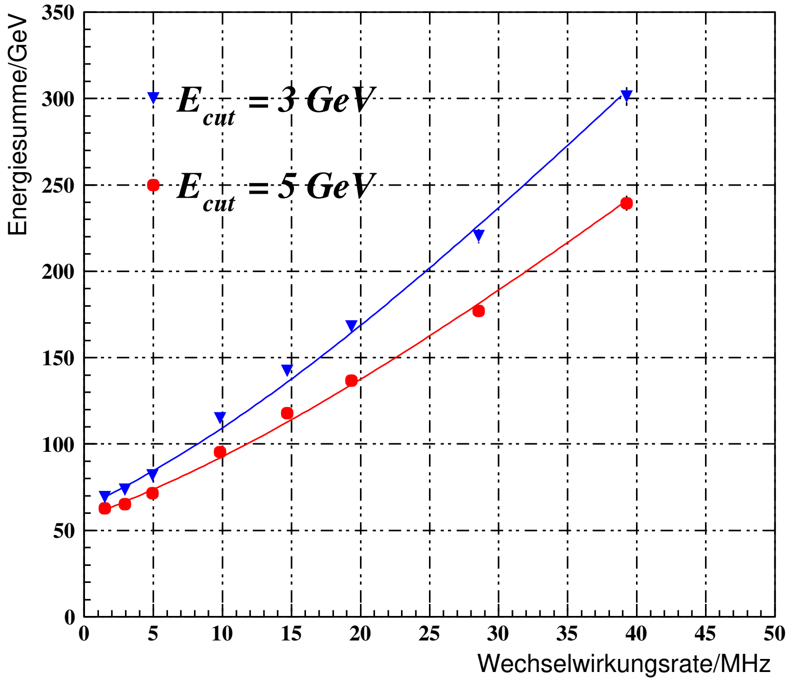

Abb. 4.3: ECAL-Energiesumme, summiert über Zellenenergien größer 3 GeV und 5 GeV, für einen Titan-Targetdraht, gegen die Wechselwirkungsrate aufgetragen. Es ist die Effizienz $\epsilon^{(N)}$ und die Poisson-Verteilung der Wechselwirkungen berücksichtigt. Die Fit-Funktionen wurden mit Gleichung 4.1 bestimmt (nach [Lum 02]).

Veto-Entscheidung zu treffen und Ereignisse mit hoher Wechselwirkungsanzahl zu unterdrücken.

Das EEI konnte aufgrund technischer Probleme der Interaktion der komplexen analogen und digitalen Schaltelemente in der Datennahmeperiode 2000 nicht in Betrieb genommen werden [HERA – B 00b]. Es wurde daher der Einsatz eines komplementär arbeitenden Veto-Systems angeregt, das die digitalen Daten eines geeigneten Subdetektors zur Erzeugung eines Veto-Signals nutzt [Buc 02]. Die Veto-Entscheidung basiert bei dem System auf der Treffermultiplizität in dem ausgewählten Subdetektor. Im folgenden Abschnitt wird eine Studie zusammengefasst, die zur Auswahl einer geeigneten Subdetektorkomponente für die Implementation des Veto-Systems durchgeführt wurde [Ada 01]. Dabei wurde untersucht, ob eine Korrelation zwischen der ECAL-Energiesumme, die ursprünglich allein zur Erzeugung eines Veto-Signal herangezogen werden sollte, und den untersuchten Detektorkomponenten besteht. Weiterhin wurde analysiert, ob die Korrelation zu den von der ersten Triggerstufe benutzten Detektorkomponenten und den zur Implementation eines Multiplizitätsveto-Systems technisch geeigneten Detektorkomponenten groß genug ist, um erfolgreich Ereignisse mit einer hohen Anzahl primärer Wechselwirkungen und damit einer hohen Treffermultiplizität in den FLT-Lagen zu unterdrücken.

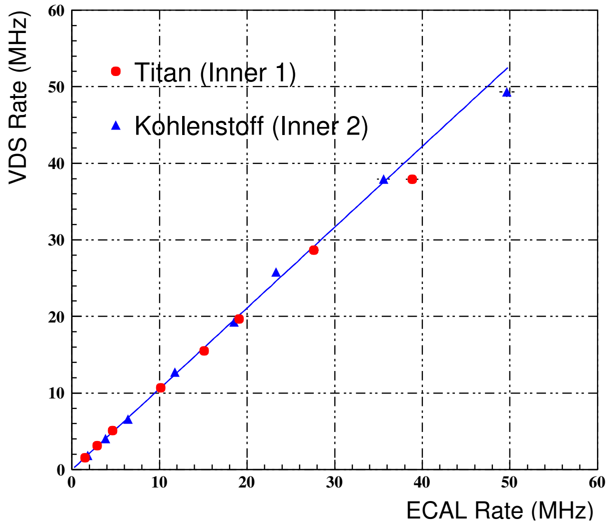

Abb. 4.4: Wechselwirkungsrate des VDS aufgetragen gegen die Wechselwirkungsrate im ECAL für zwei Targetmaterialien. Die Anzahl der überlagerten Wechselwirkungen wurde mit Hilfe der Spurmultiplizität im VDS bestimmt (nach [Som 00a]).

4.2 Studie zur Treffermultiplizität in ausgewählten Subdetektoren

Ziel der Studie war es herauszufinden, ob Subdetektoren, die technisch zur Implementation des Veto-Systems geeignet sind, eine ausreichende Korrelation zu den in der ersten Triggerstufe verwendeten Detektorkomponenten und der Energiesumme des inneren ECAL-Bereichs aufweisen, die ursprünglich allein zur Erzeugung eines Veto-Signals benutzt werden sollte. Dazu wurden Trefferkorrelationen zwischen den einzelnen Subdetektoren, die Reduktion der Daten in Abhängigkeit unterschiedlicher Schnitte auf die Trefferanzahl und der Einfluss eines zusätzlichen Veto-Systems auf die Reduktion der Ereignisse mit hoher Treffermultiplizität untersucht. Es wurden nur Subdetektoren in der Studie berücksichtigt, bei denen das FED-System digitalisierte Trefferinformationen an dafür vorgesehenen Schnittstellen bereitstellt. Neben dem RICH bietet sich hirfür der OTR an. Im Myon-System wird ein Großteil der FED-Schnittstellen für die Datenübertragung zum Myon-Pretrigger bzw. FLT belegt. Durch die Absorber vor den Myondetektorlagen ist die Treffermultiplizität im Myon-System viel niedriger als z. B. im RICH oder OTR, wodurch die Schwelle sehr sensitiv auf Trefferfluktuationen und Rauschen der Kammern ist. Die in der Studie untersuchten Detektorkomponenten sind in Abbildung 4.5 farblich unterlegt eingezeichnet. Beim OTR wurden die Superlagen PC1 – PC4, vor dem RICH, und die Superlagen TC1 – TC2 hinter dem RICH untersucht. Der RICH wurde als ganzes und als Minimalsystem, bestehend aus einem FED-Crate (FED 9 + 10), untersucht. In einem FED-Crate befinden sich zwei FED-Mutterkarten, die durch die Zahlen in der Nomenklatur „FED 9 + 10“ identifiziert werden. Im ECAL wurde nur der innere Bereich berücksichtigt, da dieser die Eingangsdaten für das EEI liefert.

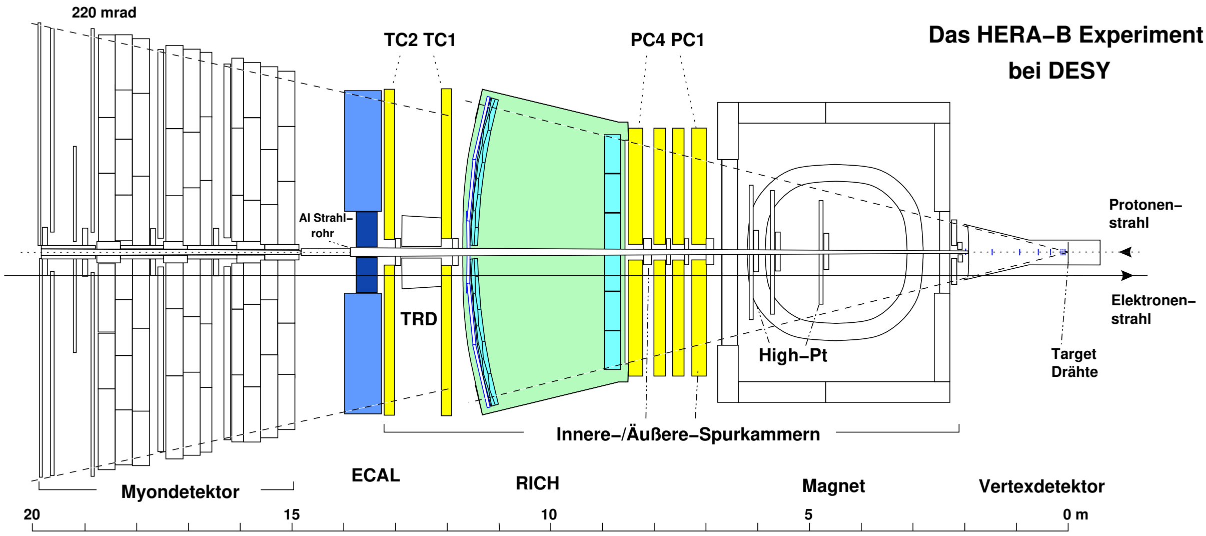

Abb. 4.5: Übersicht über die in der Multiplizitätsstudie untersuchten Detektorkomponenten. Die untersuchten Detektorkomponenten PC1 - PC4, TC1 - TC2, RICH und ECAL sind farblich abgehoben.

4.2.1 Datensätze der Studie

im Folgenden wird kurz erläutert, welche Datensätze für die Studien benutzt wurden.

- Während der Datennahmeperiode 2000 wurden mit dem Myonpaar-Trigger Daten genommen. Dabei wurden die Informationen des Myon-Pretriggers unverändert von der ersten Triggerstufe an die zweite Triggerstufe (SLT) weitergeleitet. Die Daten wurden bei einer mittleren Wechselwirkungsrate am Target von 5 MHz aufgezeichnet. Ein Datensatz mit 166 000 vorselektierten Ereignissen (im Folgenden: SLT gesamt) wurde für diese Studie verwendet. Innerhalb des Datensatzes wurden 1531 Ereignisse mit Kandidaten für den Zerfallsprozess $J/\psi \rightarrow \mu^+\mu^-$ (SLT J/ψ) identifiziert [Hus 01].

- Ein weiterer Datensatz (BX-getr.) wurde mit dem Random-Trigger (zur Erläuterung des Triggermodus wird auf Abschnitt 9.2.1 verwiesen) aufgezeichnet. Er enthält ca. 180 000 Ereignisse.

- Aus einer Monte-Carlo-Simulation inelastischer Proton-Nukleon Wechselwirkungen („Min. Bias.“) wurden zwei weitere Datensätze erzeugt. Durch Überlagerung mehrere Wechselwirkungen werden verschiedene Wechselwirkungsraten am Target nachgebildet. Ein Datensatz mit ca. 53 000 Ereignissen bei einer simulierten Wechselwirkungsrate von 10 MHz (Min. Bias. 10 MHz) und ein weiterer Datensatz mit etwa 35 000 Ereignissen bei einer simulierten Wechselwirkungsrate von 20 MHz (Min. Bias. 20 Mhz) wurden verwendet.

Für die Datensätze wurde eine vollständige Rekonstruktion für das ECAL und eine teilweise Rekonstruktion für das RICH, Myon-System und den OTR durchgeführt. Bei der Rekonstruktion wurden die getroffenen Detektorkanäle für den RICH, das Myon-System und den OTR ermittelt.

4.2.2 Korrelation zwischen den Treffermultiplizitäten der Subdetektoren

Die wichtigste Aufgabe des Multiplizitätsveto-Systems ist es, die Verarbeitung von Ereignissen mit einer hohen Trefferanzahl in den von der ersten Triggerstufe verwendeten Spurkammerlagen zu unterbinden. Dazu muss eine hohe Korrelation zwischen den Treffermultiplizitäten der für das Veto-System verwendeten Detektorkomponenten und der Spurkammerlagen, die von der ersten Triggerstufe verwendet werden, bestehen. Ein weiterer interessanter Punkt ist die Korrelation der Treffermultiplizität in den Subdetektoren und der Energiesumme des inneren ECAL-Bereichs, da diese ursprünglich allein zur Erzeugung des Veto-Signals herangezogen werden sollte. Die Trefferkorrelation der einzelnen Subdetektorkomponenten untereinander und mit der Energiesumme des inneren ECAL-Bereichs wurde untersucht. Es zeigte sich, dass die Trefferanzahl in allen Subdetektoren hoch korreliert ist. In Abbildung 4.6 sind auszugsweise zwei Verteilungen für die Korrelation verschiedener Subdetektoren dargestellt. In dem linken Histogramm ist die Trefferanzahl in den Superlagen TC 1 und TC 2, die von der ersten Triggerstufe verwendet werden, gegen die ECAL-Energiesumme des inneren Bereichs aufgetragen. Eine Korrelation ist deutlich zu erkennen. Weiterhin ist zu sehen, dass zu einigen Treffereinträgen keine bzw. nur eine sehr niedrige zugehörige Energiesumme, nahe null, existiert. Dies kann durch die geringere Akzeptanz des inneren ECAL-Bereichs im Vergleich zu der Akzeptanz der Superlagen TC 1 und TC 2 erklärt werden. In dem Histogramm auf der rechten Seite der Abbildung 4.6 ist die Trefferanzahl in den Superlagen TC 1 und TC 2 gegen die Trefferanzahl im RICH aufgetragen. Auch hier ist eine deutliche Korrelation zu erkennen. Die Ergebnisse sind für die unterschiedlichen Datensätze ähnlich. Eine Zusammenstellung der Korrelationskoeffizienten wird in Tabelle 4.1 gegeben.

Alle untersuchten Kombinationen von Subdetektoren weisen eine deutliche Korrelation der Treffermultiplizitäten auf. Die Korrelationskoeffizienten der Kombinationen des RICH mit den Spurkammerlagen sind größer als die des ECAL mit den entsprechenden Spurkammerlagen. Der RICH eignet sich daher gut zur Implementation des Multiplizitätsveto-Systems. Die geringere Korrelation zwischen ECAL und RICH kann zum einen durch die geringere Akzeptanz des inneren ECAL-Bereichs erklärt werden, zum anderen ist der RICH-Detektor nur auf geladene Teilchen sensitiv, während das ECAL auch Photonen nachweisen kann.

4.2.3 Untersuchung der Treffermultiplizität der einzelnen Subdetektoren

In der Untersuchung wurde die Trefferanzahl in den einzelnen Subdetektoren bzw. die Energiesumme des inneren ECAL-Bereichs für den Datensatz der SLT-getriggerten Ereignisse mit der Trefferanzahl bzw. der Energiesumme für Ereignisse mit $J/\psi \to \mu^+\mu^-$ Kandidaten verglichen. Die Ergebnisse sind in Abbildung 4.7 gezeigt. In der oberen Reihe sind die Treffermultiplizitäten für die Superlagen TC 2 und PC 1, die beide von der ersten Triggerstufe benutzt werden, dargestellt. In der mittleren Reihe ist die deponierte Energie im inneren ECAL-Bereich (links) und die Treffermultiplizität der Superlage PC 2 (rechts), die nicht von der ersten Triggerstufe benutzt wird, eingetragen. Die Su-

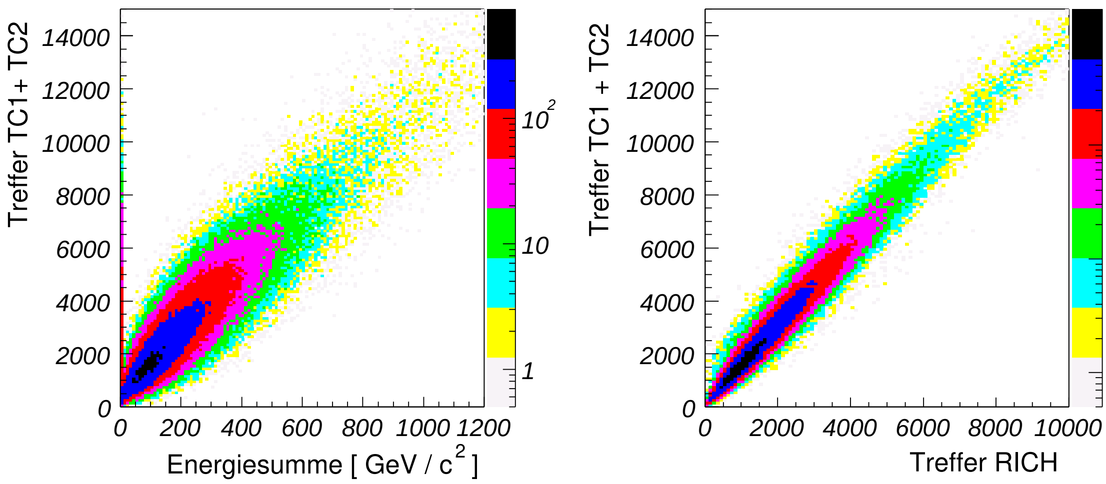

Abb. 4.6: Korrelation der Treffer in den Superlagen TC 1 und TC 2, die beide in der ersten Triggerstufe verwendet werden, und der Energiesumme des inneren ECAL-Bereichs (links) bzw. Trefferkorrelation der Superlagen TC 1 und TC 2 und dem RICH (rechts) (aus [Ada 02]).

Tab. 4.1: Korrelationskoeffizienten der Treffermultiplizitäten der unterschiedlichen Subdetektoren. Beim ECAL wurde die Energiesumme des inneren Bereichs anstelle der Trefferanzahl betrachtet. [Ada 02]

Korrelation	SLT J/ψ [%]	BX-getr. [%]	Min. Bias 10 MHz [%]	Min. Bias 20 MHz [%]
ECAL – (TC 1 + TC 2)	$86{,}76 \pm 0{,}06$	$88{,}48 \pm 0{,}05$	$80{,}11 \pm 0{,}16$	$83{,}86 \pm 0{,}16$
ECAL – (PC 1 – PC 4)	$83{,}68 \pm 0{,}07$	$85{,}40 \pm 0{,}06$	$76{,}79 \pm 0{,}18$	$81{,}33 \pm 0{,}18$
RICH – (TC 1 + TC 2)	$97{,}68 \pm 0{,}01$	$96{,}93 \pm 0{,}01$	$93{,}81 \pm 0{,}05$	$94{,}99 \pm 0{,}05$
RICH – (PC 1 – PC 4)	$95{,}70 \pm 0{,}02$	$94{,}31 \pm 0{,}03$	$91{,}12 \pm 0{,}07$	$92{,}91 \pm 0{,}07$
ECAL – RICH	$87{,}58 \pm 0{,}06$	$89{,}26 \pm 0{,}05$	$82{,}23 \pm 0{,}14$	$85{,}54 \pm 0{,}14$

perlage PC 2 kommt daher auch zur Implementation eines Multiplizitätsveto-Systems in Betracht. In der unteren Reihe sind die Treffermultiplizitäten für den gesamten RICH und das Minimalsystem, bestehend aus einem FED-Crate (RICH FED 9 + 10), gezeigt. Die Trefferanzahl bzw. ECAL-Energiesumme für die Ereignisse mit $J/\psi \to \mu^+\mu^-$ Kandidaten ist jeweils überlagert eingezeichnet. Die mittlere Anzahl an Treffern und das Maximum der Trefferanzahl für Ereignisse mit $J/\psi \to \mu^+\mu^-$ Kandidaten sind im Vergleich zur Gesamtverteilung der Treffer deutlich niedriger. Eine Unterdrückung von Ereignissen mit hoher Treffermultiplizität kann mit geringem Verlust von Ereignissen mit $J/\psi \to \mu^+\mu^-$ Kandidaten durchgeführt werden.

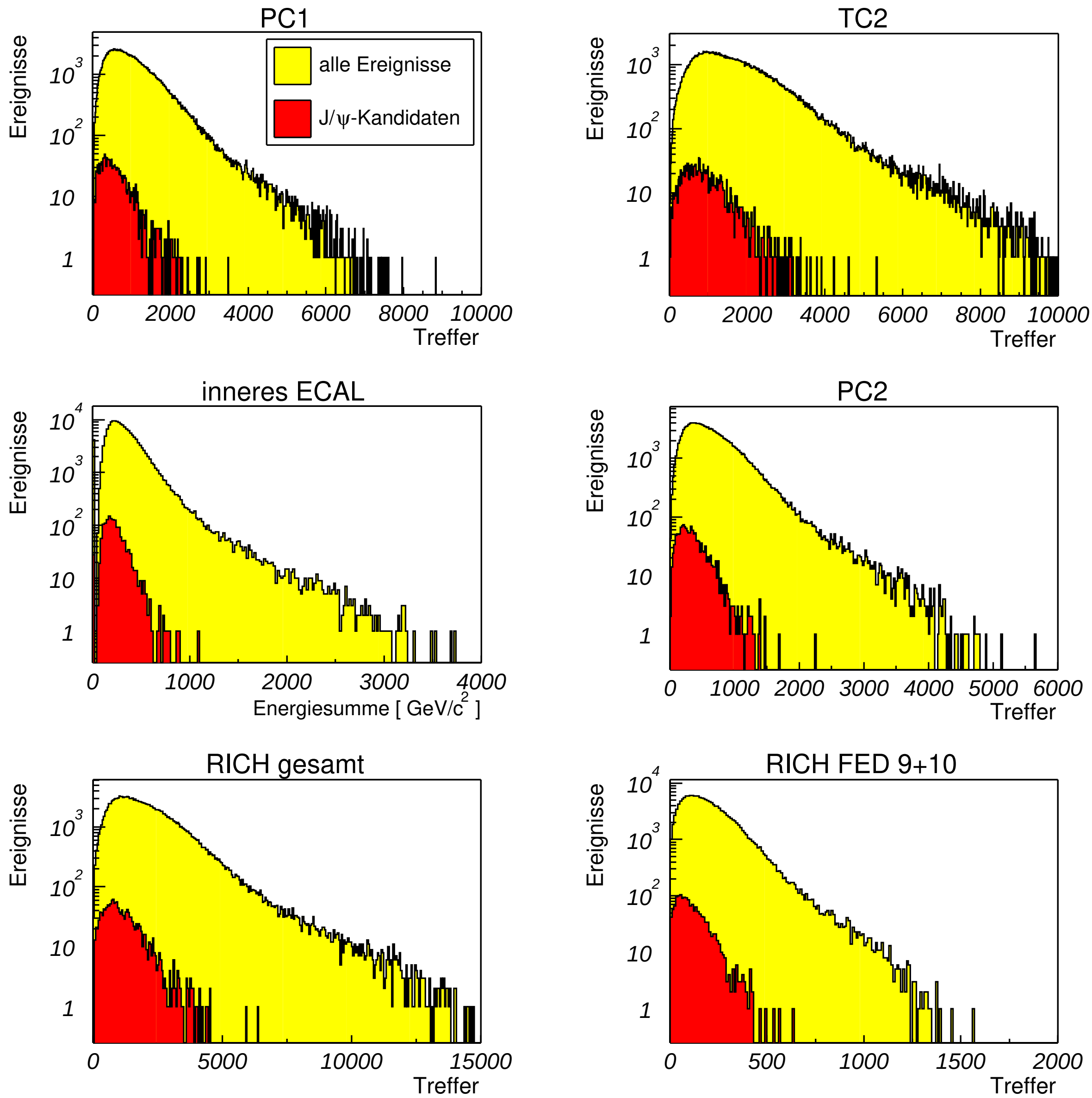

Abb. 4.7: Treffermultiplizität der einzelnen Subdetektoren für Ereignisse des SLT-getriggerten Datensatzes. Überlagert eingezeichnet ist die Trefferanzahl bzw. ECAL-Energiesumme für die Ereignisse mit $J/\psi \rightarrow \mu^+\mu^-$ Kandidaten (aus [Ada 02]).

4.2.4 Untersuchungen zur Untergrundunterdrückung

Um eine quantitative Aussage treffen zu können, wie sich Schnitte auf die Treffermultiplizität auswirken, wurde die Untergrundunterdrückung und der Verlust an Ereignissen mit $J/\psi \rightarrow \mu^+\mu^-$ Kandidaten für verschiedene maximale Treffermultiplizitäten (Schwellen) untersucht. Für die Untersuchungen wurde der SLT-getriggerte Datensatz verwendet. Es wurde eine Schwelle N_{cut} bestimmt, so dass der Verlust eines bestimmten Anteils an J/ψ-Signalen toleriert wird, wenn Ereignisse mit einer Trefferzahl $N_{\mathrm{hit}} > N_{\mathrm{cut}}$ unterdrückt werden. Anschließend wurde der Anteil der gesamten SLT-getriggerten Ereignisse des Datensatzes ermittelt, die mit den so bestimmten Schwellen unterdrückt werden. In Tabelle 4.2 ist eine Zusammenstellung der Resultate für unterschiedliche Schwellen aufgelistet. Bei einem Verlust an Ereignissen mit $J/\psi \rightarrow \mu^+\mu^-$ Kandidaten von 1 % kann durch das Veto-System eine Untergrundunterdrückung von ca. 10 % erreicht werden. Nimmt man einen höheren Verlust an Ereignissen mit $J/\psi \rightarrow \mu^+\mu^-$ Kandidaten von 5 % oder 10 % in Kauf, so lässt sich eine Untergrundunterdrückung zwischen 26 % und 42 % erreichen. Durch einen Schnitt auf die Trefferanzahl in der OTR-Superlage PC 2 oder auf die Trefferanzahl im RICH erreicht man eine bessere Untergrundunterdrückung als mit einem Schnitt auf die Energiesumme des inneren ECAL-Bereichs. Wie in Abschnitt 4.1 erläutert, ist die Hauptaufgabe des Veto-Systems die Entlastung des Triggersystems, insbesondre der ersten Triggerstufe. Wie die Studie zeigt, lässt sich jedoch durch Wahl einer geeigneten Schwelle auch die Reinheit der Daten erhöhen.

Tab. 4.2: Untergrundunterdrückung für unterschiedliche Schwellen N_{cut} in den Subdetektorkomponenten. Die Schwellen werden so eingestellt, dass der Verlust an Ereignissen mit J/ψ-Kandidaten einen festgelegten Prozentsatz nicht überschreitet. [Ada 02]

Detektor	J/ψ-Verlust [%]	N_{cut}	Untergrundunterdrückung [%]
ECAL	$1{,}0 \pm 0{,}3$	584	$10{,}5 \pm 0{,}1$
PC 2	$1{,}1 \pm 0{,}3$	1215	$10{,}5 \pm 0{,}1$
RICH	$1{,}2 \pm 0{,}3$	3750	$10{,}7 \pm 0{,}1$
RICH FED 9 + 10	$1{,}0 \pm 0{,}3$	386	$9{,}5 \pm 0{,}1$
ECAL	$5{,}2 \pm 0{,}6$	422	$25{,}9 \pm 0{,}1$
PC 2	$5{,}2 \pm 0{,}6$	790	$31{,}0 \pm 0{,}2$
RICH	$5{,}1 \pm 0{,}6$	2525	$29{,}7 \pm 0{,}2$
RICH FED 9 + 10	$5{,}0 \pm 0{,}6$	259	$27{,}2 \pm 0{,}1$
ECAL	$10{,}3 \pm 0{,}9$	360	$36{,}4 \pm 0{,}2$
PC 2	$10{,}2 \pm 0{,}9$	665	$41{,}3 \pm 0{,}2$
RICH	$10{,}2 \pm 0{,}9$	2050	$42{,}1 \pm 0{,}2$
RICH FED 9 + 10	$10{,}2 \pm 0{,}9$	216	$37{,}4 \pm 0{,}2$

4.2.5 Wahl des Detektorsystems zur Implementation des Multiplizitätsveto-Systems

Die Studien haben ergeben, dass die untersuchten Subdetektoren seitens der physikalischen Anforderungen alle zur Implementation des Multiplizitätsveto-Systems geeignet sind. Die Trefferanzahlen in den Subdetektoren sind hoch korreliert. Die Untergrundunterdrückung für die entsprechenden Schwellen, bei vorgegebenem maximalen Verlust an Ereignissen mit J/ψ-Kandidaten liegt in allen Subdetektoren in der gleichen Größenordnung. Da die untersuchten Subdetektoren gemäß der durchgeführten Studien gleichermaßen für die Implementation eines Veto-Systems geeignet sind, wurde der RICH-Detektor aufgrund seiner leichteren Zugänglichkeit zum FED-System ausgewählt. Die Schnittstellen der RICH-FED-Tochterkarten sind so angeordnet, dass sich der Einsatz von Aufsteckkarten anbietet, während im OTR die Daten der FED-Tochterkarten über Flachbandkabel übertragen werden müssten. Der Aufwand, den die Installation eines neuen Systems in die existierende HERA – B Umgebung erfordert, ist von großer Bedeutung. Eine zeitaufwändige, komplexe Installation, die die Gefahr einer Beeinflussung bereits installierter und in Betrieb genommener Komponenten birgt, ist zu vermeiden. Daher ist auch die technische Durchführung der Installation ein weiteres Kriterium für die Wahl des Subdetektors zur Implementation eines Veto-Systems.

4.2.6 Studie zur Untergrundunterdückung eines kombinierten ECAL-RICH-Veto-Systems

In einer weiteren Studie mit dem oben beschriebenen SLT-getriggerten Datensatz wurde analysiert, wie sich die Kombination zweier Veto-Systeme auf die Untergrundunterdrückung auswirkt. Das ECAL und der RICH werden in der Studie berücksichtigt. Für beide Detektoren wurden die Schwellen so bestimmt, dass der Verlust an Ereignissen mit J/ψ-Kandidaten jeweils 1 % nicht überschreitet. In Tabelle 4.3 ist der Einfluss des kombinierten ECAL-RICH-Veto-Systems mit den jeweiligen Schwellen auf die Untergrundunterdrückung aufgelistet. Der Verlust an Ereignissen mit J/ψ-Kandidaten beträgt 1,4 %. Die Untergrundunterdrückung beträgt 13 %. Abbildung 4.8 zeigt die Trefferanzahl im RICH-Detektor für Ereignisse des SLT-getriggerten Datensatz. Überlagert ist die Trefferanzahl der Ereignisse dargestellt, die durch den Schnitt auf die ECAL-Energiesumme unterdrückt werden. Die Schwelle im RICH ist durch einen Pfeil markiert. Es besteht keine 100 %-ige Übereinstimmung bei der Selektion der unterdrückten Ereignisse. Dies spiegelt sich auch in den Korrelationskoeffizienten wieder. Die Diskrepanz lässt sich zum einen durch die unterschiedliche Akzeptanz, zum anderen durch die unterschiedliche Funktionsweise der Subdetektoren erklären. Der RICH ist nur selektiv auf geladene Teilchen, wohingegen im ECAL z. B. auch Photonen nachgewiesen werden.

4.3 Anforderungen an das RICH-Multiplizitätsveto-System

Um die Anforderungen an das RICH-Multiplizitätsveto-System zu verdeutlichen, wird eine kurze Zusammenfassung des Entwicklungskonzeptes des EEI gegeben, das ursprünglich als einziges Veto-System konzipiert wurde, und die Schwierigkeit der Inbetriebnahme des EEI kurz erläutert.

Die Schwierigkeiten bei der Inbetriebnahme des EEI ist das technisch anspruchsvolle Zusammenwirken des analogen Teils der EEI-Karte, der die Summation der Zellenenergie ausführt, und dem digitalen Teil, der der Bereitstellung des Veto-Signals und der zugehörigen BX-Nummer dient. Der Vorteil des EEI-Verarbeitungskonzeptes, die Energiesumme des inneren ECAL-Bereichs analog zu bilden, liegt in der geringen

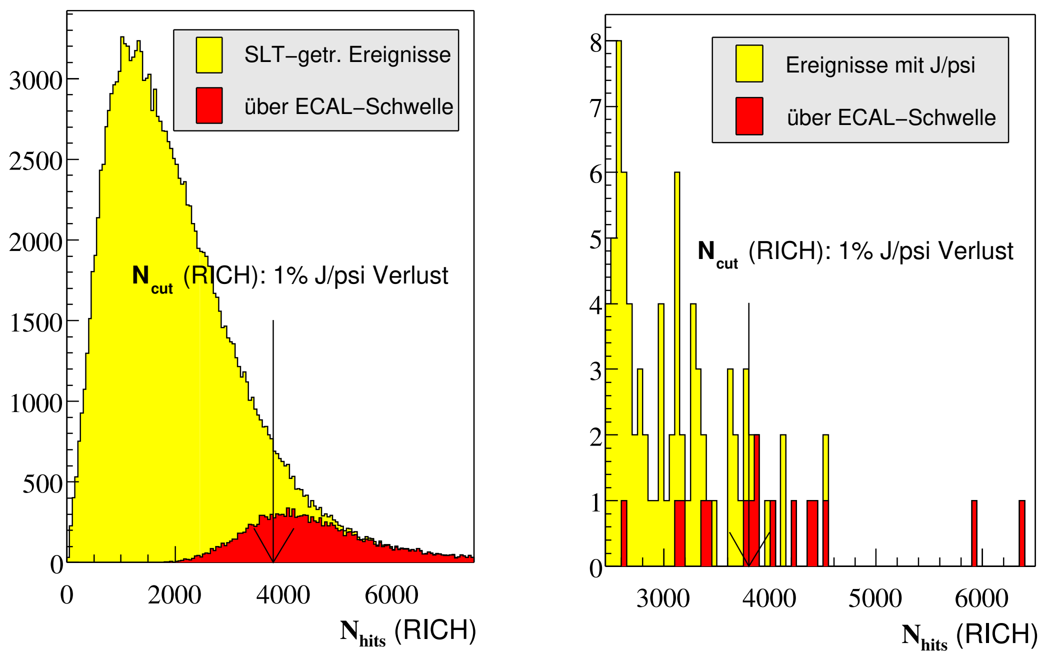

Abb. 4.8: Trefferanzahl der Ereignisse des SLT-getriggerten Datensatzes (links) und der Ereignisse mit J/ψ-Kandidaten (rechts). Das rechte Histogramm ist nullunterdrückt dargestellt. Überlagert sind die Ereignisse eingetragen, die eine Energiesumme größer als die auf dem EEI eingestellte Schwelle besitzen und somit unterdrückt werden. Die Pfeile geben die Schwellen im RICH an. In beiden Fällen sind die Schwellen so gewählt, dass 1 % Verlust an Ereignissen mit J/ψ-Kandidaten toleriert wird (nach [Ada 01]).

Tab. 4.3: Untergrundunterdrückung des kombinierten ECAL-RICH-Veto-Systems. Die ersten zwei Zeilen zeigen die Schwellen und Untergrundunterdrückung der jeweiligen Subdetektoren bei einem Verlust an Ereignissen mit J/ψ-Kandidaten von 1 %. In der letzten Zeile ist die Kombination des RICH- und des ECAL-Veto-Systems dargestellt. [Ada 01]

Detektor	J/ψ-Verlust [%]	N_{cut}	Untergrund-unterdrückung [%]
ECAL	1	585	10
RICH	1	3795	10
ECAL + RICH	1,4	585, 3795	13

Latenzzeit zur Erzeugung des Veto-Signals. Die analogen Signale der Photomultiplier werden in der Elektronikhütte zusammengeführt. Die Readout Cards des ECAL stellen dem EEI bereits analoge Summen von acht Photomultiplierkanälen bereit, die auf der EEI-Karte wiederum analog summiert und mit einer einstellbaren Schwelle verglichen werden. Das Veto-Signal wird über die FCS-Tochter an die Readout Cards verteilt und unterdrückt die Verarbeitung der Daten auf den Pretrigger Cards. Gleichzeitig wird ein digitales Veto-Signal, markiert mit der BX-Nummer des entsprechenden Ereignisses, an die beiden anderen Pretrigger-Systeme übertragen. Die Latenzzeit der Erzeugung des EEI-Veto-Signals wird zum einen durch die analoge Summation, zum anderen durch die Anordnung der ECAL-Komponenten in der Elektronikhütte, bei der keine langen Übertragungsstrecken zwischen den einzelnen Komponenten auftreten, bestimmt. Dadurch ist die Latenzzeit des EEIs gering.

4.3.1 Das zum EEI komplementäre Entwicklungskonzept

Der komplementäre Ansatz des RICH-Multiplizitätsveto-Systems, die Trefferinformation des FED-Systems digital zu summieren, bietet den Vorteil, eine rein digitale Schaltung aufbauen zu können. Dies bedeutet jedoch eine Verlängerung der Latenzzeit, da die technische Realisierung der Summation aufwendiger wird. Das RICH-FED-System ist, wie in Abschnitt 2.2.2 erläutert, auf 14 FED-Crates verteilt. Jedes Crate besitzt bis zu acht FED-Tochterkarten, von denen jede wiederum die Daten von 256 Photomultiplierkanälen bereitstellt. Insgesamt ergibt das 27736 Auslesekanäle. Jedem Auslesekanal entspricht ein Bit. Die Aufgabe des RICH-Multiplizitätsveto-Systems ist es also, die Quersumme einer 27736-stelligen Binärzahl zu bilden. Die Aufteilung der FED-Crates und der sich darin befindenden FED-Tochterkarten bietet es an, diese Aufgabe kaskadiert auszuführen. Die Trefferinformationen eines FED-Crates werden bereits in Detektornähe ausgewertet und die Summe der gesetzten Bits in die Elektronikhütte übertragen. Dadurch wird die Anzahl der Kabelverbindungen reduziert, da pro FED-Crate nur eine Verbindung zur Datenübertragung benötigt wird. Die Summen der 14 FED-Crates werden in der Elektronikhütte zusammengeführt und summiert. Das Ergebnis wird mit einer einstellbaren Schwelle verglichen, um eine Veto-Entscheidung zu treffen.

4.3.2 Schnittstelle zu den Pretriggern

Ereignisse mit hoher Treffermultiplizität sollen bereits auf Pretrigger-Niveau unterdrückt werden. Dies bedeutet, dass die Veto-Entscheidung allen Pretriggern mitgeteilt werden muss. Der Myon- und High-P_T-Pretrigger besitzen zu diesem Zweck eine Schnittstelle, über die sie das Veto-Signal erhalten. Bei dem ECAL-Pretrigger ist diese Schnittstelle nicht vorhanden. Ausgehend von der Annahme, dass das EEI einzige Quelle für die Erzeugung eines Veto-Signals ist, wurde das Konzept zur Unterdrückung von ECAL-Pretrigger-Nachrichten anders gestaltet als bei dem Myon- oder High-P_T-Pretrigger.
Es existiert zwar eine Schnittstelle zum EEI, über die der ECAL-Pretrigger durch ein externes Signal gestoppt werden kann, diese erwartet jedoch ein TTL-Signal, das keine Korrelation zu einer BX-Nummer besitzt. Die Auswertung der BX-Nummer ist auf dem EEI nicht vorgesehen. Das Signal zum Stoppen des ECAL-Pretriggers muss

auf dem EEI eintreffen, bevor dies die eigentliche Veto-Entscheidung auf der Basis der analogen Summenbildung trifft. Die Anforderung an die Latenzzeit eines Veto-Systems, das dieses Signal liefert, sind extrem hoch, da das Veto-Signal noch vor der Verarbeitung der ECAL-Daten auf dem EEI erwartet wird.

Ein alternativer Ansatz ist die Datenübertragung vom ECAL-Pretrigger zur ersten Triggerstufe zu unterdrücken. Dazu wird das erzeugte Veto-Signal an die FCS-Töchter der ECAL-Pretrigger-Crates übertragen. Analog zur Veto-Verteilung des EEI wird das Signal an die FCS-Backplane weitergeleitet und zur Unterdrückung des Transfers der Pretrigger-Nachrichten zur ersten Triggerstufe verwendet. Die Zeitvorgabe zur Bereitstellung dieses Signls verlängert sich somit um die Latenzzeit der Readout Card und eines Großteils der Latenzzeit der ECAL Pretrigger Card. In Abbildung 4.9 sind die beiden möglichen Schnittstellen des ECAL-Pretriggers aufgezeigt.

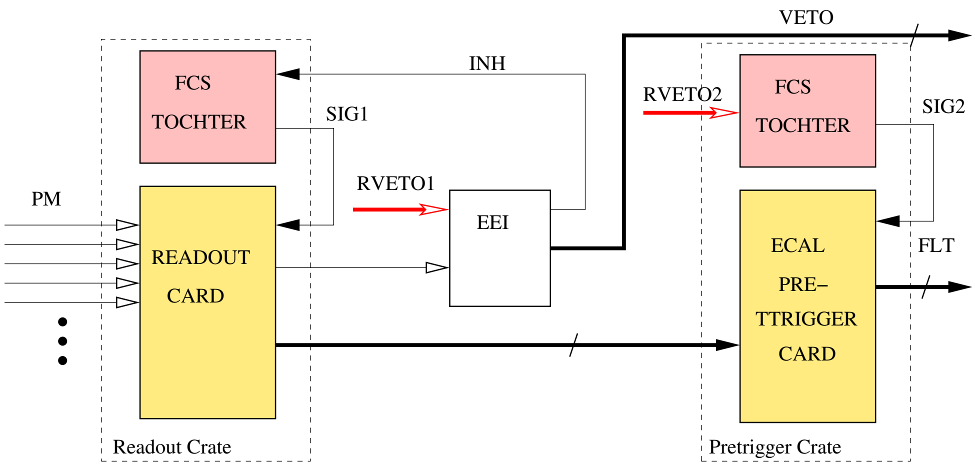

Abb. 4.9: Schematische Darstellung der Verteilung des RICH-Veto-Signals an den ECAL-Pretrigger. Dünn gedruckte offene Pfeile symbolisieren analoge Daten, dünn gedruckte geschlossene Steuersignale. Fett gedruckte geschlossene Pfeile stehen für digitale Daten, fett gedruckte offene Pfeile symbolisieren das vom RICH erzeugte Veto-Signal (RVETO1,2). Das EEI erhält analoge Summendaten, summiert diese wiederum analog und vergleicht sie mit einer einstellbaren Schwelle. Ist die Energiesumme größer als der Schwellenwert, wird ein VETO-Signal erzeugt. Das RICH-Veto-Signal (RVETO1) kann an das EEI übertragen werden. In diesem Fall wird es behandelt wie ein vom EEI erzeugtes Veto-Signal. Das Veto-Signal (INH) gelangt an die FCS-Tochterkarten (FCS TOCHTER) der Readout Crates. Das Veto-Signal (SIG1) wird an die Readout Cards verteilt und verhindert die Datenverarbeitung auf den ECAL PRETRIGGER CARDs. Eine alternative Möglichkeit besteht darin, das RICH-Veto-Signal (RVETO2) an die FCS-TÖCHTER der Pretrigger Crates zu übertragen. Das Veto-Signal (SIG2) wird an die ECAL PRETRIGGER CARDs verteilt und unterdrückt die Pretrigger-Nachrichten an die erste Triggerstufe (FLT).

4.3.3 Anforderung an die Latenzzeit des RICH-Multiplizitätsveto-Systems

Die maximale Latenzzeit des RICH-Multiplizitätsveto-Systems für die Bereitstellung des Veto-Signals inklusive aller Kabellaufzeiten ist durch die Zeit gegeben, zu der das Veto-Signal durch das jeweilige Pretrigger-System spätestens noch verarbeitet werden kann. In den Tabellen 4.4 - 4.7 sind die Zeitvorgaben der unterschiedlichen Pretrigger-Systeme aufgelistet und deren Zusammenstellung aufgeschlüsselt. Startzeitpunkt t_0 ist der Zeitpunkt der Wechselwirkung am Target. Die für diese Arbeit gemessenen Latenzzeiten sind mit Fehlerangaben versehen. Die FED-Systeme und FEE-Systeme sind im RICH, High-P_T- und Myon-System identisch. Die FEE-Systeme basieren alle auf dem gleichen Baustein. Das FED-System verwendet Leiterplatten vom gleichen Typ. Es ist daher davon auszugehen, dass die Latenzzeiten für FED- und FEE-Systeme der Subdetektoren identisch sind. Latenzzeitunterschiede können sich durch die unterschiedlich aufgebauten Detektoren, deren Entfernung vom Target bzw. der damit verbundenen Flugzeit der Teilchen bis zum Detektor, und Kabellaufzeiten aufgrund unterschiedlicher Kabellängen von den Detektoren zum FEE-System und von dort zum FED-System ergeben. Die in den Tabellen 4.4 - 4.7 angegebenen Werte stellen untere Grenzen der Zeitvorgaben der einzelnen Pretrigger-Systeme dar. Das untere Zeitlimit, bis zu dem das Veto-Signal auf der PCU des Myon-Pretrigger eingetroffen sein muss, beträgt 1062 ns. Der High-P_T-Pretrigger besitzt auf den PTBs eine Verzögerungsstufe bestehend aus acht Registern, in der die Daten des Pretriggers zur Synchronisation mit dem Veto-Signal verzögert werden können. Die Zeitvorgabe des High-P_T-Pretriggers beträgt 1068 ns. Das Signal zum Stoppen des ECAL-Pretriggers, das an das EEI übertragen wird, um die Datenverarbeitung auf den Readout Cards zu stoppen, muss spätestens nach 379 ns dort eintreffen. Diese Anforderung kann mit einem auf digitaler Summation basierenden Veto-System nicht erfüllt werden, daher muss der alternative Ansatz der Unterdrückung der Datenübertragung von den Pretrigger Cards zu den TFUs der ersten Triggertufe verfolgt werden. Die Latenzzeit für den ECAL-Pretrigger wurde mit Hilfe von Simulationen bestimmt [HERA – B 00b]. Sie beträgt 1500 ns allein für den Pretrigger. Die Zeitvorgabe für die alternative Methode, der Unterdrückung der Pretrigger-Nachrichten an die erste Triggerstufe, liegt in der Größenordnung von 2000 ns. Die Latenzzeit des RICH-Multiplizitätsveto-System wird somit vom Myon-Pretrigger limitiert. Sie muss kleiner als 1062 ns sein.

4.3.4 Technische Anforderungen

Das Bus-System

Das FED-System des HERA – B Experiments ist mit dem FCS verbunden. Das FCS überträgt die BX-Nummer und das Taktsignal an die einzelnen FED-Crates und koordiniert die Auslese der FED-Speicher. In eingeschränktem Maße ist es möglich, Kontrollsignale über das FCS an die Module in den FED-Crates zu schicken. Es stehen dazu sogenannte Strobe-Pattern zur Verfügung, mit denen z. B. Testmuster auf den FED-Tochterkarten gesetzt werden können. Die Kontrollsignale werden von der FCS-Mutter an die FCS-Töchter verteilt. Die Datenverbindung ist unidirektional. Die Nutzung der Strobe-Pattern ist durch die FCS-spezifischen Anwendungen zu sehr limitiert,

Tab. 4.4: Zusammensetzung der Zeitvorgabe des Myon-Pretrigger-Systems.

Komponente	$t_n - t_{n-1}$ [ns]	$t_n - t_0$ [ns]	Kommentar
Detektorposition	∼60	∼60	Flugzeit (20 m)
Kammerverkabelung	30	90	6 m Kabel [Ger 00]
FEE-Gate	96	186	[Ger 00]
FEE-Vorverstärker	10	196	[Ger 00]
Kabellaufzeit zum FED	70	266	14 m Kabel [Ger 00]
FED	96	362	[Ger 00]
PLB	$300 + 10 \pm 2$	≥ 662	Übertragungsmodus [Cru 98]
LWL PLB→PCU	260 ± 2	≥ 922	54 m
PCU→DPRAM	140 ± 2	≥ 1062	

Tab. 4.5: Beiträge zur Zeitvorgabe des High-P_T-Pretrigger-Systems.

Komponente	$t_n - t_{n-1}$ [ns]	$t_n - t_0$ [ns]	Kommentar
Detektorposition	∼ 18	∼ 18	Flugzeit (5,5 m)
FEE-Gate	96	114	[Ger 00]
FEE	40	154	[Ger 00]
FED	96	250	[Ger 00]
LB	96	346	[Ger 00]
LWL	250	596	50 m [Ger 00]
PTB→FIFO	88+8×48	1068	[Rie01]

Tab. 4.6: Beiträge zur Zeitvorgabe des ECAL-Pretrigger-Systems (Unterdrückung der Datenverarbeitung auf den Pretrigger Cards)

Komponente	$t_n - t_{n-1}$ [ns]	$t_n - t_0$ [ns]	Kommentar
Detektorposition	∼ 44	∼ 44	Flugzeit (13,5 m)
PM	∼ 20	∼ 64	[Avo 02]
Kabellaufzeit zum FED	220 ± 2	∼ 284	ca. 40 m Kabel
Readout Card	55 ± 2	∼ 339	
EEI-Eingangsstufe	40 ± 2	∼ 379	

als dass damit weitere Module in den FED-Crates angesprochen werden können. Ein Monitor-System, basierend auf einem Feldbus-System[2], das verteilte Echtzeit-Kontrolle

[2] CAN: Controller Area Network, VMOD-ICAN2 des Herstellers JANZ

Tab. 4.7: Beiträge zur Zeitvorgabe des ECAL-Pretrigger-Systems (Unterdrückung der Datenübertragung von den Pretrigger Cards zum FLT)

Komponente	$t_n - t_{n-1}$ [ns]	$t_n - t_0$ [ns]	Kommentar
Detektorposition	≤ 96	≤ 96	Flugzeit (13,5 m) , PM
Kabellaufzeit zum FED	≤ 288	≤ 384	ca. 40 m [Ger 00]
FED-LUT-Ausgang	≤ 384	≤ 768	[Ger 00]
ECAL-Pretrigger	≤ 1500	≤ 2268	[HERA – B 00b]

unterstützt [BOS 91], dient zur Kontrolle der FCS-Tochterkarten. Es ist möglich, die Register und Zähler der FCS-Tochterkarten auszulesen. An den Feldbus können maximal 32 Module angeschlossen werden [Ful 98b]. Zur Ansteuerung aller 211 FCS-Tochterkarten im HERA – B Experiment werden acht Busse verwendet. Die Feldbus-Steuerung unterliegt der Slow-Control des HERA – B Experiments, die neben der Monitorfunktion der FCS-Tochterkarten andere wichtige Monitorfunktionen ausübt. Es werden z. B. die Hochspannungen und die Gas-Systeme der Subdetektoren von der Slow-Control überwacht. Weder das FCS noch das Feldbus-System sind unter vertretbarem Aufwand als Kommunikationsmedium zur Übertragung von Steuerkommandos und Statusinformationen für das RICH-Multiplizitätsveto-System geeignet. Die Bandbreite der nutzbaren Daten im FCS ist zu stark limitiert. Im RICH-Multiplizitätsveto-System müssen, bei komplett bestückten RICH-FED-Crates, 128 Leiterkarten konfiguriert und deren Status überwacht werden. Das erfordert, bei Verwendung des existierenden Feldbus-Systems, vier weitere Busse und eine Anpassung der Treiberfunktionen sowie der Slow-Control Software. Das RICH-Multiplizitätsveto-System muss daher zur Ansteuerung und Überwachung der Module in den FED-Crates ein eigenes bidirektionales Bus-System bereitstellen.

EMV-gerechte Entwicklung der Leiterplatten des RICH-Multiplizitätsveto-Systems

Die RICH-FED-Crates dienen zur Aufnahme der Module des RICH-Multiplizitätsveto-Systems. Die Detektordaten werden in den FED-Speichern für 128 BX zwischengespeichert. Parallel dazu werden sie vom Veto-System verarbeitet. Eine besondere Herausforderung ist daher, die Leiterplatten des RICH-Multiplizitätsveto-System so zu entwickeln, dass die Datennahme und Datenqualität des RICH-Detektors nicht beeinträchtigt wird. Es ist unbedingt daruf zu achten, dass die zusätzlich installierten Komponenten keine Störsignale in dem System erzeugen [Spe 01]. Bei der Entwicklung der Leiterplatten muss den Gesichtspunkten der elektromagnetischen Verträglichkeit (EMV) große Bedeutung zugemessen werden.

4.4 Aufbau des RICH-Multiplizitätsveto-Systems

Die Entwicklung des RICH-Multiplizitätsveto-Systems orientiert sich an den in den vorhergehenden Abschnitten aufgeführten Anforderungen. Die Trefferinformation des RICH-Detektors soll zur Unterdrückung von Ereignissen mit hoher Treffermultiplizität benutzt werden. Die Trefferdaten der RICH-Photomultiplier, die bereits digital auf den FED-Tochterkarten zur Verfügung stehen, werden digital summiert. Ein Großteil der Datenverarbeitung findet bereits am Detektor, in den FED-Crates, statt. Die räumliche Aufteilung des FED-Systems einerseits und die Reduzierung der Übertragungskanäle andererseits erfordern ein modulares System. Die Zwischenergebnisse werden auf einer zentralen Einheit in der Elektronikhütte zusammengefasst. Basierend auf der Trefferanzahl wird eine Veto-Entscheidung getroffen und an die Pretrigger-Systeme verteilt. Über die zentrale Einheit des RICH-Multiplizitätsveto-Systems werden die Elektronikmodule in den FED-Crates mit Hilfe eines Veto-System-eigenen Bus-Systems initialisiert und deren Status überwacht. Die maximale Latenzzeit des Veto-Systems ist vorgegeben, sie darf 1062 ns nicht überschreiten. In den folgenden Abschnitten wird die Realisierung des RICH-Multiplizitätsveto-Systems beschrieben und ein Überblick über dessen Funktion und die Schnittstellen zu anderen Systemen des HERA−B Experiments gegeben.

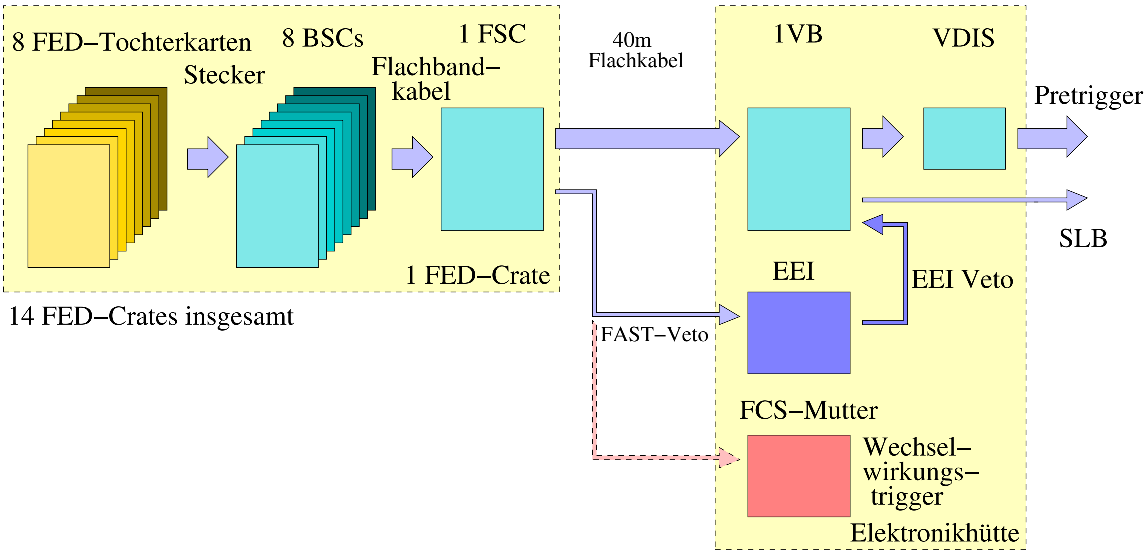

Abb. 4.10: Schematische Darstellung des RICH-Multiplizitätsveto-Systems. Es ist modular aufgebaut und besteht aus vier Komponenten, den Base Sum Cards (BSC), den FED Sum Cards (FSC), dem Veto Board (VB) und dem Veto Distributor (VDIS). Zusätzlich sind die Schnittstellen zum EEI und der FCS-Mutter sowie dem SLB und den Pretriggern eingezeichnet. Die einzelnen Komponenten werden im Text erläutert.

In Abbildung 4.10 ist das RICH-Multiplizitätsveto-System schematisch dargestellt. Das Veto-System ist modular aufgebaut und besteht aus vier Modulen. Die Base Sum Cards

(BSC) befinden sich in den FED-Crates. Jeweils eine BSC verarbeitet die Daten einer FED-Tochterkarte. Die BSC ist so konstruiert, dass sie als Huckepackkarte direkt auf die FED-Tochterkarte aufgesteckt werden kann. Dadurch werden lange Kabelverbindungen vermieden. Die BX-Nummer und das HERA-Taktsignal erhalten die BSCs vom FCS. Auf der BSC wird überprüft, wie viele Bits der 256 FED-Kanäle gesetzt sind. Die Zahl wird mit der BX-Nummer versehen über Flachbandkabel an die FED Sum Card (FSC), die sich ebenfalls in dem FED-Crate befindet, übertragen. Die FSC erhält Daten von bis zu acht BSCs. Die Hauptaufgabe der FSC ist die Summation der BSC-Summen. Diese Information wird mit der BX-Nummer markiert an das Veto Board (VB) in die Elektronikhütte weitergeleitet. Die FSC kontrolliert die Sonchronisation der von den BSCs gelieferten BX-Nummern und erzeugt daraus eine Fehlernachricht, die zur Auswertung an das VB übertragen wird.

Neben der Datenübertragung mittels Flachkabel ist eine optische Übertragungsstrecke vorgesehen. Sie bietet den Vorteil, dass die Störsicherheit der Datenübertragung erhöht wird, da elektromagntische Störquellen die Lichtsignale nicht beeinflussen. Die Latenzzeit der Flachkabelübertragung ist jedoch im Vergleich zur Latenzzeit der optischen Übertragungsstrecke kürzer, weshalb der Prototyp des Veto Boards mit Schnittstellen zum Empfang der Daten mittels Flachkabel realisiert wurde. Die Datenübertragung hat sich als sehr stabil herausgestellt. Auf die Entwicklung eines Veto Boards mit optischen Empfangsschnittstellen wurde daher verzichtet. Die Sendeeinheit der optischen Übertragungsstrecke ist auf der FSC implementiert und kann für zukünftige Anwendungen verwendet werden.

Die FSC erlaubt es, bereits auf FED-Crate-Niveau ein Veto-Signal zu erzeugen. Die Trefferanzahl in dem Bereich des RICH-Detektors, der von einem FED-Crate abgedeckt wird, wird mit einer einstellbaren Schwelle verglichen. Ist die Trefferanzahl größer als die Schwelle, wird ein Veto-Signal erzeugt (FAST-Veto). Dieses wird über ein Lemo-Kabel zum EEI übertragen, um die Nachrichten des ECAL-Pretriggers an die erste Triggerstufe zu unterdrücken. Das Signal kann bei anderer Schwellensetzung jedoch auch als nicht verzerrendes Wechselwirkungstrigger-Signal verwendet werden. In diesem Fall wird es an die FCS-Mutter übertragen und initiiert die Datenauslese der FED-Speicher, wenn eine geforderte Mindesttrefferanzahl in dem von dem FED-Crate abgedeckten RICH-Detektorbereich überschritten wird. Auf der FCS-Mutterkarte muss per Software die Verzögerung der Triggersignale so eingestellt werden, dass die richtigen Daten zu dem auf diese Art getriggerten Ereignis aus den FED-Speichern ausgelesen werden. Daher erfordert der Betrieb des RICH-Multiplizitätsveto-Systems als Hardware-Wechselwirkungstrigger einen besonderen Betriebsmodus des FCSs. Auf den Hardware-Wechselwirkungstrigger wird in Kapitel 9 ausführlich eingegangen.

Aufgrund des Zeitdrucks unter dem die Entwicklung des RICH-Multiplizitätsveto-Systems stand, wurden die Studien zur minimal benötigten Abdeckung der RICH-Fokalebenen und die Entwicklung der Hardwarekomponenten parallel betrieben. Die RICH-Multiplizitätsveto-System-Hardware ist so konzipiert, dass die Fokalebenen vollständig abgedeckt werden könnten. Mittlerweile haben Studien [Brü 02e] ergeben, dass auch eine weit geringere Abdeckung der Fokalebenen ausreicht, um eine effiziente Funktion des Veto-Systems zu gewährleisten (siehe Kapitel 9.1.1).

Das VB erhält die Daten von bis zu 14 FED-Crates. Es sind zwei FED-Crates mit RICH-Multiplizitätsveto-System-Komponenten bestückt. Der abgedeckte Bereich der

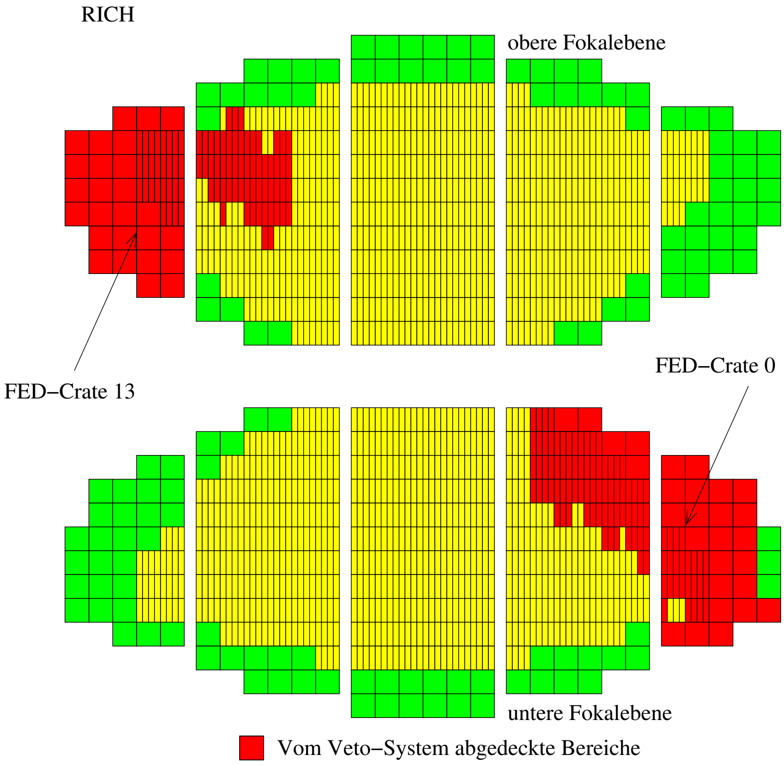

Abb. 4.11: Darstellung der Fokalebenen des RICH und der Bereiche, die vom RICH-Multiplizitätsveto-System abgedeckt werden. Zur Zeit sind zwei FED-Crates (FED-Crate 0 und FED-Crate 13) mit RICH-Multiplizitätsveto-System-Komponenten bestückt.

Fokalebenen ist in Abbildung 4.11 dargestellt. Das VB summiert die Zwischensummen der FED-Crates. Über eine einstellbare obere und untere Schwelle lässt sich das Veto-Signal erzeugen. Vier Veto-Modi legen die Verwendung der oberen und unteren Schwelle fest. Sie sind in Abbildung 4.12 dargestellt. Zum einen kann eine maximale oder minimale Anzahl an Photonen gefordert werden, zum anderen kann ein Bereich definiert werden, in dem sich die Anzahl der Photonen befinden muss, damit ein Veto-Signal erzeugt bzw. nicht erzeugt wird. Eine weitere Möglichkeit der Veto-Signal-Erzeugung besteht darin, die Schaltung auf dem VB zu umgehen und die mit einer ODER-Verknüpfung verbundenen FAST-Veto-Signale der FSCs zu verwenden.

Das vom EEI erzeugte Veto-Signal (EEI Veto) wird in den Datenfluss des VBs integriert. Der Veto-Distributor (VDIS) [Rie98] verteilt das Veto-Signal an die Message Generatoren des Myon- und High-P_T-Pretriggers. Von dort gelangt es an die PCUs bzw. PTBs und unterdrückt die Erzeugung der Nachrichten für die erste Triggerstufe.

Auf dem VB ist ein FED-Speicher nachgebildet. Darin wird der verwendete Veto-Modus und das Veto-Signal gespeichert. In dem gleichen Crate, in dem das VB installiert ist, befindet sich eine FCS-Tochterkarte, über die die Informationen zur Auslese des FED-Speichers an das VB übertragen werden. Für getriggerte Ereignisse werden die Daten des FED-Speichers zu der entsprechenden FLT-BX-Nummer ausgelesen und an den Second Level Buffer (SLB) übertragen. Die Informationen des VBs stehen somit in den

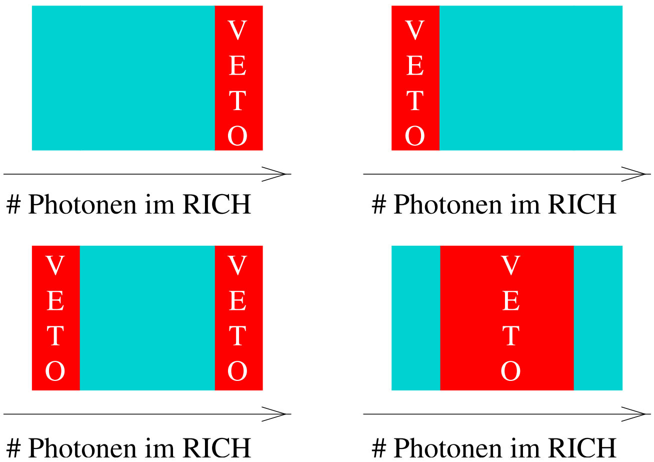

Abb. 4.12: Darstellung der einstellbaren Veto-Modi auf dem VB. In Abhängigkeit der oberen und unteren Schwelle wird ein Veto-Signal erzeugt.

Ereignisdaten der rekonstruierten Ereignisse zur Verfügung. Auf diese Informationen kann in einer Datenanalyse zugegriffen werden, um die Funktion des installierten RICH-Multiplizitätsveto-Systems zu untersuchen.

Auf dem VB werden die BX-Nummern überprüft, die mit den Daten aus den FED-Crates übertragen werden. Das Monitor-System registriert Synchronisationsfehler und wertet die Informationen der FSC-Fehlernachrichten aus. Zusätzlich werden die pro 256 BX-Zyklen erzeugten Veto-Signale des VBs und des EEIs gezählt.

Alle schnellen Datenübertragungen zwischen den Modulen des RICH-Multiplizitätsveto-Systems werden mit PECL-Signalen durchgeführt. Der Großteil der Schaltungen auf den Modulen ist in CPLD[3]s implementiert. Die Initialisierung der Veto-System-Komponenten in den FED-Crates geschieht mittels eines eigenständigen bidirektionalen Bus-Systems, das über das VB kontrolliert wird. Das Bus-System wurde aufgrund der einfachen Ansteuerung ausgewählt. Es wird ausführlich in Kapitel 5 beschrieben. Das VB besitzt eine VME[4]-Schnittstelle, über die es gesteuert wird und über die Monitorinformationen ausgelesen werden können.

Die einzelnen Module des RICH-Multiplizitätsveto-Systems werden in den nachfolgenden Kapiteln ausführlich behandelt. Die Latenzzeit des Veto-Systems liegt unter 1000 ns. In Tabelle 4.8 sind die Beiträge der Latenzzeit aufgelistet. Für das FED-System und die FEE werden die gleichen Werte genommen wie in Tabelle 4.4, da die FEE auf dem gleichen Baustein basiert und das FED-System identisch ist. Startzeitpunkt t_0 ist der Zeitpunkt der Wechselwirkung am Target.

Wie bereits erwähnt sind derzeit zwei FED-Crates mit Veto-System-Komponenten bestückt. Das RICH-Multiplizitätsveto-System besteht momentan aus 15 BSCs, zwei FSCs und einem VB.

[3] Complex Programmable Logic Device engl. für komplexer programmierbarer Logikbaustein
[4] Versa Module Eurocard

Tab. 4.8: Auflistung der Beiträge zur Latenzzeit des RICH-Multiplizitätsveto-Systems.

Komponente	$t_n - t_{n-1}$ [ns]	$t_n - t_0$ [ns]	Kommentar
Detektorposition	∼30	∼30	Flugzeit (11 m)
PM	≤20	50	[Sta 02]
FEE-Gate	30	80	[Ger 00]
FEE-Vorverstärker	10	90	[Ger 00]
Kabellaufzeit zum FED	40	130	7,5 m Kabel [Sta 02]
FED	96	226	[Ger 00]
BSC+FSC	256 ± 2	∼ 482	
Kabellaufzeit FED→VB	206 ± 2	∼ 688	40 m Kabel
VB	173 ± 2	∼ 861	
VDIS, Kabellaufzeit	133 ± 2	∼ 994	

4.5 Zusammenfassung

Ereignisse mit hoher Treffermultiplizität erschweren die Inbetriebnahme der ersten Triggerstufe, da in den Suchregionen viele zufällige Trefferkoinzidenzen gefunden werden, was zu einer erhöhten Belastung der Prozessoren und Anreicherung mit Untergrundereignissen führt. Die Verarbeitung der Ereignisse mit hoher Treffermultiplizität kann die maximale Latenzzeit der ersten Triggerstufe überschreiten. Um diese Ereignisse schon auf Pretrigger-Niveau zu unterdrücken, wird ein Veto-System benötigt.

OTR und RICH sind seitens der physikalischen Anforderungen gleich gut zur Implementation des Veto-Systems geeignet. Aufgrund der leichteren Zugänglichkeit zum FED-System wird der RICH-Detektor und nicht der OTR ausgewählt. Die Trefferanzahlen des RICH und der in der ersten Triggerstufe benutzten Superlagen sind hoch korreliert. Die Korrelation mit der Energiesumme des inneren ECAL-Bereichs ist im Vergleich zum RICH niedriger. Der RICH ist zur Erzeugung eines Veto-Signals für Ereignisse mit einer hohen Treffermultiplizität besser geeignet als das ECAL. Eine Studie hat ergeben, dass bei einer Wahl der Schwellen in den jeweiligen Veto-Systemen, bei einem akzeptierten Verlust an Ereignissen mit J/ψ-Kandidaten von 1 % und einer Untergrundunterdrückung von jeweils 10 %, die Kombination der Veto-Systeme zu einer Untergrundunterdrückung von 13 % und einem Verlust an Ereignissen mit J/ψ-Kandidaten von 1,4 % führt.

Das RICH-Multiplizitätsveto-System summiert digital die vom RICH-FED-System gelieferten Daten. Die Anzahl der Photonen im RICH dient als Grundlage zur Erzeugung eines Veto-Signals. Das RICH-Multiplizitätsveto-System ist modular aufgebaut. Es besteht aus drei Modulen, den BSCs, FSCs und dem VB. Ein Großteil der Datenverarbeitung findet bereits am Detektor in den FED-Crates statt. Eine BSC verarbeitet die Daten einer FED-Tochterkarte. Bis zu acht BSCs und eine FSC befinden sich in einem FED-Crate. Die FSC summiert die Zwischensummen der BSCs und überträgt diese über paarweise verdrillte Flachkabel an das VB in die Elektronikhütte. Dort werden die Daten der FSCs zusammengefasst und eine Veto-Entscheidung getroffen. Die Latenzzeit des RICH-Multiplizitätsveto-Systems beträgt 994 ns und liegt damit unter dem Zeitlimit von 1062 ns, das vom Myon-Pretrigger vorgegeben ist. Die Veto-Signale werden an die Pretrigger-Systeme übertragen und unterdrücken die Nachrichten an die erste Triggerstufe.

Das RICH-Multiplizitätsveto-System besitzt ein Monitor-System, mit dem die Synchronisation der BX-Nummern der einzelnen Module überprüft werden kann. Zusätzlich werden die erzeugten Veto-Signale des EEIs und des RICH-Veto-Systems pro 256 Taktzyklen gezählt. Eine Verbindung zum SLB existiert, über die die Veto-Entscheidung für getriggerte Ereignisse ausgelesen werden kann und zur Analyse in den Ereignisdateien der rekonstruierten Ereignisse gespeichert wird.

Das RICH-Multiplizitätsveto-System lässt sich als nicht verzerrender Hardware-Wechselwirkungstrigger benutzen. Für den Einsatz in diesem Betriebsmodus wird eine spezielle FCS-Konfiguration benötigt, so dass das RICH-Multiplizitätsveto-System und der Hardware-Wechselwirkungstrigger nicht gleichzeitig aktiv sein können.

Kapitel 5

Verwendung des I^{2}C-Busses bei langen Übertragungsstrecken

Der I^{2}C-Bus[1] nimmt im RICH-Multiplizitätsveto-System eine besondere Stellung ein, da er das einzige Kommunikationsmittel zu den Modulen des Systems darstellt. Wie in Abschnitt 4.3.4 bereits erläutert, besitzen die FED-Crates, in denen die BSCs und FSCs installiert sind, kein eigenes Bus-System, das zur Ansteuerung oder dem Austausch von Statusinformationen der einzelnen Leiterplatten des RICH-Multiplizitätsveto-Systems geeignet ist.
Um den I^{2}C-Bus im RICH-Multiplizitätsveto-System einsetzen zu können, musste die Beschaltung des kommerziell erhältlichen I^{2}C-Bus-Controllers auf neue Art modifiziert werden, die bisher so noch nirgends verwendet oder dokumentiert wurde. Diese neuartige Beschaltung erlaubt es, den I^{2}C-Bus im 4-Leitungsbetrieb, auf den in Abschnitt 5.2 eingegangen wird, zu betreiben und dadurch die Längenlimitierung des I^{2}C-Busses zu umgehen und die Störsicherheit der Übertragung zu verbessern. Ohne die Modifikation der Beschaltung des I^{2}C-Bus-Controllers ist die Verwendung des 4-Leitungsbetriebs, im Gegensatz zu den Angaben des Herstellers, nicht möglich. Da die Anwendung entscheidend für das Gelingen des Systemaufbaus war und auch für zukünftige Anwendungen interessant sein könnte, wird der I^{2}C-Bus in diesem Kapitel, das gleichzeitig als Dokumentation dienen soll, sowie die Beschaltungsmodifikation ausführlich auf technischem Niveau beschrieben. Abschließend werden Testergebnisse präsentiert.

5.1 Generelle Eigenschaften des I^{2}C-Busses

Bei dem I^{2}C-Bus handelt es sich um einen bidirektionalen Bus, bestehend aus zwei Leitungen. Eine Leitung (SDA) wird zur Übertragung der Daten verwendet, die andere zur Übertragung der Taktsignale (SCL). Die absolut maximale Anzahl der Busteilnehmer ist auf 127 limitiert, da der Adressraum der I^{2}C-Bus-Bausteine 7 Bits umfasst. Die Adresse 0x00 besitzt eine spezielle Bedeutung und kann daher nicht als Bausteinadresse benutzt werden. Die Adresse 0x00 adressiert alle I^{2}C-Bus-Bausteine gleichzeitig (General Call) [Phi 95]. Die Anzahl der I^{2}C-Bus-Teilnehmer ist außerdem durch die maximal von den I^{2}C-Bus-Bausteinen zu treibende Buskapazität limitiert. In die Buskapazität

[1] I^{2}C: Inter IC, entwickelt von der Firma Philips

gehen sowohl die Eingangskapazitäten der angeschlossenen Busteilnehmer als auch die Leitungskapazität ein. Der Maximalwert der Buskapazität beträgt 400 pF [Phi 93]. Ist die Anzahl der Busteilnehmer festgelegt, ist damit auch die maximale Leitungslänge bekannt.

Der Datenaustausch zwischen den I^{2}C-Bus-Bausteinen wird durch eine Übertragungssteuerung festgelegt. Die Datenübertragung beruht auf dem MASTER-SLAVE-Prinzip und ist byteweise organisiert. Der empfangende Baustein quittiert den Datenempfang durch Übertragung eines Quittierungsbits. Für Details der Übertragungssteuerung wird auf [Phi 95] verwiesen. Als MASTER[2] fungiert der Baustein, der eine Datenübertragung initialisiert. Alle anderen Busteilnehmer werden als SLAVE[3] bezeichnet.

5.2 Beschreibung des verwendeten I^{2}C-Bus-Controllers

Werden alle RICH-FED-Crates mit Vetosystem-Komponenten bestückt, müssen 127 Leiterkarten angesprochen werden. Die daraus resultierende Eingangskapazität der Bausteine überschreitet bereits das Limit der maximal zulässigen Buskapazität. Durch den Einsatz spezieller Leitungstreiber, die höhere Kapazitäten treiben können, lässt sich dieses Problem umgehen. Die Datenflussrichtung der Treiberbausteine muss jedoch entsprechend dem Übertragungsprotokoll des I^{2}C-Busses umgepolt werden. Dies führt zu einem Mehraufwand der Schaltungsentwicklung, die den Einsatz des I^{2}C-Busses, der aufgrund seiner einfachen Beschaltung ausgewählt wurde, nicht mehr rechtfertigt. Die Lösung dieses Widerspruches liegt in der Wahl eines speziellen I^{2}C-Bus-Controllers, der den Anforderungen an eine einfache Beschaltung und dem Einsatz von Treiberbausteinen entspricht.

Der im RICH-Multiplizitätsveto-System verwendete I^{2}C-Bus-Controller [Phi 97] konvertiert ein paralleles 8 Bit Busprotokoll in das I^{2}C-Busprotokoll und besitzt als Besonderheit einen Betriebsmodus im 4-, statt 2-Leitungsbetrieb. Im 4-Leitungsbetrieb existieren vier unidirektionale Leitungen, jeweils eine Datenleitung zur Sendung und eine zum Empfang der Daten (SDA AUS/EIN), sowie eine Takteingangsleitung und eine Taktausgangsleitung (SCL EIN/AUS). Dies vereinfacht die Beschaltung mit Leitungstreibern, da eine Umschaltung der Datenflussrichtung nicht sichergestellt werden muss.

Eine detaillierte Beschreibung des I^{2}C-Bus-Controllers ist in [Phi 97] nachzulesen. Für das weitere Verständnis werden nur zwei interne Register, das S0- und das S1-Register, näher erläutert. Die beiden Register S0 und S1 besitzen eine Doppelfunktion. Das S0-Register ist eine Kombination aus Datenpuffer und Schieberegister. Das S1-Register hat die Funktion eines Kontroll- und Statusregisters. Beide Doppelregister, S0 und S1, besitzen separate Lese- und Schreibzugriffe und werden vorwiegend für die Datenübertragung verwendet. Der Zugriff auf die Register erfolgt über die parallele Schnittstelle mittels spezieller Steuersignale.

[2]engl. Herr
[3]engl. Sklave

5.2.1 Übertragungsmodi des I^{2}C-Bus-Controllers

Der I^{2}C-Bus-Controller besitzt vier verschiedenen Übertragungsmodi, den MASTER-Sender- bzw. Empfängermodus sowie den SLAVE-Empfänger- bzw. -Sendermodus. Die Abläufe der einzelnen Modi sind in [Phi 97] nachzulesen. In den unterschiedlichen Übertragungsmodi wird lesend bzw. schreibend auf die parallele Schnittstelle zugegriffen. Daher lassen sich schaltungstechnisch die Übertragungsmodi auf vier verschiedene Zugriffe auf die parallele Busschnittstelle und Auswertung der Daten des Statusregisters S1 reduzieren. Die Zugriffe werden als LESE- bzw. SCHREIBE-S0 und LESE- bzw. SCHREIBE-S1 bezeichnet. LESE-S1 liest den Inhalt des Statusregisters S1, während SCHREIBE-S1 einen Schreibzugriff auf den Kontrollteil des Registers S1 ausführt. Der Lesezugriff auf den Datenpuffer S0 wird als LESE-S0 bezeichnet. Ein Schreibzugriff auf ein Register, außer auf das Kontrollregister S1, wird durch den SCHREIBE-S0 Zugriff ausgeführt. Das Zeitverhalten der parallelen Busschnittstelle ist in [Phi 97] beschrieben.

5.3 CPLD-Implementation der I^{2}C-Bus-Controller-Ansteuerung

Im RICH-Multiplizitätsveto-System existiert nur ein MASTER I^{2}C-Bus-Controller, der sich auf dem VB befindet. Die I^{2}C-Bus-Schnittstellen auf den BSCs und FSCs werden als SLAVES betrieben. Sie übertragen oder empfangen Daten nur nach Aufforderung durch den MASTER.

5.3.1 CPLD-Implementation der Ansteuerung des I^{2}C-Bus-Controllers als SLAVE

Alle BSCs und FSCs besitzen eine I^{2}C-Bus-Schnittstelle zur Kommunikation mit dem VB. Die Ansteuerung des I^{2}C-Bus-Controllers ist in CPLDs implementiert. Neben der Einhaltung der zeitlichen Vorgaben für den Zugriff auf die parallele Schnittstelle sind die Zustandsmaschinen, die die SLAVE-Übertragungsmodi ausführen, darin enthalten. Zusätzlich sind sämtliche zum Betrieb der einzelnen Leiterkarten notwendigen Kommando-, Status-, Referenz- und Steuerregister sowie weitere Zustandsmaschinen in diese CPLD-Programmierung integriert. Die CPLD-Programmierungen der BSCs sowie der FSCs unterscheiden sich nur in der Pinbelegung der CPLDs. Die Funktionalität ist für beide identisch. Dieses Vorgehen hatte den Vorteil, dass der Entwicklungsaufwand minimalisiert wurde, da die Funktionalität der BSC-CPLDs eine Untermenge der Funktionalität der FSC-CPLDs bildet. Somit kann die CPLD-Programmierung des FSC-CPLDs unter Nichtverwendung der nur für die FSCs entwickelten Funktionalität auf den BSCs benutzt werden.
In Abbildung 5.1 ist der Teil der SLAVE-CPLD-Schaltung schematisch dargestellt, der die I^{2}C-Bus-Controller-Ansteuerung durchführt. Die Klammerausdrücke beziehen sich im Folgenden auf diese Abbildung. Die Schaltung ist aus mehreren Zustandsmaschinen (FSMs) aufgebaut, die über den Austausch von Steuersignalen (geschlossene Pfeile) und Statussignalen (offene Pfeile) miteinander und über den Signalverteiler (SIGNAL VERTEILER) mit den externen Registern (EXTERNE DATEN) kommunizie-

ren. Auf der untersten Ebene befinden sich die Zustandsmaschinen, die die Hardwarezugriffe auf die parallele Schnittstelle ausführen (LESE-, SCHREIBE-S0 und LESE-, SCHREIBE-S1). Die Abläufe der übergeordneten Zustandsmaschinen entsprechen den Flussdiagrammen der SLAVE-Initialisierung (INITIALISIERUNGS FSM), der Selektion des SLAVE-Sender- bzw. SLAVE-Empfängermodus (SENDER EMPHÄNGER SELEKTION FSM) und der Übertragungsmodi (SLAVE SENDER FSM und SLAVE EMPHÄNGER FSM). Die Flussdiagramme sind in [Phi 97] dargestellt.

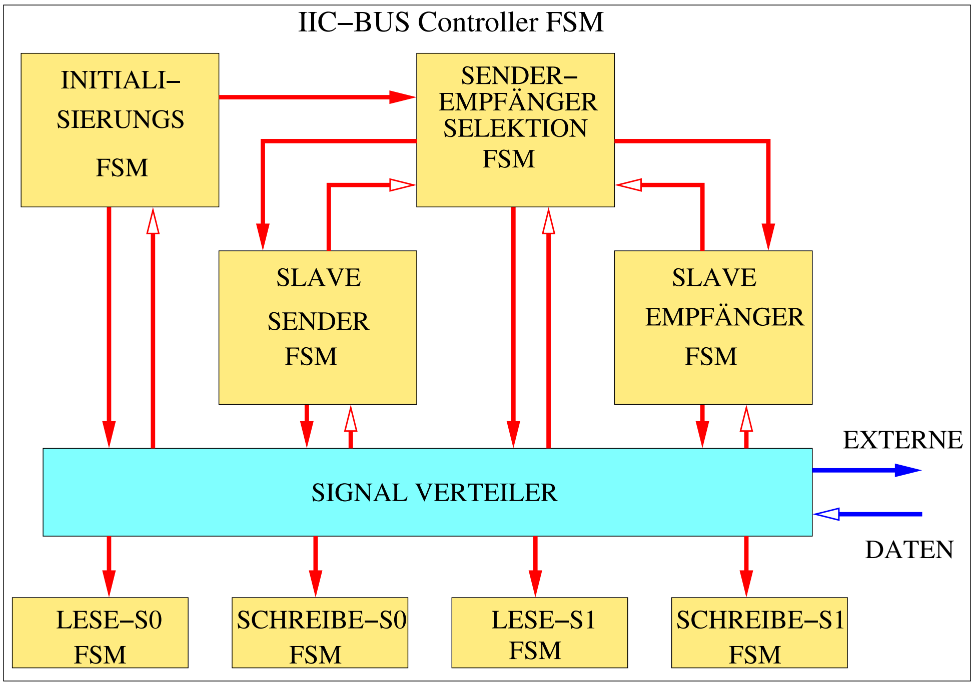

Abb. 5.1: Schematische Darstellung der I^{2}C-Bus-Controller Zustandsmaschine (IIC-Bus Controller FSM). Auf unterster Ebene befinden sich die Zustandsmaschinen, die die Lese- und Schreibzugriffe auf die parallele Schnittstelle ausführen. Die übergeordneten Zustandsmaschinen tauschen untereinander und über den SIGNAL VERTEILER Kontoll- und Statusinformationen aus, sprechen externe Register an oder erhalten die Daten des Statusregisters S0 (EXTERNE DATEN). Die Abläufe der Zustandsmaschinen entsprechen den Flussdiagrammen für die SLAVE Initialisierung (INITIALISIERUNGS FSM), der Selektion des SLAVE-Sender- bzw. SLAVE-Empfängermodus (SENDER EMPFÄNGER SELEKTION FSM) und der beiden Modi (SLAVE SENDER FSM und SLAVE EMPFÄNGER FSM), wie sie in [Phi 97] beschrieben sind.

Die im vorhergehenden Abschnitt beschriebene I^{2}C-Bus-Controller Zustandsmaschine (IIC-Bus Controller FSM) ist eingebettet in ein CPLD, das weitere Peripherieregister und Zustandsmaschinen enthält, wie in Abbildung 5.2 dargestellt. In der Abbildung stellen die geschlossenen dünn gedruckten Pfeile Kontrollsignale, die offenen dünn gedruckten Pfeile Statussignale dar. Die breiten Pfeile symbolisieren die parallelen Busse. Die Ausdrücke in Klammern beziehen sich im Folgenden auf Abbildung 5.2.

Die I^2C-Bus-Controller Zustandsmaschine steuert die parallele Schnittstelle des I^2C-Bus-Controllers (IIC-Bus Controller Steuersignale) und die Richtung der bidirektionalen Schnittstelle des CPLDs (BUS I/O 1). Das Initialisierungsregister (INITREGISTER) enthält die Konfigurationsdaten, die für die Initialisierung des I^2C-Bus-Controllers benötigt werden. In dem S1/LRB REGISTER werden die aus dem Statusregister S1 ausgelesenen Statusinformationen gespeichert. Die als DATENREGISTER bezeichnete Gruppe besteht aus jeweils zwei Kommando-, Status- und Referenzregistern sowie einem Daten- und Selektionsregister. Auf die Funktion des Datenregisters wird später eingegangen. Ein Dekoder selektiert die Register in Abhängigkeit der Daten im Selektionsregister. Alle Register außer den Statusregistern und dem Selektionsregister sind beschreib- und lesbar. Die Kommandoregister für die Ansteuerung der BSC bzw. FSC (COM1 und COM2) besitzen jeweils 8 Bit. Auf der FSC werden allerdings nur insgesamt 11 Kommandobits benötigt.
Die nachfolgend beschriebenen Funktionen werden nur auf den FSCs verwendet. Werden Daten in die Referenzregister geschrieben, so wird automatisch eine Zustandsmaschine (REF-REG FSM) aktiviert, die die Daten in ein anderes CPLD auf der FSC schreibt (REF Steuersignale). Da die Eingangsschnittstelle des empfangenden CPLDs pinlimitiert ist, werden die Daten aus den Referenzregistern (REF1 und REF2) nacheinander auf einen Bus gegeben. Die Steuerung der Ausgangsschnittstelle (BUS I/O 2) wird von der Zustandsmaschine REF-REG FSM kontrolliert.
Die FSC besitzt zwei Bausteine mit jeweils zwei digital programmierbaren Widerständen [MAX 00b]. Über die Widerstandswerte werden die Parameter der optischen Übertragungsstrecke eingestellt. Mittels einer seriellen Schnittstelle, bestehend aus drei Signalen (zusammengefasst in Steuersignale Widerstand 1 und 2), lassen sich die Bausteine programmieren. Ein Selektionsbit (Chip Select) wählt den programmierbaren Widerstandsbaustein aus. Eine Taktleitung und eine serielle Datenleitung werden zur Datenübertragung benötigt. Die Widerstände besitzen 256 Einstellungsmöglichkeiten, was einer 8-Bit-Zahl entspricht. Das Datenregister enthält den Einstellungswert. Ein weiteres, neuntes Bit, dient zur Unterscheidung der beiden Widerstände pro Baustein. Da der I^2C-Bus Daten nur byteweise übertragen kann, wird das „neunte Bit“ und das Selektionsbit, welches den Widerstandsbaustein auswählt, in einem separaten Byte übertragen und in den freien Bereich des Kommandoregisters COM2 geschrieben. Es werden also zwei Übertragungen benötigt, wobei das erste Byte das Selektionsbit sowie das „neunte Bit“ und das zweite Byte den Einstellungswert enthält. Der Einstellungswert gelangt zusammen mit dem „neunten Bit“ und dem Selektionssignal in die Zustandsmaschine (Prog. Wid. FSM). Diese wird aktiviert, sobald Daten in das Datenregister geschrieben werden. Sie serialisiert die neun Bits und überträgt sie zu dem ausgewählten Widerstandsbaustein.

5.3.2 Implementation der I^2C-Bus-Ansteuerung als MASTER im VME-CPLD

Anders als bei der Implementation der I^2C-Bus-Controller-Ansteuerung im SLAVE-Betrieb, die Zustandsmaschinen für die einzelnen SLAVE-Modi enthält, wird bei der I^2C-Bus-Controller-Ansteuerung im MASTER-Betrieb nur die direkte Umsetzung der LESE- und SCHREIB-Zugriffe auf den I^2C-Bus-Controller in einem CPLD implemen-

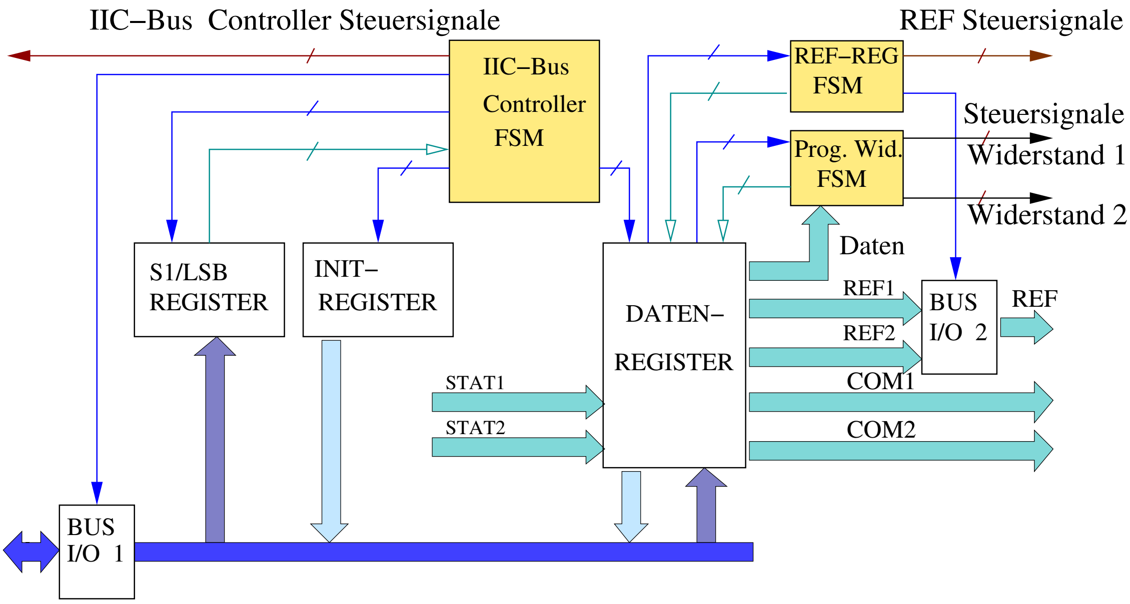

Abb. 5.2: Darstellung der CPLD-Programmierung des SLAVE I²C-Bus-Controllers auf BSC und FSC und der zugehörigen Peripherieregister und Zustandsmaschinen. Dünn gedruckte geschlossene Pfeile zeigen Steuersignale, offene Pfeile Statussignale. Breit dargestellte Pfeile symbolisieren Datenbusse. Der I²C-Bus-Controller wird mittels der IIC-Bus-Controller FSM, vergleiche Abbildung 5.1, gesteuert. Das INITREGISTER enthält die zur Initialisierung benötigten Daten. Im S1/LSB REGISTER werden die vom I²C-Bus-Controller gelesenen Daten des Statusregisters S1 gespeichert. Im DATENREGISTER-Block befinden sich jeweils zwei Status- (STAT1 und STAT2), Kommando- (COM1 und COM2) und Referenzregister (REF1 und REF2) sowie ein Daten- und Selektionsregister. Ein Dekoder wählt, anhand der Daten im Selektionsregister, das zu lesende oder zu beschreibende Register aus. Werden Daten in die Referenzregister geschrieben, so wird automatisch die Zustandsmaschine aktiviert, die die Referenzdaten in ein weiteres CPLD auf der FSC schreibt. Das Datenregister wird zur Programmierung der programmierbaren Widerstände auf der FSC benötigt. Eine Zustandsmaschine (Prog. Wid. FSM) kontrolliert die Programmierung der Widerstände über die seriellen Datenleitungen (Steuersignale Widerstand 1, Widerstand 2)

tiert. Die eigentliche Abarbeitung der MASTER-Modi erfolgt per Software-Steuerung und Datenaustausch über die VME-Schnittstelle. Dies ist flexibler als die Realisierung der Abläufe mit Zustandsmaschinen, da Änderungen im Programmablauf nicht die Rekonfiguration des programmierbaren Bausteins nach sich ziehen.

Die Ansteuerung des MASTER I²C-Bus-Controllers ist in Abbildung 5.3 schematisch

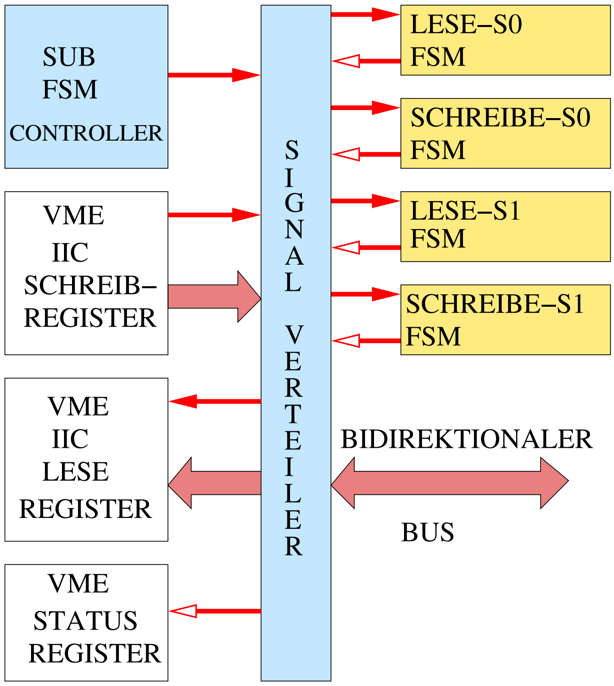

Abb. 5.3: Schematische Darstellung der Ansteuerung des MASTER I^2C-Bus-Controllers. Die dünn gedruckten geschlossenen Pfeile symbolisieren Kontrollinformationen, die offenen Statusinformationen. Die breit dargestellten Pfeile stellen die parallelen Busse dar. Die Lese- und Schreibzugriffe auf die parallele Schnittstelle des I^2C-Bus-Controllers werden von den LESE- und SCHREIB-Zustandsmaschinen (FSM) ausgeführt. Das VME IIC SCHREIBREGISTER besitzt 2 Byte. Das obere Byte enthält die Kommandos zur Ansteuerung der LESE- und SCHREIB-S0/S1 Zustandsmaschinen, das untere Byte ggf. Daten, die über den I^2C-Bus gesendet werden. In das obere Byte des VME IIC LESEREGISTERS werden die Daten des Statusregsiters S1, in das untere die Daten des Datenpuffers S0 geschrieben. Die Ansteuerung des oberen bzw. unteren Speicherplatzes wird von der jeweiligen LESE-Zustandsmaschine kontrolliert. Der SIGNAL VERTEILER hat die Funktion die Kontroll- und Statusinformationen zu verteilen und die Richtung des BIDIREKTIONALEN BUSSES zu steuern. Werden Daten in das VME IIC SCHREIBREGISTER geschrieben, initialisiert der Controller der untergeordneten Zustandsmaschinen (SUB FSM CONTROLLER) die Aktivierung der Zustandsmaschinen. Ist ein Lese- oder Schreibzugriff abgearbeitet, wird dies im VME STATUSREGISTER vermerkt.

dargestellt. Die dünn gedruckten geschlossenen Pfeile bedeuten Kontrollsignale, die offenen Statussignale. Die breit dargestellten Pfeile symbolisieren die parallelen Busse. Die mit Großbuchstaben geschriebenen Ausdrücke beziehen sich im folgenden Abschnitt auf Abbildung 5.3.

Die Verteilung der Kontroll- und Statussignale und die Richtung des BIDIREKTIONA-

LEN BUSSES wird von dem SIGNAL VERTEILER organisiert. Das Zeitverhalten der parallelen I^{2}C-Bus-Schnittstelle ist in den Zustandsmaschinen LESE-, SCHREIBE-S0 FSM und LESE-, SCHREIBE-S1 FSM berücksichtigt. Das VME IIC SCHREIBREGISTER ist 16 Bit breit. Das obere Byte enthält die Kommandoinformationen, das untere ggf. Daten, die über den I^{2}C-Bus übertragen werden sollen. Das VME IIC LESEREGISTER ist ebenfalls in 2 Byte aufgeteilt. Das obere Byte ist zur Auslese des Statusregisters S1, das untere zur Auslese des Datenpuffers S0 vorgesehen. Werden Daten in das VME IIC SCHREIBREGISTER geschrieben, so initialisiert der Controller der untergeordneten Zustandsmaschinen (SUB FSM CONTROLLER) die Aktivierung der LESE- bzw. SCHREIBE-Zustandsmaschinen. Welche Zustandsmaschine angesprochen wird, ist durch die Kommandoinformationen des VME IIC SCHREIBREGISTERS festgelegt. Die Auswahl des jeweiligen Bytes im VME IIC LESEREGISTER wird von der entsprechenden LESE-Zustandsmaschine festgelegt. Ist ein LESE- oder SCHREIB-Zugriff abgearbeitet, so wird im VME STATUS REGISTER ein Bit gesetzt, das die Abarbeitung des jeweiligen Zugriffes anzeigt. Bevor ein weiteres Kommando in das VME IIC SCHREIBREGISTER geschrieben werden darf, muss dieses Bit überprüft werden, um zu verhindern, dass ein erneuter I^{2}C-Bus-Controller-Zugriff erfolgt, ohne dass der vorhergehende abgearbeitet ist.

5.4 Organisation der Datenübertragung zwischen dem I^{2}C-Bus MASTER und den SLAVE Controllern

Dieser Abschnitt geht auf die spezielle Organisation der Datenübertragung im RICH-Multiplizitätsveto-System ein. In dem System existiert nur ein MASTER I^{2}C-Bus-Controller, der sich auf dem Veto Board befindet. Alle BSCs und FSCs besitzen SLAVE I^{2}C-Bus-Controller. Im Folgenden wird die Adressraumaufteilung und der Sende- bzw. Empfangsablauf der Datenübertragung beschrieben.

5.4.1 Adressraumaufteilung des I^{2}C-Busses

Die I^{2}C-Bus-Controller besitzen 7-Bit-Adressen, die im ganzen System einzigartig sein müssen. Die sieben Adressbits sind in zwei Bereiche aufgeteilt. Die ersten vier Bits geben die Leiterplattenadresse in dem jeweiligen FED-Crate an. Bis zu acht BSCs und eine FSC können sich in einem FED-Crate befinden. Die erste BSC besitzt die Adresse 0x01. Die Adresse zählt hoch bis 0x08 für die achte BSC. Die FSC besitzt die Adresse 0x0C. Die übrigen drei Bit des Adressraums geben das FED-Crate an, wobei von null bis sieben durchnumeriert wird. Die erste BSC im zweiten FED-Crate hat z. B. die Adresse 0x11, die zweite 0x12, usw., bis schließlich die FSC die Adresse 0x1C erhält. Spezielle Treiber-/Empfängerbausteine werden zur Datenübertragung eingesetzt. Diese lassen sich ein- bzw. ausschalten, was für die Adressvergabe im RICH-Multiplizitätsveto-System wichtig ist. Es sind fünf identische Schnittstellen vorhanden, von denen immer nur eine eingeschaltet ist. Somit lassen sich 5 mal die gleichen Adressen verteilen. Für das gesamte RICH-FED-System müssten 14×9 Adressen zur Verfügung stehen.

Diese Anzahl wird durch die Verwendung zweier Schnittstellen abgedeckt, da 8×9 Adressen pro Schnittstelle vergeben werden.

5.4.2 Sende- und Empfangsablauf

Im Abschnitt 5.3.1 wurde die CPLD-Programmierung des SLAVE I^{2}C-Bus-Controllers beschrieben. Über den I^{2}C-Bus lassen sich mehrere Register in dem CPLD beschreiben und ausgelesen. Zur Auswahl des entsprechenden Registers wird ein Dekoder verwendet, der Daten aus dem Selektionsregister auswertet.

MASTER-Sendeablauf

Ein MASTER-Sendeablauf sieht folgendermaßen aus: Das erste Byte, das übertragen wird, enthält die Adresse des SLAVEs und veranlasst diesen, in den SLAVE-Empfängermodus zu gehen. Das zweite übertragene Byte wird automatisch in das Selektionsregister des CPLDs geschrieben. Der Dekoder gibt den Schreibzugriff auf das gewünschte Register frei. Das dritte Byte wird in das ausgewählte Register des CPLDs geschrieben. Danach beendet der MASTER die Datenübertragung.

MASTER-Empfangsablauf

Der MASTER-Empfangsablauf ist ähnlich aufgebaut. Als erstes muss das auszulesende Register des SLAVEs selektiert werden. Dazu wird ein modifizierter MASTER-Sendeablauf benutzt. Nach der Übertragung des Bytes für das Selektionsregister wird die Datenübertragung vom MASTER abgebrochen. Der Dekoder des SLAVEs gibt das entsprechende Register für einen Lesezugriff frei. Dann veranlasst der MASTER den SLAVE in den SLAVE-Sendermodus zu gehen und die Daten aus dem ausgewählten Register zu übertragen.

Einstellung der programmierbaren Widerstände über den I^{2}C-Bus

In Abschnitt 5.3.1 wurde der technische Ablauf der Programmierung der Widerstandsbausteine besprochen. Das Kommandoregister (COM2) der FSC wird ausgelesen, um bei der Selektion des Widerstandbausteins und eines der beiden internen Widerstände nicht andere Kommandoinformationen unkontrolliert zu überschreiben. Dazu wird ein MASTER-Empfangsablauf durchgeführt. Der geänderte Wert des Kommandoregisters wird mit einem MASTER-Sendeablauf in dieses zurückgeschrieben. Mit einem weiteren MASTER-Sendeablauf werden Daten in das Datenregister geschrieben, die von der Zustandsmaschine auf der FSC serialisiert und mit den entsprechenden Datenbits des Kommandoregisters an den programmierbaren Widerstandsbaustein gesendet werden.

5.5 Modifikationen des I^{2}C-Busses

Der in Abschnitt 5.2 beschriebene I^{2}C-Bus-Controller wurde speziell wegen seiner einfachen Ansteuerung und seines 4-Leitungsbetriebs ausgewählt. Die Verwendung differentieller Treiber-/Empfängerbausteine für den seriellen Bus soll die Sicherheit der

Datenübertragung verbessern und die Kabellängenlimitierung des I^{2}C-Busses umgehen. Da die Treiber-/Empfängerbausteine nur unidirektionale Datenübertragung zulassen, schien die Wahl eines I^{2}C-Bus-Controllers, der vier unidirektionale Signalleitungen zur Verfügung stellt, ideal. Erste Tests der Datenübertragung zeigten jedoch, dass der I^{2}C-Bus-Controller im 4-Leitungsbetrieb nicht wie im Datenblatt beschrieben funktioniert. Der MASTER I^{2}C-Bus-Controller wird im MASTER-Sendermodus betrieben. Auf der Ausgangsdatenleitung (SDA AUS) werden jedoch vom I^{2}C-Bus-Controller keine Daten ausgegeben. Auf der Taktleitung, SCL AUS, werden kontinuierlich Taktpulse erzeugt. Der I^{2}C-Bus-Controller behält diesen Zustand bei, bis er ein Reset-Signal erhält.

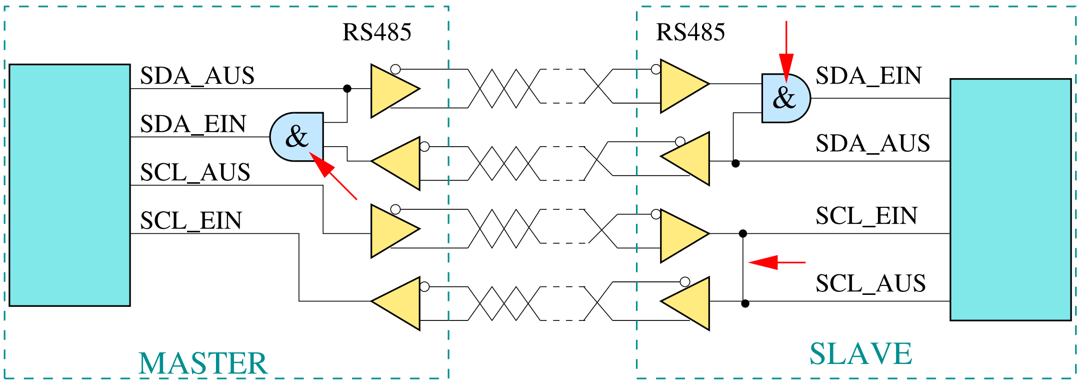

Abb. 5.4: Modifikationen der seriellen Leitungen des I^{2}C-Busses im 4-Leitungsbetrieb. Die Pfeile zeigen die Modifikationen an. Die I^{2}C-Bus-Controller benötigen eine Rückkopplung der Daten- (SDA AUS) und Taktleitungen (SLC), um die korrekte Position des Quittierungssignals, sowie dessen Speicherung zu gewährleisten. Da nur der MASTER Taktsignale erzeugt, werden die SCL EIN und SCL AUS Leitungen SLAVE-seitig kurzgeschlossen, wodurch auch den Signallaufzeiten über das Kabel Rechnung getragen wird. Die Rückkopplung der Datenleitung geschieht mit UND-Gattern, um einen Konflikt der Treiber-/Empfängerbausteine (RS485) zu vermeiden, da Daten sowohl vom MASTER als auch vom SLAVE gesendet werden.

Untersuchungen[4] haben ergeben, dass der I^{2}C-Bus-Controller die Rückkopplung der Daten- und Taktsignale benötigt. Die Modifikationen sind in Abbildung 5.4 durch Pfeile markiert. Die Taktsignale werden zum Beschreiben des Schieberegisters benutzt, wobei immer der MASTER die Taktsignale erzeugt. Dabei wird der neunte Taktimpuls auch vom MASTER zur Speicherung des Quittierungssignals verwendet. Im 4-Leitungsbetrieb besteht offensichtlich keine interne Taktsignalverbindung im I^{2}C-Bus-Controller, die den Controller befähigt, die seriellen Daten korrekt zu speichern. Damit die Laufzeiten der Signale berücksichtigt werden, wird die Rückkopplung (Kurzschluss der SCL EIN und SCL AUS Leitung) SLAVE-seitig durchgeführt. Die Rückkopplung der Daten stellt die Position des Quittierungsbits als neuntes Datenbit sicher. Die Datenleitungen können nicht kurzgeschlossen werden, da, anders als bei dem

[4]An der Erarbeitung einer Lösung des Problems war Herr Dipl. Ing. Yury Kolotaev beteiligt.

Taktsignal, MASTER und SENDER Daten über den seriellen Bus schicken und es somit zu einem Datenkonflikt der Treiber-/Empfängerbausteine (RS485) käme. Die Rückkopplung wird durch UND-Gatter zwischen den SDA AUS Signalen des lokalen I^{2}C-Bus-Controllers und dem SDA AUS Signal, das über die Treiber-/Empfängerbausteine gesendet wird, erzeugt. Das Resultat der UND-Verknüpfung dient den I^{2}C-Bus-Controllern als Eingangssignal (SDA EIN). Sendet der MASTER ein Byte, das vom SLAVE quittiert wird, stellt diese Schaltung sicher, dass das Quittierungsbit an neunter Position sowohl in den SLAVE wie auch den MASTER I^{2}C-Bus-Controller geschrieben wird und so korrekt ausgewertet werden kann. Analog verhält es sich bei der Übertragung eines Byte vom SLAVE zum MASTER. Das Quittierungsbit des MASTERs gelangt bei SLAVE und MASTER an die richtige Position.

5.6 Test der Datenübertragung im 4-Leitungsbetrieb des I^{2}C-Bus-Controllers

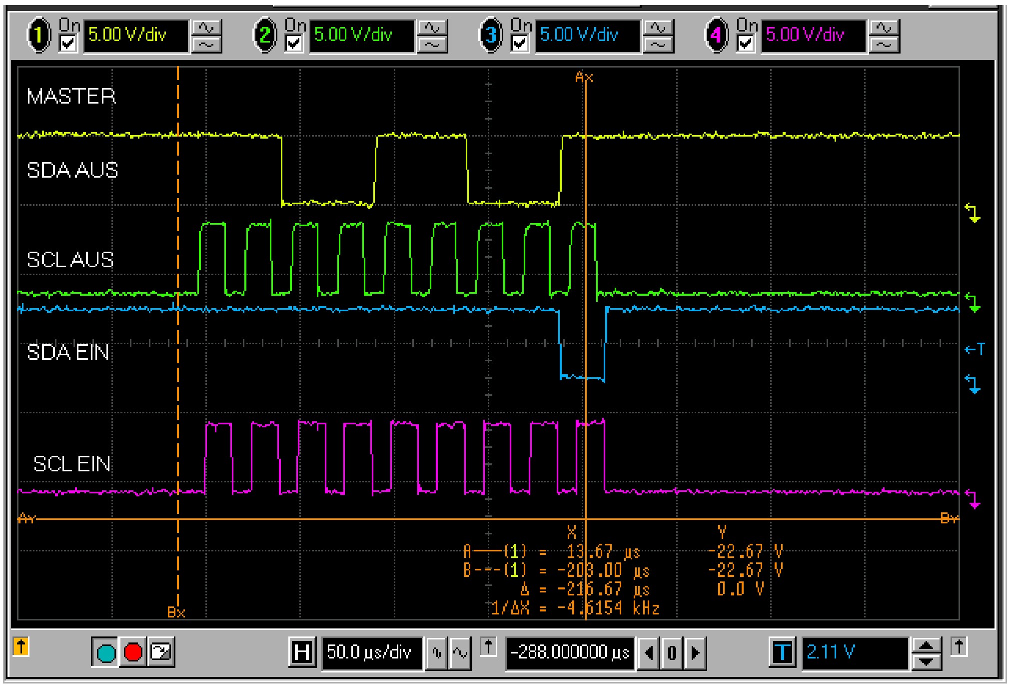

Abb. 5.5: Oszilloskopaufnahme der Datenübertragung im MASTER-Sendermodus des 4-Leitungsbetriebs. Die Signale werden MASTER-seitig, das SDA EIN Signal vor dem UND-Gatter abgegriffen. Der Wert des übertragenen Datenbytes ist 0xCC. Der SLAVE erzeugt das Quittierungssignal auf der SDA EIN Leitung (durchgezogener senkrechter Cursor).

Nach Modifikation aller I^{2}C-Bus-Controller-Schaltungen wurden die seriellen Leitungen mit dem Oszilloskop überprüft. Auszugsweise werden hier zwei Oszilloskopdarstellungen präsentiert. Es sind immer die MASTER-seitigen Signale dargestellt. SDA AUS

ist die serielle Datenleitung, die die Ausgangsdaten des MASTER I^{2}C-Bus-Controllers führt. SCL AUS ist die Ausgangstaktleitung. SDA EIN zeigt das Dateneingangssignal vor dem UND-Gatter. SCL EIN ist das um die Signallaufzeit auf dem Kabel verzögerte vom SLAVE zurückkommende Taktsignal (siehe auch Abbildung 5.4).
Abbildung 5.5 zeigt eine Datenübertragung im MASTER-Sendermodus. Die Daten, 0xCC, werden vom MASTER auf die SDA AUS Leitung gegeben. Neun Taktpulse werden generiert (SCL AUS). Das Quittierungsbit des SLAVE wird zum neunten Taktpuls auf der SDA EIN Leitung übertragen.

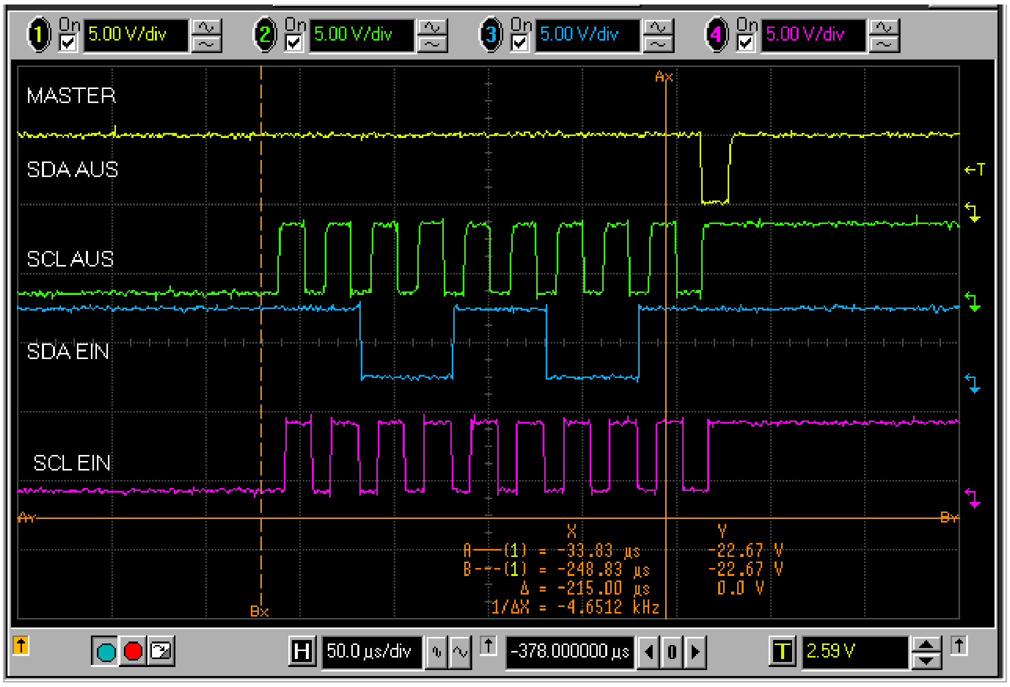

Abb. 5.6: Oszilloskopaufnahme der Datenübertragung im MASTER-Empfängermodus des 4-Leitungsbetriebs. Die Signale werden MASTER-seitig, das SDA EIN Signal vor dem UND-Gatter abgegriffen. Der SLAVE überträgt das Datenbyte, 0xCC, über die SDA EIN Leitung. Der MASTER erzeugt die Taktpulse (SCL AUS) und das negative Quittierungsbit (durchgezogener senkrechter Cursor). Danach folgt die STOP-Bedingung (SDA AUS).

Die Datenübertragung im MASTER-Empfängermodus ist in Abbildung 5.6 dargestellt. Auf der Datenleitung des SLAVEs, SDA EIN, überträgt dieser das Datenbyte mit dem Wert 0xCC. Der MASTER erzeugt die Taktpulse (SCL AUS) und das negative Quittierungsbit (durchgezogener senkrechter Cursor). Direkt im Anschluss wird die STOP–Bedingung vom MASTER auf der SDA AUS Leitung erzeugt.

5.7 Zusammenfassung

Das FED-System des HERA – B Experiments besitzt keinen geeigneten Datenbus, mit dem die RICH-Multiplizitätsveto-System-Module in den FED-Crates angesprochen werden können. Daher wird zur Kommunikation mit den BSCs und FSCs ein modifizierter I^2C-Bus benutzt. In diesem Kapitel wurden die CPLD-Implementationen für den MASTER- und SLAVE-Betrieb der I^2C-Bus-Controller und die in den CPLDs integrierten Peripherieregister und Zustandsmaschinen beschrieben. Über die Peripherieregister werden die BSCs und FSCs gesteuert und überwacht.
Der I^2C-Bus ist ein bidirektionaler Bus, bestehend aus zwei bidirektionalen Leitungen. Im RICH-Multiplizitätsveto-System wird der I^2C-Bus in einem speziellen 4-Leitungsbetrieb, bestehend aus vier unidirektionalen Leitungen, verwendet. Dies ermöglicht den Einsatz von Treiberbausteinen, wodurch sich die Kabellängenlimitierung des I^2C-Busses umgehen und die Störsicherheit der Datenübertragung erhöhen lässt. Für den Betrieb im 4-Leitungsmodus mussten die I^2C-Bus-Leitungen modifiziert werden. Die Datenübertragung im 4-Leitungsbetrieb wurde getestet und funktioniert. Über den modifizierten I^2C-Bus kann mit den RICH-Multiplizitätsveto-System-Modulen problemlos kommuniziert werden.

Kapitel 6

Die Base Sum Card (BSC)

Im Kapitel 4 wurde die Funktion der BSC im Kontext des RICH-Multiplizitätsveto-Systems und der Anforderungen an die Latenzzeit erläutert. Dieses Kapitel geht auf die technische Realisierung der BSC ein. Zunächst wird die Anordnung der Bauteilgruppen auf der BSC vorgestellt. Die Programmierung des I^2C-Bus-Controller CPLDs wurde bereits ausführlich in Abschnitt 5.3.1 beschrieben, so dass hier nur auf die Programmierung der Summations-CPLDs eingegangen wird. Anschließend werden die Testaufbauten und -prozeduren der Funktionstests beschrieben und ihre Ergebnisse präsentiert.

6.1 Beschreibung der Funktionalität der BSC

Die BSC verarbeitet die digitalisierten Daten von 256 RICH-Photomultiplier-Anodenauslesekanälen, die von den FED-Tochterkarten zur Verfügung gestellt werden. Auf Logikniveau gleichen die 256 Kanäle einer 256-Bit-Zahl. Die Aufgabe der BSC ist es, die Anzahl der gefeuerten Anodenauslesekanäle, also die Quersumme der 256-Bit-Zahl, zu berechnen.

Die BSC ist eine Multilagenplatine mit sechs Lagen. Fast die gesamte Logik der Schaltung ist mit CPLDs realisiert worden, um größtmögliche Flexibilität für zukünftige Funktionsanpasssungen oder -änderungen zu bieten. Die Programmierung der CPLDs geschieht über rekonfigurierbare EPROMs. Diese besitzen eine JTAG-Schnittstelle [JTA 88], so dass sie sich, auch wenn die Leiterplatten im HERA – B Experiment installiert sind, rekonfigurieren lassen. Diese Re-Programmiering kann ohne großen Aufwand während eines Zugangs zum Experiment erfolgen. Die Aufteilung der Bauteilgruppen ist am Ende dieses Kapitels in Abbildung 6.5 dargestellt. Die Abbildung zeigt die Oberseite der Platine. Die Eingangsstecker befinden sich auf der Rückseite der Platine. Sie sind so angeordnet, dass sie mit den Positionen der Ausgangsstecker der FED-Tochterkarte deckungsgleich sind. Die BSC kann daher direkt auf die Ausgangsstecker der FED-Tochterkarten aufgesteckt werden, wodurch lange Kabelstrecken vermieden werden. Die Eingangsdaten gelangen zu den CPLDs, die die Summation durchführen (in Abbildung 6.5 als LOGIK CPLD I/II bezeichnet). Die Summe wird mit der BX-Nummer versehen, die über die FCS-Backplane (FCS_BP) auf die Leiterplatte gelangt. Dadurch wird eine eindeutige Zuordnung der Summationsdaten zu dem jeweiligen Ereignis im Detektor sichergestellt. Die Summe, die BX-Nummer und das Taktsignal werden an die FED Sum Card (FSC) weitergeleitet. Die Logikpegel der Ausgangssignale werden von TTL nach PECL transformiert (TTL/PECL WANDLER), um die Störsicherheit der Datenübertragung zu verbessern. Aus technischen Gründen, auf die in Abschnitt 7.1 eingegangen wird, wird das LSB[1] der Summe nicht zur FSC übertragen. Über die I^{2}C-Bus-Schnittstelle und die I^{2}C-Bus-Controller-Zustandsmaschine (IIC SLAVE CONTROLER FSM) werden die Kommandoregister auf der BSC gesetzt. Es lassen sich 32-Bit-Blöcke in den CPLDs maskieren, sowie die Datenübertragung der BSC ein- bzw. ausschalten und Statusinformationen abfragen. Die BSC wird mit dem BX-Takt, abgegriffen von der FCS-Backplane, getaktet. Es existiert keine eigene Takterzeugung zur Datenprozessierung auf der BSC. Dadurch wird sichergestellt, dass keine weitere mögliche Quelle für Störsignale in das System eingeführt wird. Der BX-Takt wird verzögert und an die CPLDs verteilt (CLK VERZÖGERUNG VERTEILUNG).

6.2 Beschreibung der Summationslogik und der CPLD-Programmierung

Die Summationslogik ist mit CPLDs realisiert worden, die aufgrund ihrer Architektur besonders zur Implementation kaskadierter Additionsalgorithmen geeignet sind [ALT 00]. Die Anzahl der Addierer halbiert sich von Stufe zu Stufe, während die Anzahl der Bits zur Darstellung der Summanden von Stufe zu Stufe um ein Bit zunimmt. Die Pinlimitierung der benutzten CPLDs erfordert die Aufteilung der 256 Eingangskanäle auf zwei CPLDs, deren Programmierung identisch ist. Die jeweils 128 Eingangsdaten pro CPLD werden intern in 32-Bit-Blöcke unterteilt. In Abbildung 6.1 ist die Schaltung schematisch dargestellt, die die Anzahl der gesetzten Bits eines 32-Bit-Blocks ermittelt. Datenbusse sind durch fett gedruckte Pfeile gekennzeichnet, Steuersignale durch dünn gedruckte. Es findet eine weitere Unterteilung in 4-Bit-Gruppen statt. Mit Hilfe einer Look-Up Table (LUT) wird die Anzahl der gesetzten Bits pro 4-Bit-Gruppe ermittelt. Die Ausgabewerte der LUTs werden in der ersten Summationseinheit (ADDIERER), bestehend aus drei kaskadierten Additionsstufen, summiert. Das Ergebnis wird in einem Register zwischengespeichert. Dieses Register lässt sich durch ein Steuersignal (EN) maskieren. Die hier beschriebene Schaltung wird im weiteren Verlauf als „Block-LUT-Addierer“ bezeichnet.

Um 128 Eingangssignale zu verarbeiten, befinden sich, wie in Abbildung 6.2 dargestellt, vier Block-LUT-Addierer in einem CPLD. Die dünn gedruckten Pfeile zeigen Steuersignale an, die fett gedruckten Datenbusse. Die in den Registern zwischengespeicherten Daten werden in der zweiten Summationseinheit (ADDIERER II), die ebenfalls kaskadiert aufgebaut ist, summiert. Es steht die Zwischensumme der gesetzten Bits aus 128 Eingangskanälen zur Verfügung. Diese kann über einen Multiplexer (MUX) aus dem CPLD herausgeführt werden, um in dem anderen CPLD als Summand in die letzte Summationsstufe der BSC (ADDIERER III) eingeführt zu werden. Das Endergebnis wird für die Dauer eines BX-Zyklus zwischengespeichert (REGISTER).

[1]Least Significant Bit engl. für unsignifikantestes Bit

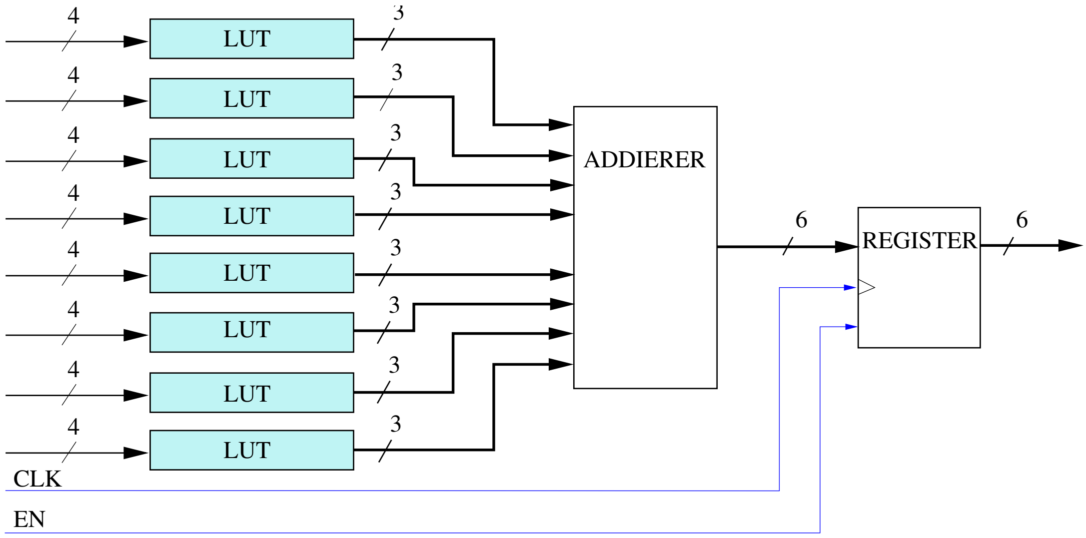

Abb. 6.1: Schematische Darstellung der Schaltung zur Summation der gesetzten Bits in einem 32-Bit-Block. Fett gedruckte Pfeile zeigen die Daten an, dünn gedruckte die Steuersignale. In 4-Bit-Gruppen wird mit Hilfe einer LUT die Anzahl der gesetzten Bits ermittelt. Die Ausgabewerte der LUTs werden an die erste kaskadiert aufgebaute Summationseinheit (ADDIERER) weitergegeben. Mit dem Taktsignal (CLK) wird das Ergebnis in einem REGISTER zwischengespeichert. Das Register lässt sich mit Hilfe eines Ein-/Ausschaltsignals (EN) maskieren.

6.3 Funktionstests der BSC

6.3.1 Beschreibung des Testprinzips

Die hier beschriebenen PC-gestützten Tests stellen die Funktionalität der zu testenden Leiterplatte auf Bitniveau sicher. Den Tests liegt folgendes generelles Testprinzip zugrunde. Die Schaltungssimulationen, die während der Entwicklung der Leiterplatte durchgeführt werden, liefern die nominelle zeitliche und logische Verhaltensbeschreibung der Schaltung. Mit Hilfe der Simulationsdaten wird eine Stimulusdatei erzeugt, die die Eingangsdaten der zu testenden Leiterplatte abbildet. Diese Daten werden von der zu testenden Leiterplatte prozessiert. Die Resultate der Prozessierung werden zwischengespeichert und mit den Daten einer Referenzdatei verglichen. In der Referenzdatei befinden sich die auf der Simulation basierenden erwarteten Prozessierungsergebnisse zu den in der Stimulusdatei eingetragenen Werten. Das Vergleichsergebnis wird zusammen mit der Angabe eventueller Fehler in einer Log-Datei dokumentiert. Die Abbildung des Zeitverhaltens der Eingangsdaten und Taktsignale wird durch spezielle Testmodule sichergestellt. Die Stimulusdatei wird so erstellt, dass Hardwaredefekte, wie z. B. fehlerhafte Bausteine, Platinenfertigungsdefekte oder fehlerhafte Lötkontakte aufgedeckt und auf der Leiterplatte lokalisiert werden können. Der Aufwand zur Erstellung der Stimulusdatei nimmt bei komplexen Schaltungen mit vielen aktiven Bauelementen und / oder einer hohen Zahl an Verbindungen zwischen den Bauelementen stark zu.

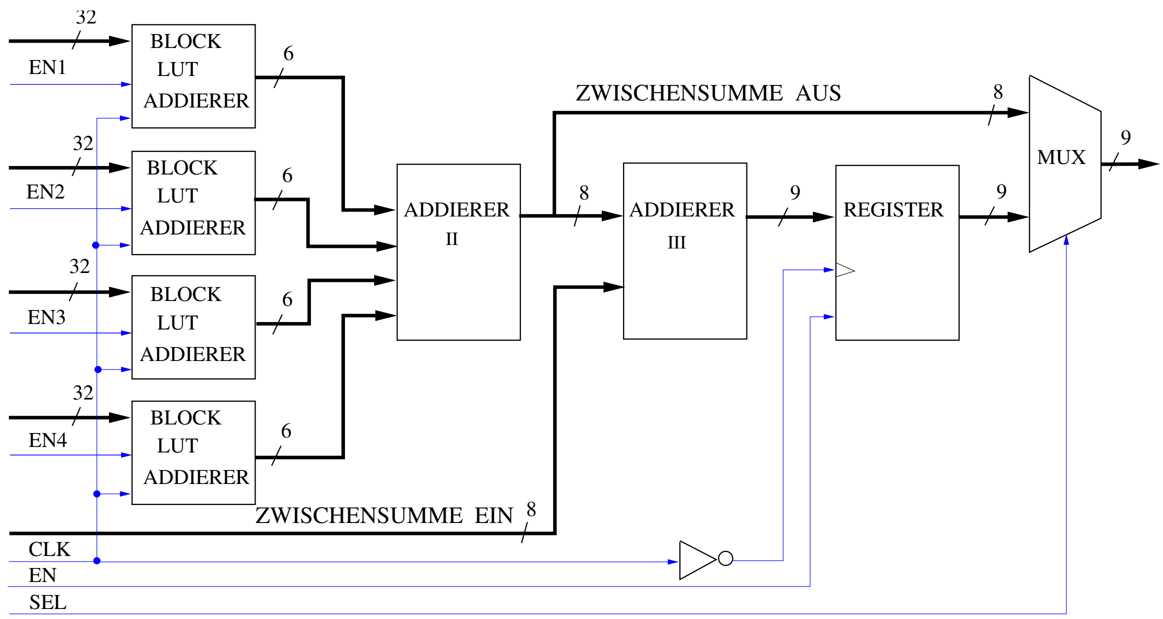

Abb. 6.2: Schematische Darstellung der Programmierung des Summations-CPLDs der BSC. Fett gedruckte Pfeile zeigen Datenbusse an, dünn gedruckte Pfeile Steuersignale. Die Ergebnisse der Block-LUT-Addierer werden in der zweiten Summationseinheit (ADDIERER II) summiert. Das Zwischenergebnis kann über einen Multiplexer (MUX) aus dem CPLD herausgeführt werden. Es dient dem anderen CPLD als Summand der letzten Summationsstufe (ADDIERER III). Über Steuersignale lassen sich die Block-LUT-Addierer maskieren, sowie die Ausgabe des Multiplexers selektieren.

6.3.2 Beschreibung der Testmodule

Zur Durchführung der Tests wurde zum einen auf bereits für den Test des Myon-Pretriggers [Böc 01] entwickelte Testmodule zurückgegriffen, zum anderen mussten spezielle Testmodule entwickelt werden, um den Anforderungen der Testdurchführung gerecht zu werden. Die wichtigsten Testmodule für den Test der BSC werden im Folgenden kurz beschrieben.

Das Pretrigger FED Simulator Board (PFEDS) [Kol 99] emuliert das reale Zeitverhalten [Sch 01] von 11 FED-Tochterkartenkanälen sowie der Schnittstelle der FCS-Tochterkarte im HERA – B FED-System. Es besitzt eine VME-Schnittstelle, über die die Stimulusdateien in die DPRAMs des PFEDS geladen werden können. Desweiteren werden der BX-Takt, die BX-Nummer sowie das Reset-Signal vom PFEDS generiert. Die Daten werden mit 10,4 MHz, markiert mit der BX-Nummer, synchron zum BX-Takt kontinuierlich ausgegeben.

Die Base Sum Test Card (BSTC) [Kol 01b] ist, speziell den Anforderungen der BSC entsprechend, entwickelt worden, um die Ausgangsdaten der BSC zu empfangen und in FIFOs zu speichern. Sie besitzt vier unabhängige Kanäle, die über eine VME-Schnittstelle ausgelesen werden können. Die Speichertiefe der FIFOs entspricht 4096 Datenworten.

Ein I^2C-Bus-Adapter wird zum Beschreiben der Kommandoregister und zum Auslesen des Statusregisters der BSC benutzt. Er übersetzt das VME-Protokoll mittels der in Abschnitt 5.3.2 beschriebenen Schaltung in das Ansteuerungprotokoll des I^2C-Bus-Controllers.

6.3.3 Funktionstest der BSC mit Stimulusdateien

Testaufbau

Der Testaufbau zur Durchführung der Funktionstests mit Stimulusdateien ist in Abbildung 6.3 schematisch dargestellt. Er besteht aus einem VME-Crate, in dem sich alle Module befinden, die über VME-Schnittstellen angesprochen werden (PFEDS, BSTC, I^2C-Bus-Adapter) und dem FED-Crate, in dem sich die BSC befindet. Ein Einzel-Board-Computer (VME-CPU[2]) [CET 00], der außer einer eigenen Festplatte alle Komponenten eines PCs aufweist und zusätzlich den VME-Bus ansteuert, befindet sich in dem VME-Crate. Er ist über die Backplane (P1_BP) mit den VME-Modulen und über Ethernet mit einem PC verbunden. Die Stimulusdateien werden an dem PC erzeugt und über die VME-CPU in die DPRAMs des PFEDS geschrieben. Nach dem Start der Emulation werden die Stimulusdaten über Flachbandkabel zur Connector Adapter Card[3] (CAC) im FED-Crate übertragen. Die CAC arrangiert die Anordnung der Verbindungsstecker so, dass die Daten der Flachbandkabel an die Eingangsstecker der BSC gelangen. Auf die zweite Backplane im VME-Crate (P2_BP) wird vom PFEDS das Takt- und Reset-Signal sowie die BX-Nummer gegeben. Mit Hilfe der Backplane Adapter (BP_ADAPTER) werden die Signale in den FED-Crates an die Backplane weitergegeben, die im HERA−B Experiment die FCS-Signale führt (FCS_BP). Von dort gelangen sie auf die BSC. Die Ausgangsdaten der BSC werden über Flachbandkabel an die BSTC übertragen, um dort in den FIFOs gespeichert zu werden. Die VME-CPU liest die Daten aus den FIFOs aus, sobald alle Speicherplätze beschrieben sind.

Testdurchführung

Jeder PFEDS-Kanal überträgt 32 Datenbits. Jeweils ein Kanal erhält die Daten einer Stimulusdatei und stellt diese einem Block-LUT-Addierer zur Verfügung. Es werden also acht Stimulusdateien benötigt, um alle 256 Eingangssignale der BSC zu testen. Die in diesem Test verwendeten Stimulusdateien sind identisch. Sie bestehen aus 16 32-Bit-Worten. Die Anzahl der gesetzten Bits pro Wort zählt von 1 bis 16 hoch, wobei die Position der Bits so von Wort zu Wort verändert wird, dass jede Bitposition in dem 32-Bit-Wort mindestens einmal einzeln, also ohne ein gesetztes Nachbarbit, getestet wird. Durch Ausmaskieren von bis zu sieben Block-LUT-Addierern können Summen von eins bis 128 auf der BSC erzeugt werden. Durch die spezielle Wahl der Stimulusdatei lassen sich Kurzschlüsse der Eingangssignale feststellen und alle Bits der Ausgangssumme, bis auf das LSB und MSB[4], testen. Das LSB wird, wie bereits erwähnt, aus technischen Gründen nicht übertragen und kann daher auch nicht getestet werden. Das MSB wird mit dieser Testprozedur nicht erfasst. Es entspricht dem Wert 256. Die maximale Summe der gesetzten Bits ist 128. Auf die Übertragung von 32 gesetzten Bits

[2]Central Processing Unit engl. für zentrale Recheneinheit
[3]Stecker-Adapter-Karte
[4]Most Significant Bit engl. für Signifikantestes Bit

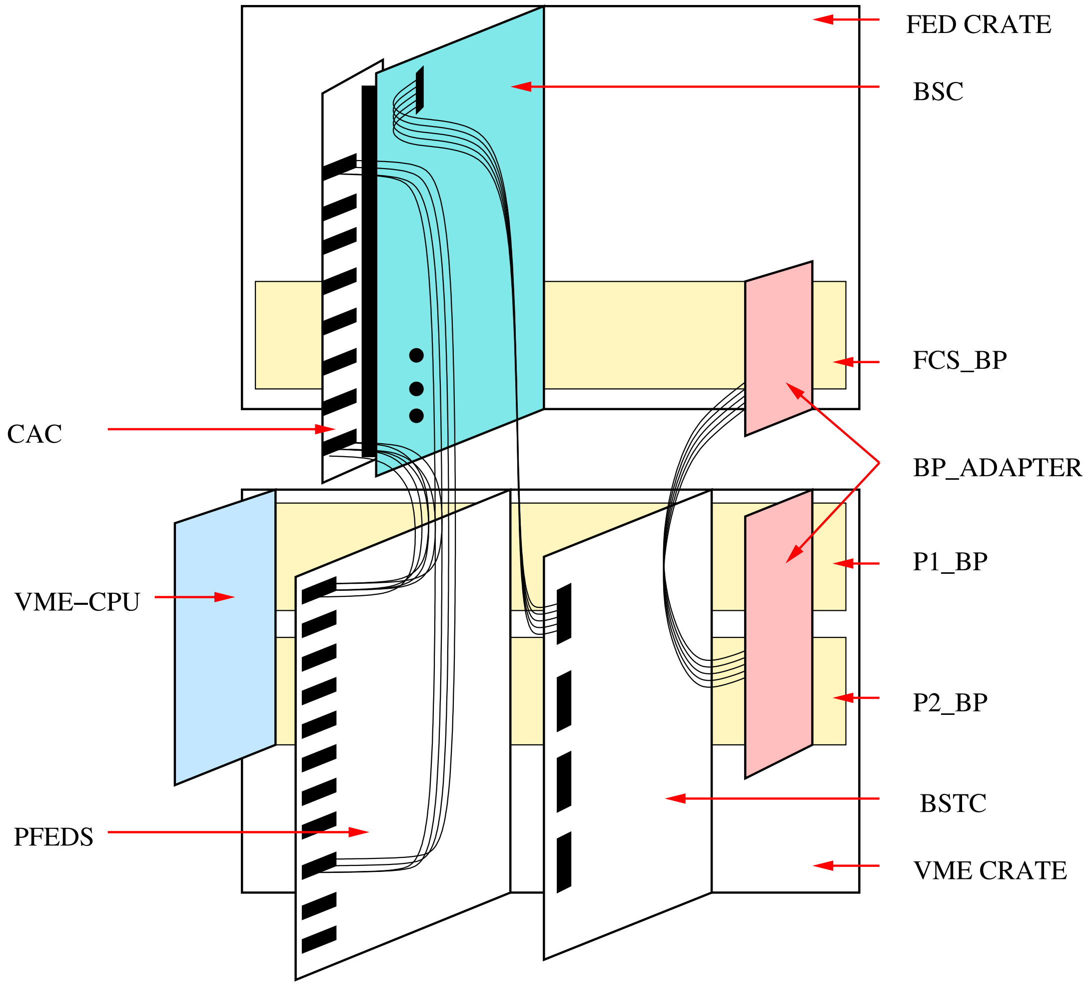

Abb. 6.3: Schematische Darstellung des Testaufbaus zum Funktionstest der BSC mit Daten aus Stimulusdateien. Die VME-CPU leitet die Daten der Stimulusdatei an das PFEDS. Von dort gelangen sie über Flachbandkabel und die Connector Adapter Card (CAC) auf die BSC. Der Takt und die BX-Nummer werden über die BP_ADAPTER in das FED-Crate übertragen. Die Ausgangsdaten der BSC werden auf der BSTC in FIFOs gespeichert, bevor sie von dort über die VME-CPU ausgelesen werden. Der I^2C-Bus-Adapter, über den die Kommandoregister der BSC beschrieben und die Statusregsieter ausgelesen werden, ist der Übersichtlichkeit halber nicht in der Abbildung enthalten.

pro PFEDS-Kanal wird verzichtet, da, wie Untersuchungen zur Datenübertragung mit Flachbandkabeln im Myon-Pretriggersystem ergeben haben [Kla 00], die Flachbandkabelübertragungen, bei denen auf allen Leitungen Bits gesetzt sind, problematisch sind. Dieses Fehlverhalten wird in [Kla 00] als Überschwappen bzw. Leakage bezeichnet und würde zu nicht reproduzierbaren Ergebnissen führen. Das MSB wird mit einem anderen später beschriebenen Testaufbau überprüft. Die korrekte Übertragung der BX-Nummer wird ebenfalls kontrolliert.
Auf der VME-CPU wird nach dem Start der Emulation ein Programm aufgerufen,

das die Daten der FIFOs ausliest und sowohl Summe wie zugehörige BX-Nummer mit den Werten aus der jeweiligen Referenzdatei vergleicht. Dazu wird in den Daten des FIFOs nach der BX-Nummer 0x00 gesucht und das zugehörige Datenwort als Startpunkt gewählt. Die BX-Nummer zählt von 0 bis 255 durch, bevor sie wieder bei 0 beginnt. Die Markierung des ersten zu überprüfenden Datenworts mit der BX-Nummer 0x00 führt dazu, dass im ungünstigsten Fall nur 3841 von 4096 Datenworten des FIFOs überprüft werden. Die Anzahl der FIFO-Auslesen, der überprüften Datenworte und der gefundenen Fehler werden in einer Log-Datei dokumentiert. Sind die Eingangskanäle und Ausgangskanäle der BSC überprüft, wird ein Test durchgeführt, bei dem über längere Zeit die Berechnung der BSC-Summen aus den Stimulusdateien kontrolliert wird. Dazu werden 100 000 mal die FIFOs ausgelesen. Die Speichertiefe des FIFOs beträgt 4096 Datenworte. Es werden also mindestens 3 841 000 Datenworte überprüft. Die Datenworte setzen sich aus acht Summenbits und acht Bits der BX-Nummer zusammen. Tritt kein Fehler bei diesem Test auf, ist die Bitfehlerrate kleiner als $1,6 \cdot 10^{-8}$, wobei die Zahl der Auslesen nur durch die pro Test zur Verfügung stehende Zeit limitiert ist. Bei fehlerfreiem Durchlauf dieses Tests wird die BSC einer weiteren Testprozedur unterzogen, die im nachfolgenden Abschnitt beschrieben wird.

6.3.4 Test der BSC mit Komponenten des HERA – B FED-Systems

Testaufbau

Um die Schnittstelle zwischen BSC und FED-Tochterkarte zu testen, wird ein Test mit den gleichen FED-Komponenten durchgeführt, wie sie auch im RICH-FED-System verwendet werden. Dazu wird im Labor das HERA – B FCS und das FED-System mit der minimal benötigten Anzahl an Komponenten in Betrieb genommen. Das FCS bietet im Zusammenhang mit dem FED-System die Möglichkeit die BSC zu testen. Diese Tests sind weit weniger flexibel als die Tests mit den Stimulusdateien, können diese daher auf keinen Fall ersetzen. Sie bieten jedoch eine gute Ergänzung und sind im HERA – B Experiment die einzige Möglichkeit, die installierten Komponenten zu testen. In Abbildung 6.4 ist der Testaufbau schematisch dargestellt. Er besteht aus einem VME-Crate und einem FED-Crate. In dem VME-Crate befindet sich eine VME-CPU, die über die Backplane (P1_BP) mit der FCS-Mutterkarte kommuniziert. Über Flachbandkabel gelangen die Daten der FCS-Mutter an die FCS-Tochter im FED-Crate. Neben der FCS-Tochter befindet sich eine FED-Mutter. Die BSC ist direkt auf eine FED-Tochterkarte aufgesteckt. Über ein Flachbandkabel ist die BSC mit der BSTC verbunden. Diese wird über die VME-Schnittstelle ausgelesen.

Testdurchführung

Drei unterschiedliche Testmuster können auf den FED-Tochterkarten erzeugt werden. Es können alle Bits oder jedes zweite Bit gesetzt werden, wobei ein Testmuster existiert, in dem alle geraden Bits gesetzt sind und eines, in dem alle ungeraden Bits gesetzt sind. Die Auswahl des Testmusters geschieht über die FCS-Mutterkarte durch Einschalten bestimmter statischer Steuersignale (Strobe Pattern) auf den FCS-Tochterkarten. Es

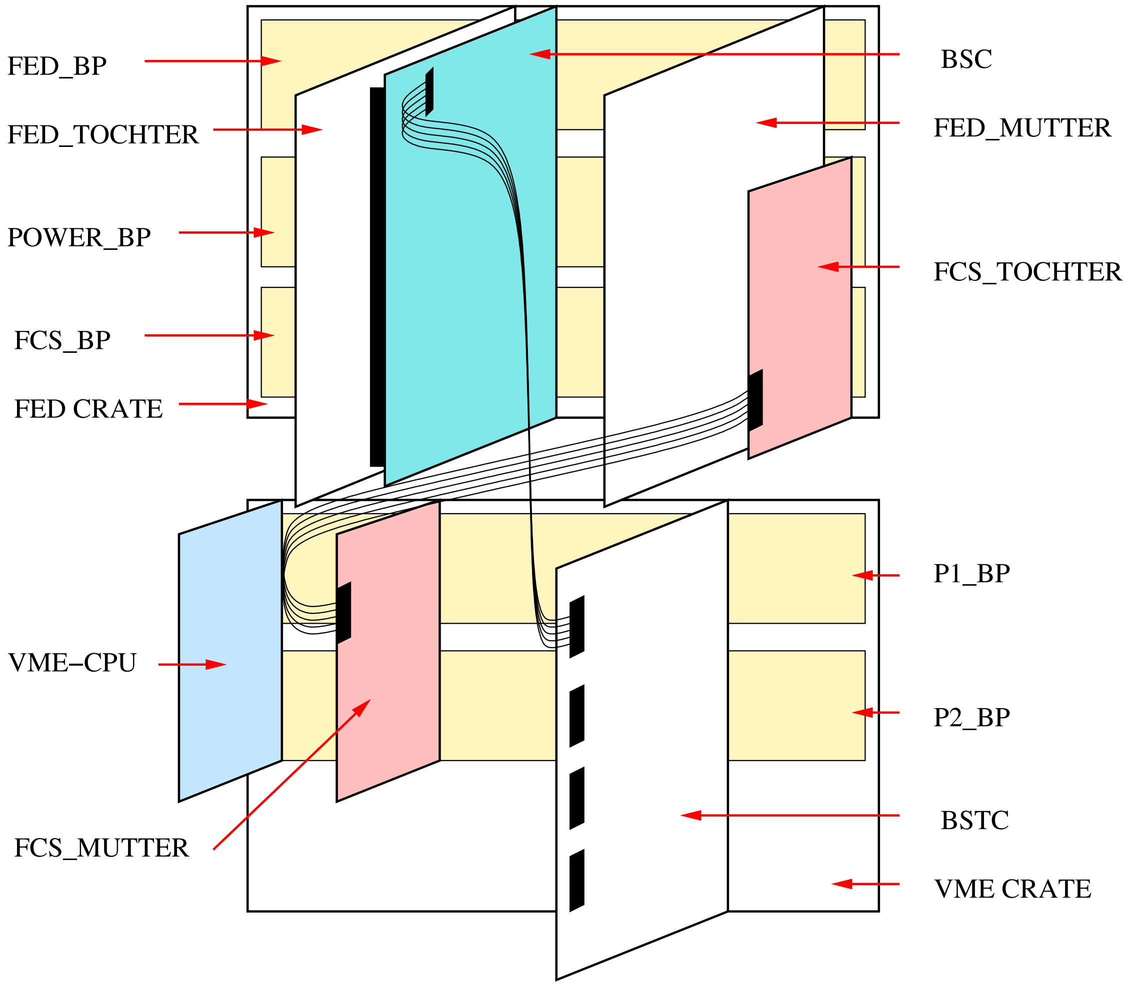

Abb. 6.4: Der Testaufbau besteht zum Großteil aus original HERA – B Komponenten. Von der VME-CPU erhält die FCS_MUTTER Instruktionen. Die Daten der FCS_MUTTER werden an die FCS_TOCHTER weitergeleitet. In dem FED-Crate befindet sich eine FED_MUTTER und eine FED_TOCHTER. Die BSC ist direkt auf die FED_TOCHTER aufgesteckt. Über ein Flachbandkabel ist die BSC mit der BSTC verbunden, welche über die VME-CPU ausgelesen werden kann.

lassen sich einzelne FCS-Tochterkarten, eine Gruppe (Cluster) von FCS-Tochterkarten oder das ganze FCS des HERA – B Experiments adressieren. Die Signale gelangen von der FCS-Tochterkarte über die FCS-Backplane an die FED-Karten, wobei die FED-Mutterkarte die FED-Tochterkarten in den Testmodus versetzt. Ein Testpuls veranlasst die FED-Tochterkarten die Daten auszugeben. In einem speziellen Modus wird der Testpuls zu einer festen BX-Nummer modulo 32 erzeugt. Wenn kein Testpuls erzeugt wird, ist kein Bit an den Ausgängen der FED-Tochterkarten gesetzt. Die Testpulserzeugung lässt sich über die FCS-Mutter auf den adressierten FCS-Tochterkarten ein- bzw. ausschalten. Für eine Beschreibung der FED-Mutterkarte bzw. FED-Tochterkarten wird auf [MSC98b] und [MSC98a] verwiesen. Eine detaillierte Beschreibung der Erzeugung der Testpulse und Strobe-Pattern ist in [Ful 99] nachzulesen.

Mit den so erzeugten Daten werden ebenfalls 100 000 FIFO-Auslesen durchgeführt, die mit den dafür vorgesehenen Referenzdateien verglichen werden. Treten bei diesen Tests keine Fehler auf, wird die BSC als funktionsbereit eingestuft.

6.3.5 Latenzzeitmessung

Zum Abschluss wird die Latenzzeit der BSC gemessen. Die Messpunkte sind jeweils die aufsteigenden Flanken eines Dateneingangs- und eines Datenausgangssignals der BSC. Systematische Untersuchungen haben ergeben, dass die Flankensteilheit insbesondere bei den Daten, die über das Flachbandkabel übertragen werden, von der Anzahl der gesetzten Bits abhängt. Aufgrund dieser Untersuchungen wird der Fehler der Messung auf ± 2 ns abgeschätzt. Die Latenzzeit beträgt 135 ± 2 ns.

6.4 Zusammenfassung

In diesem Kapitel wurde die Funktionalität der BSC erläutert. Die Testaufbauten und -prozeduren wurden erklärt. Zum Test wurden sowohl ein spezieller Testaufbau mit Stimulusdateien als auch die echte FED-Hardware verwendet. Alle im HERA – B Experiment installierten BSCs haben die hier aufgeführten Tests durchlaufen und sind als funktionsbereit eingestuft worden. Die Bitfehlerrate der Summenberechnung und Datenübertragung der getesteten Leiterplatten ist sowohl im Tests mit Stimulusdateien als auch im Test mit der echten FED-Hardware geringer als $1{,}6 \cdot 10^{-8}$, wobei dies Limit durch die pro Leiterplatte zur Verfügung stehende Zeit zur Testdurchführung gegeben ist. Die Latenzzeit der BSC beträgt 135 ± 2 ns.

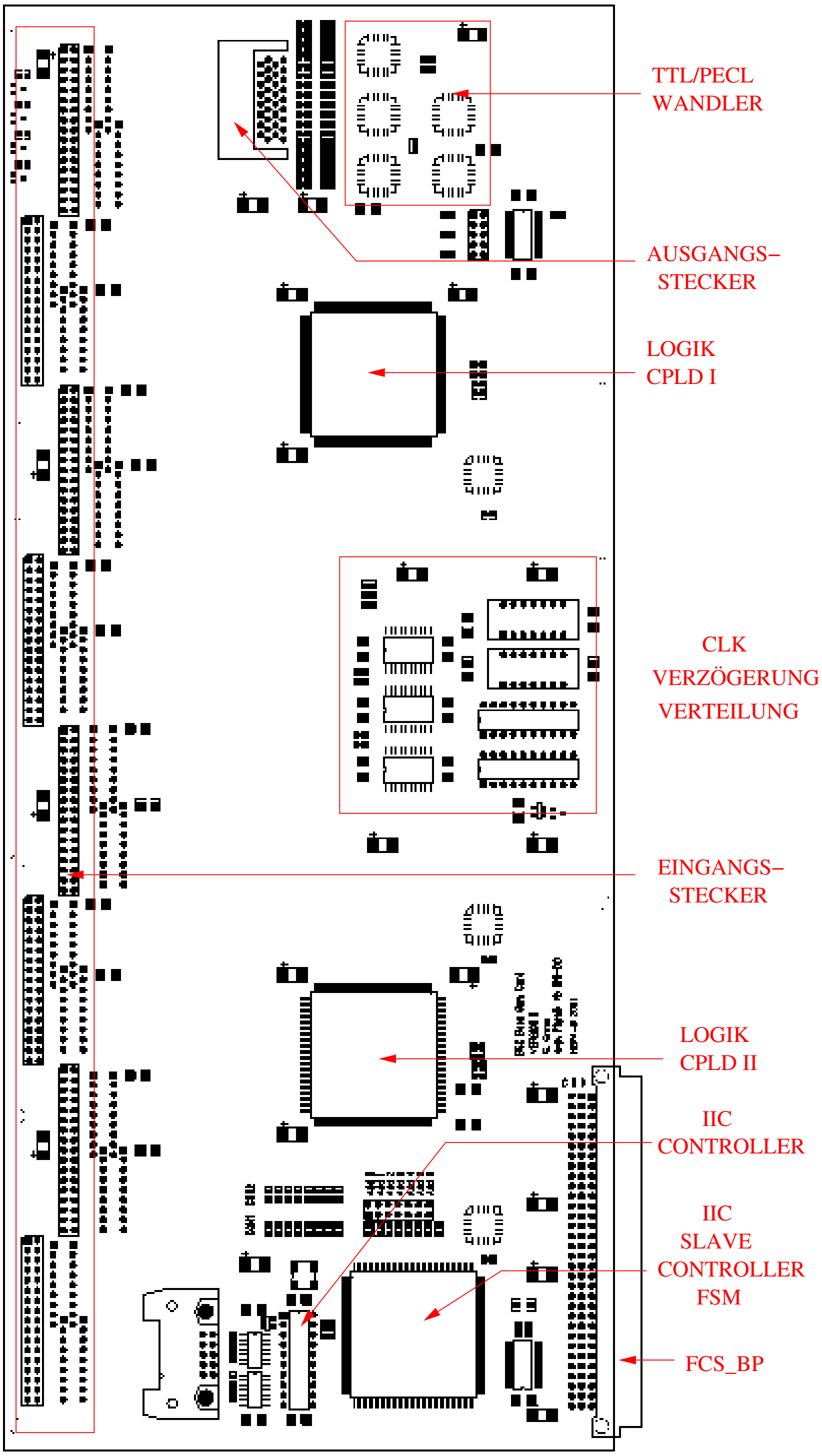

Abb. 6.5: Die Oberseite der BSC-Platine. Die Anordnung der Bauteilgruppen ist dargestellt. Die Größe der Platine ist nicht massstäblich wiedergegeben.

Kapitel 7

Die FED Sum Card (FSC)

In dem modular aufgebauten RICH-Multiplizitätsveto-System werden die auf den einzelnen Modulen gebildeten Summen immer an das nachfolgende Modul weitergeleitet, um so, durch Aufaddieren der Zwischensummen der einzelnen Module, die Anzahl der Photonen im RICH zu erhalten. Die FED Sum Card (FSC) addiert die Summen der Base Sum Cards (BSCs) eines FED-Crates. Sie erhält von bis zu acht BSCs Daten und kontrolliert die Synchronisation der BX-Nummern, mit denen die Summen der einzelnen BSCs markiert sind. Das Summationsergebnis wird zusammen mit der BX-Nummer und der Auswertung des BX-Nummernvergleichs über Flachkabel oder auf optischem Wege übertragen. Dieses Kapitel beschreibt den Aufbau der Leiterplatte und die Programmierung der CPLDs, mit Ausnahme des CPLDs zur Ansteuerung des I^2C-Bus-Controllers, der in Abschnitt 5.3.1 beschrieben wurde. Weiterhin wird die optische Übertragungsstrecke erläutert, bevor die Testaufbauten und -prozeduren zur Überprüfung der Funktionalität der FSC beschrieben und Ergebnisse der Testmessungen präsentiert werden.

7.1 Beschreibung der Funktionalität der FSC

In Abbildung 7.6 ist der Aufbau der Leiterplatte und die Anordnung der Bauteile auf der Oberseite der FSC-Platine dargestellt. Die im folgenden Abschnitt in Klammern gesetzten oder mit Großbuchstaben geschriebenen Ausdrücke, mit Ausnahme der Akronyme, beziehen sich auf Abbildung 7.6. Über die Eingangsstecker erhält die FSC die Daten der BSCs. Die Stecker sind, um eine optimale Raumaufteilung zu gewährleisten, alternierend auf der Ober- und Unterseite an der Front der Platine angebracht. Die Stecker, die eine hohe Pindichte aufweisen, besitzen 34 Anschlusspins. Da die Daten der BSCs differentiell übertragen werden, d. h. für die Übertragung eines Datensignals zwei Leitungen benötigt werden, können 17 Daten pro Stecker übertragen werden. Diese setzen sich zusammen aus acht Bits der BX-Nummer, dem Taktsignal und acht von neun Bits der BSC-Summe. Um das LSB der Summe übertragen zu können, müsste aus Konfektionsgründen ein Stecker gewählt werden, der 50 Anschlusspins besitzt. Selbst bei gleicher Anordnung der Stecker auf Ober- und Unterseite der Platine reicht dazu der verfügbare Platz an der Front der Platine nicht aus (siehe auch Kapitel 8.1). Daher wird das LSB der Summe nicht übertragen. Die Logiklevel der Eingangssignale

werden von PECL nach TTL konvertiert (PECL/TTL WANDLER) und gelangen zu den CPLDs, die die Summationsalgorithmen und den BX-Nummernvergleich enthalten. Die LSBs der BSC-Summen werden, mit konstantem Wert null, den jeweiligen Summendaten zugefügt, bevor diese in das CPLD gelangen.
Es existieren zwei parallel arbeitende Prozessierungskanäle auf der FSC. Einer überträgt die Daten der FSC mittels eines Flachkabels mit 50 paarweise verdrillten Leitungen zum VB, der andere benutzt eine optische Übertragungsstrecke. Die Prozessierung der Daten auf der FSC geschieht in separaten CPLDs. Ein CPLD (LOGIK CPLD) ist auf der Oberseite der Platine platziert, das andere, deckungsgleich mit dem ersten, auf der Unterseite. Durch diese Anordnung wird die Leiterbahnenlänge auf der Platine minimiert. Die Wandlung der elektrischen Signale in optische geschieht mit Hilfe der ELEKTRO / OPTO-WANDLERSCHALTUNG, die später erläutert wird. Die FSC besitzt, wie die BSC, keinen Taktbaustein, der den Takt zur Datenprozessierung liefert. Das Taktsignal einer der bis zu acht BSCs, die dieses von der FCS-Backplane erhalten, wird mit Hilfe von PLL-Bausteinen [Int 00] (PLL TAKTERZEUGUNG) verdoppelt und vervierfacht und anschliessend an die CPLDs und die Elektro / Opto-Wandlerschaltung verteilt (CLK VERZÖGERUNG VERTEILUNG). Ein Teil der Bauelemente benötigt eine Versorgungsspannung von 3,3 V, die in den FED-Crates nicht bereitgestellt wird. Diese wird auf der FSC mittels eines DC/DC-Konverters [Tex 00] erzeugt. Über die I^2C-Bus-Schnittstelle kann mit der FSC kommuniziert werden. Es lassen sich die Parameter der Elektro / Opto-Wandlerschaltung einstellen, ein Referenzwert zur Erzeugung eines Veto-Signals (FAST VETO) programmieren und Statusinformationen abfragen. Die EPROMs, mit denen die CPLDs programmiert werden, lassen sich über eine JTAG-Schnittstelle rekonfigurieren.

7.1.1 Programmierung der CPLDs

In diesem Abschnitt werden die Programmierungen der CPLDs erläutert, die die Summationsalgorithmen und die Schaltung zur Kontrolle der Synchronisation der BX-Nummern enthalten.
In Abbildung 7.1 ist schematisch die Schaltung des CPLDs dargestellt, das die Daten für die Flachkabelübertragung bereitstellt. Die im folgenden Text auftretenden Klammerausdrücke beziehen sich auf diese Abbildung. Dünn gedruckte Pfeile stellen Steuersignale dar, fett gedruckte Datenbusse. Die Schaltung besteht aus zwei Logikblöcken. Der mit BX VERGLEICH markierte Logikblock erhält als Eingangsdaten die BX-Nummern der acht Eingangskanäle (BX I..VIII). Diese werden mit dem jeweiligen Taktsignal der BSC (CLK 1..8) in separaten Eingangsregistern gespeichert. Die BX-Nummer zum ersten Eingangskanal, BX I, ist nochmals aufgeführt, um anzuzeigen, dass diese an das VB weitergeleitet wird. Die Eingangsregister lassen sich einzeln maskieren (ACLR 1..8). Die globalen Taktsignale (GLOB_CLK 1..2) sind in Relation zu den Taktsignalen der BSCs (CLK 1..8) um 20 ns verzögert, um die Setup-Zeit der nachfolgenden Komparatorstufe zu gewährleisten und leichte Verschiebungen zwischen den Taktsignalen der Eingangskanäle (CLK 1..8) aufzufangen. Es wird jeweils die BX-Nummer des ersten Kanals mit der des zweiten, die des dritten mit der des vierten, die des fünften mit der des sechsten und die des siebten mit der des achten verglichen. Das Ergebnis der Komparatoren wird an einen Enkoder gegeben, der daraus eine 3-Bit Fehlernachricht generiert (ERR).

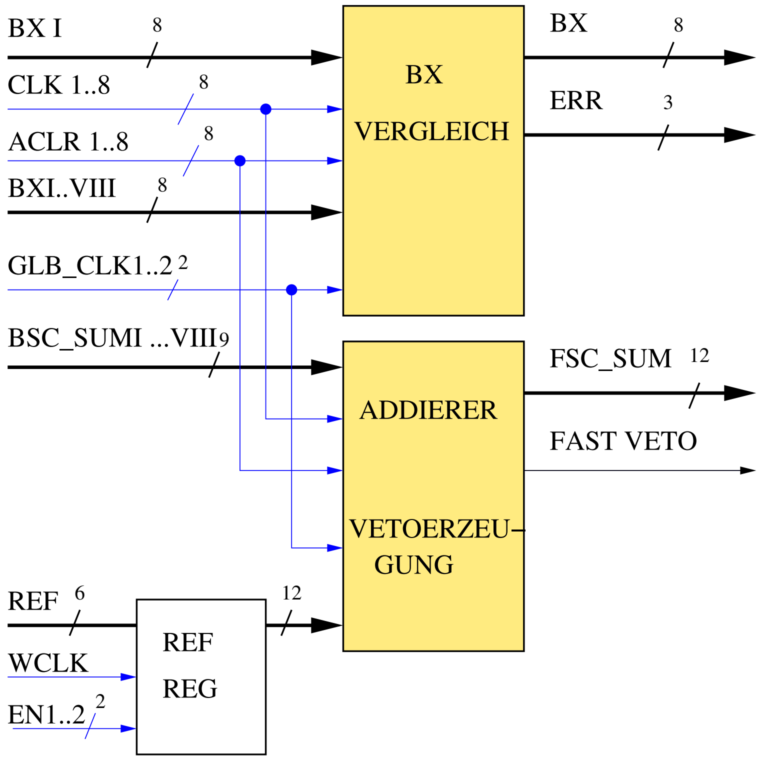

Abb. 7.1: Schematische Darstellung der CPLD-Programmierung, die die Summationsalgorithmen und den BX-Nummernvergleich auf der FSC ausführt und die Ergebnisse an die Ausgangsstufe zur Flachkabelübertragung weiterleitet. Dünn gedruckte Pfeile zeigen Steuersignale an, fett gedruckte Pfeile stehen für Datenbusse. Das CPLD erhält als Eingangsdaten die BSC-Summen (BSC_SUM I..VIII) und die BX-Nummern (BX I..VIII) von acht BSCs. Der BX-Nummernvergleich geschieht in dem mit BX VERGLEICH bezeichneten Logikblock. Ein Enkoder generiert bei nicht identischen BX-Nummern eine Fehlernachricht (ERR). Die Summation findet in dem mit ADDIERER VETOERZEUGUNG bezeichneten Logikblock statt. Das Endergebnis (FSC_SUM) und die Fehlernachricht werden mit der BX-Nummer (BX) markiert. Durch Vergleich der Endsumme mit einem programmierbaren Referenzwert (REF REG), lässt sich ein Veto-Signal generieren (FAST VETO).

Die Summendaten (BSC_SUM I..VIII) der BSCs gelangen in die Eingangsregister des mit ADDIERER VETOERZEUGUNG beschriebenen Logikblocks. Die LSBs der Summen sind auf Null gesetzt. Die Eingangsregister lassen sich ebenfalls kanalweise maskieren (ACLR 1..8). Eine kaskadierte Summationsstufe addiert die Eingangssummen und gibt sie aus (FSC_SUM). Über die I^{2}C-Bus-Schnittstelle lässt sich, wie in Abschnitt 5.3.1 beschrieben, das Referenzregister (REF REG) mit einem Referenzwert (REF) programmieren. Der Referenzwert wird, aufgrund der Pinlimitierung des CPLDs, in zwei Zyklen in das Referenzregister geschrieben. Die Taktsignale und Steuersignale (WCLK und EN 1..2) werden von der Zustandsmaschine in dem I^{2}C-Bus-Controller-

CPLD erzeugt. Der Wert des Referenzregisters wird mit der Ausgangssumme (FSC_SUM) verglichen. Ist die Summe größer oder gleich dem Referenzwert, wird ein Veto-Signal (FAST VETO) erzeugt, das für einen BX-Zyklus zwischengespeichert wird. In Abbildung 7.2 ist die Schaltung des CPLDs dargestellt, das die Daten für die Elektro / Opto-Wandlerschaltung liefert. Die im folgenden Text auftretenden Klammerausdrücke beziehen sich auf diese Abbildung. Die dünn gedruckten Pfeile symbolisieren Steuersignale, die fett gedruckten zeigen Datenbusse an. Die Schaltung hat prinzipiell die gleiche Aufgabe, wie die Schaltung, die die Daten zur Flachkabelübertragung liefert. Sie enthält einen Logikblock, der die Synchronisation der BX-Nummern überprüft (BX VERGLEICH), und einen weiteren, der die Addition der BSC-Summen (BSC_SUM I..VIII) ausführt (ADDIERER). Es wird kein Fast-Veto-Signal erzeugt. Ein weiterer Unterschied liegt in der Datenausgabe. Die Ausgangsdaten (DATEN) des CPLDs werden an einen Serialisierungsbaustein weitergegeben, der eine 16 Bit breite parallele Eingangsschnittstelle besitzt. Die Ausgangsdaten werden in zwei Zyklen, jedoch mit dem vierfachen HERA-Takt übertragen. Dazu werden die Daten in zwei 16-Bit-Worten zusammengefasst. Die Summe (FSC_SUM), 12 Bits markiert mit der Zahl 0xC, bildet ein 16-Bit-Wort, die BX-Nummer mit dem Vergleichsergebnis, zusammen 12 Bits, mit der Zahl 0xA markiert, bilden das zweite 16-Bit-Wort. Auf der Empfangsseite werden die optischen Signale in elektrische umgewandelt, parallelisiert und gespeichert. Die Markierung der Datenworte dient der Empfangsschaltung zur Unterscheidung des Summen- und BX-Nummernwortes. Ein Multiplexer (MUX) wählt die 16-Bit-Worte aus, die an die Elektro / Opto-Wandlerschaltung gesendet werden. Es wird zuerst das 16-Bit-Wort übertragen, das die Summe enthält, dann das 16-Bit-Wort, welches die BX-Nummer und die Komparatordaten enthält. Anschließend werden zwei „Dummy"-Worte ausgewählt, die konstant die Werte 0x0 besitzen. Das TXDATA-Signal dient zur Unterscheidung von Daten- und Dummy-Worten.
Die Schaltung, die den BX-Nummernvergleich (BX VERGLEICH) durchführt, ist in weiten Teilen analog zu der des CPLDs für die Verarbeitung der Daten zur Flachkabelübertragung aufgebaut, mit dem einzigen Unterschied, dass die Komparatordaten direkt übertragen und nicht von einem Enkoder kodiert werden. Die acht Eingangskanäle der FSC lassen sich separat maskieren (ACLR 1..8).

7.1.2 Die Elektro / Opto-Wandlerschaltung

In diesem Abschnitt wird die Elektro / Opto-Wandlerschaltung erläutert. Zum Aufbau von Halbleiter-Laserdioden und deren Kennlinien, Temperaturdrift und Ansteuerung wird auf entsprechende Literatur, z. B. [Lut86, Hei85, Hes 97] oder [Hon 98], verwiesen. Die Elektro / Opto-Wandlerschaltung hat die Aufgabe, die Ausgangsdaten des CPLDs zu serialisieren und die elektrischen Signale in optische Signale umzuwandeln. Diese werden mit einer Rate von 0.833 GBit / s über einen Lichtwellenleiter (LWL) übertragen. Die Vorteile der optischen Übertragung sind zum einen der geringe Platzbedarf des LWLs und zum anderen die Unempfindlichkeit der optischen Signale gegen elektromagnetische Störungen. Die Nachteile sind die, durch die senderseitige Serialisierung und empfangsseitige Parallelisierung der Daten, erhöhte Latenzzeit der Übertragungsstrecke und der technisch anspruchsvollere Aufbau der Schaltung. Die hochfrequenten seriellen Signale bedingen ein besonders gründliches Vorgehen bei der Bauteilplatzierung und

Leiterbahnführung auf der Platine [MAX 00a], um eine fehlerfreie Übertragung der Signale zu ermöglichen.
Der Serialisierungsbaustein[1] ist speziell für die Verwendung in optischen Übertragungsstrecken konzipiert. Er besitzt eine 16 Bit breite parallele Schnittstelle. Die parallele Datenwortrate liegt bei 41,664 MHz, dem Vierfachen des HERA-Taktes. Die hohe Datenwortrate wird motiviert durch die Minimierung der Latenzzeit der Serialisierung und Parallelisierung der Daten in dem Sende- und Empfangsbaustein[2]. Die Latenzzeit beträgt 4,4 Taktzyklen, was bei einer Datenwortrate von 41,664 MHz 105,6 ns und bei einer Datenwortrate von 10,416 MHz, dem HERA-Takt, 422,4 ns entspricht. Da die Funktionalität des RICH-Multiplizitätsveto-Systems stark von der Latenzzeit abhängt, ist die Verwendung einer hohen Datenwortrate unumgänglich. Der Serialisierungsbaustein sorgt für ein 50 %-iges Tastverhältnis der seriellen Ausgangsdaten, indem eine bestimmte Anzahl von Bits invertiert wird, um so die DC-Balance der Leitungen zu garantieren. Für eine detailliertere Darstellung wird auf das Datenblatt [Agi 00] verwiesen. Ein 50 %-iges Tastverhältnis auf den seriellen Leitungen ist zur Ansteuerung der VCSEL[3]-Halbleiter-Diode[4] vorteilhaft. Mit Hilfe einer Monitor-PIN-Diode, die sich in dem Gehäuse des VCSELs befindet, wird die optische Ausgangsleistung gemessen und über eine Rückkopplungsschaltung eine konstante mittlere optische Ausgangsleistung eingestellt. Die Schaltung kann Verschiebungen der Laser-Kennlinie durch Temperaturdrift und Alterung des VCSELs in gewissen Grenzen ausgleichen. Ohne ein symmetrisches Tastverhältnis, macht eine Rückkopplung keinen Sinn, da, durch die Mittelung der Ausgangsleistung bei stark unsymmetrischem Tastverhältnis, die Grundlinien der optischen Signale, die das ‘high’-Niveau und ‘low’-Niveau der Bits angeben, verschoben werden. Dies führt auf der Empfangsseite zu Schwierigkeiten, da dort die optischen Signale in elektrische umgewandelt werden und eine Drift der Grundlinien nicht nachvollzogen werden kann.
Über zwei digital programmierbare Widerstandsbausteine lassen sich die Parameter der optischen Übertragungsstrecke, wie z. B. die mittlere optische Ausgangsleistung, der Modulationsstrom und die Temperaturdriftkompensation einstellen. Die Programmierung der Widerstandsbausteine ist in Abschnitt 5.3.1 erläutert.

[1] HDMP-1032 der Firma Agilent Technologies Inc.
[2] HDMP-1034 der Firma Agilent Technologies Inc.
[3] Vertical Cavity Surface Emitting Laser
[4] HFE4084-322 der Firma Honeywell Inc.

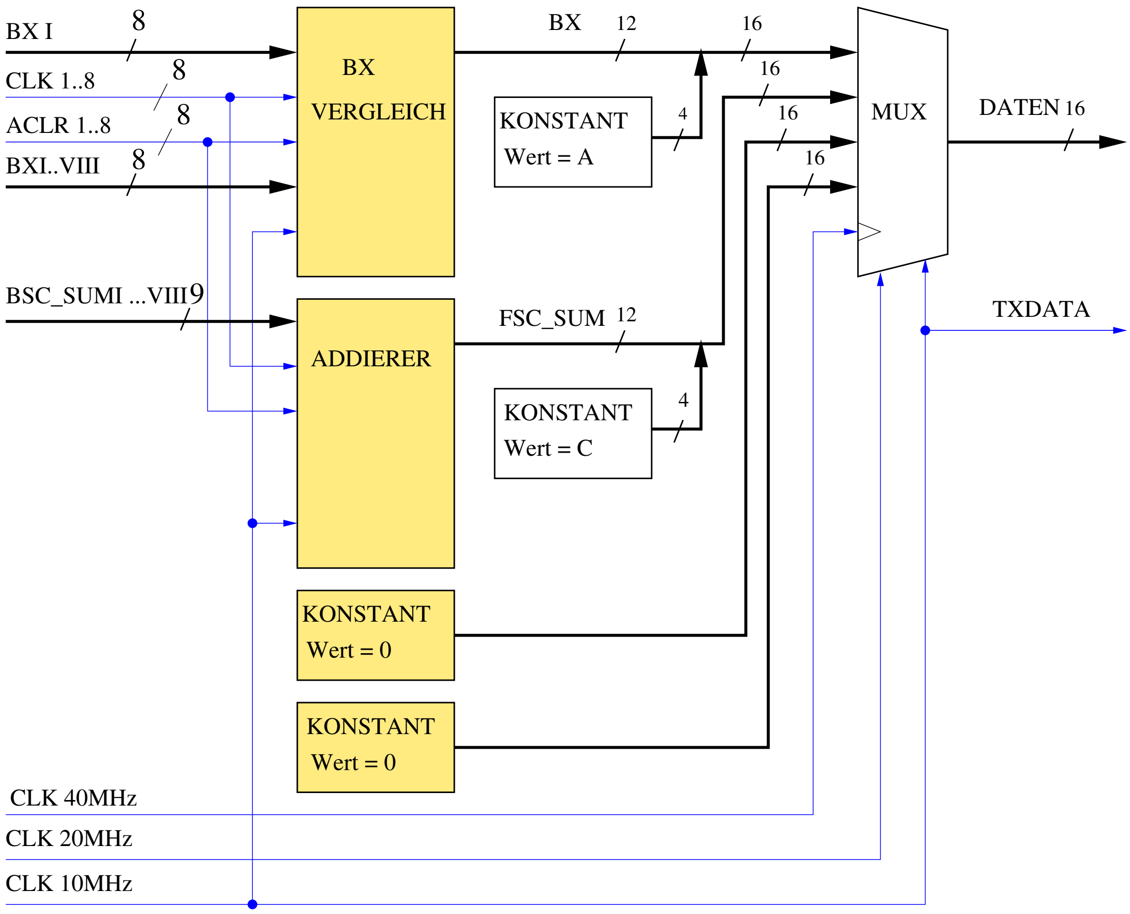

Abb. 7.2: Darstellung der Schaltung des CPLDs, das die Daten für die Elektro / Opto-Wandlerschaltung liefert. Die dünn gedruckten Pfeile zeigen Steuersignale an, die fett gedruckten Datenbusse. Die Kontrolle der Synchronität der BX-Nummer wird in dem als BX VERGLEICH bezeichneten Logikblock durchgeführt. Die Addition der BSC-Summen (BSC_SUM I..VIII) geschieht in dem mit ADDIERER bezeichneten Logikblock. Die Summendaten (FSC_SUM) werden mit der Marke 0xC (KONSTANT Wert=C), die BX-Nummer zusammen mit den Komparatordaten mit der Markierung 0xA (KONSTANT Wert=A) versehen. Die Daten gelangen an einen Multiplexer (MUX). Vier Datenworte, von denen zwei die gerade beschriebenen Inhalte haben und zwei Dummy-Worte, die konstant die Werte 0x0 (KONSTANT Wert = 0) besitzen, werden mit vierfachem HERA-Takt (CLK 40 MHz) an den Serialisierungsbaustein des Elektro / Opto-Wandlerschaltung übertragen. Das TXDATA-Signal zeigt diesem an, wann Datenworte und wann Dummy-Worte gesendet werden.

7.2 Beschreibung der Testaufbauten und Testprozeduren zum Funktionstest der FSC

Der in diesem Abschnitt beschriebene Testaufbau und die damit durchgeführten Testprozeduren überprüfen die Funktionalität der FSC auf Bitniveau. Es wird das in Abschnitt 6.3 beschriebene Testprinzip angewendet.

7.2.1 Beschreibung der Testmodule

Zusätzlich zu den in Abschnitt 6.3.2 beschriebenen Testmodulen werden weitere Testmodule zur Durchführung der Funktionalitätstests der FSC benötigt. Die Base Sum Test Card (BSTC) wird mit einem Adapter versehen, der die Ausgangsdaten der FSC auf zwei Kanäle der BSTC aufteilt. Die BX-Nummern mit der Fehlernachricht und dem Fast-Veto-Signal werden in einem FIFO gespeichert, die FSC-Summe in einem anderen. Die Auslese der FIFOs geschieht über die VME-Schnittstelle.
Die Optical Readout Card[5] (ORC) [Kol 00] besitzt zwei optische Empfangskanäle. Diese Leiterplatte wurde zum Test einer optischen Datenübertragungsstrecke entwickelt. Die optischen Daten werden in elektrische umgewandelt, parallelisiert und in FIFOs gespeichert. Über eine VME-Schnittstelle lassen sich die Daten auslesen. Ein Empfangskanal der ORC wurde den Anforderungen der optischen Übertragungsstrecke der FSC entsprechend modifiziert, um diese zu testen.

7.2.2 Beschreibung des Testaufbaus

Der Testaufbau ist schematisch in Abbildung 7.3 dargestellt. Er besteht aus zwei Crates, einem VME-Crate und einem FED-Crate. In dem VME-Crate befinden sich die Module, die von der VME-CPU über die VME-Schnittstelle angesprochen werden. Stimulusdateien werden in die DPRAMs des Pretrigger FED Simulators (PFEDS) geladen. Die Stimulusdaten gelangen vom PFEDS über Flachbandkabel an die Connector Adapter Card (CAC), und von dort an die BSC. Die BSC prozessiert die Daten und gibt das Ergebnis und die BX-Nummer an die zu testende FSC weiter. Die FSC ist über ein 40 m langes Flachkabel und dem BSTC ADAPTER mit der BSTC verbunden. Die BSTC speichert die über das Flachkabel empfangenen Daten in FIFOs, die über die VME-Schnittstelle von der VME-CPU ausgelesen werden. Die optischen Ausgangsdaten der FSC werden über einen 50 m langen LWL (MULTIMODE FASER) an die ORC geleitet, auf der sie in elektrische Signale umgewandelt und parallelisiert werden, bevor sie in FIFOs gespeichert werden. Die Auslese der FIFOs geschieht über die VME-Schnittstelle. Die Backplane-Adapter (BP_ADAPTER) leiten die von dem PFEDS generierte BX-Nummer und das Taktsignal an die FCS-Backplane (FCS_BP) im FED-Crate weiter. Der I^2C-Bus-Adapter, der das VME-Protokoll in das des I^2C-Busses überträgt und zur Kommunikation mit der BSC und der FSC benutzt wird, ist, aus Gründen der Übersichtlichkeit, nicht in der Abbildung dargestellt.

[5] engl. für optische Auslese-Karte

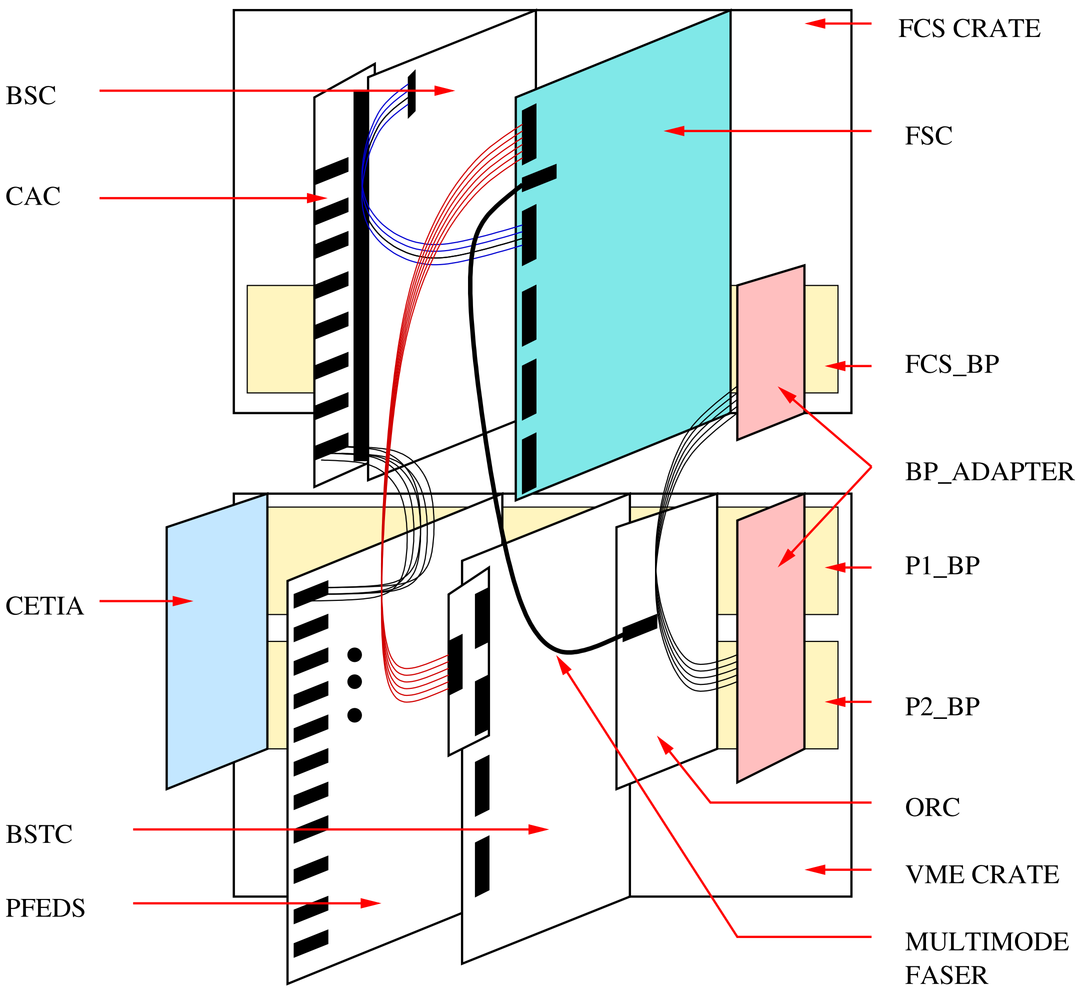

Abb. 7.3: Darstellung des Testaufbaus zum Funktionalitätstest der FSC. In dem VME-Crate befindet sich eine VME-CPU, die Stimulusdaten über die VME-Backplane (P1_BP) in die RAMs des PFEDS lädt. Vom PFEDS gelangen die Daten über Flachbandkabel und die CAC an die BSC. Das Taktsignal und die BX-Nummer werden über die P2-Backplane (P2_BP) und die Backplane-Adapter (BP_ADAPTER) an die FCS-Backplane geleitet. Die Ausgangsdaten der BSC gelangen über Flachbandkabel an die FSC. Die Ausgangsdaten der FSC werden über Flachkabel an die BSTC, oder über eine MULTIMODE FASER and die ORC übertragen. Die Testmodule werden über die VME-Schnittstelle ausgelesen. Der I^2C-Bus-Adapter, der die Kommandoregister der BSC und FSC über die I^2C-Bus-Schnittstellen steuert, ist nicht in der Darstellung enthalten.

7.2.3 Beschreibung der Funktionstests der FSC

Test der einzelnen Summenbits

Die erste Testprozedur dient der Identifizierung von Defekten der Eingangsschnittstelle der FSC. Die Ausgangsdaten einer BSC werden an einen Eingangsstecker der FSC übertragen. Es werden die in Abschnitt 6.3.3 beschriebenen Stimulusdateien zum Test der FSC verwendet. Wie dort bereits erläutert, lassen sich die einzelnen Ausgangsbits der BSC, bis auf das MSB und das LSB der Summe, mit diesen Stimulusdaten testen. Die Ausgangsdaten dienen der FSC als Eingangsdaten. Da nur eine BSC Daten liefert, findet effektiv keine Summenbildung auf der FSC statt. Die anderen sieben Eingangskanäle werden maskiert. Die Eingangsdaten gelangen eins zu eins an die Ausgangskanäle und werden über Flachkabel zur BSTC übertragen. Die VME-CPU liest die Daten aus und vergleicht sie mit dem Inhalt einer Referenzdatei. Mit diesem Test werden gleichzeitig die Eingangssignale des ersten Eingangskanals und die unteren acht Bit der FSC-Summe getestet. Tritt ein Fehler auf, muss durch genauere Untersuchungen, mittels Abtasten der Signalleitungen unter Zuhilfenahme eines Oszilloskops, lokalisiert werden, ob der Defekt eingangs- oder ausgangsseitig auf der FSC liegt. Um das MSB zu testen, werden die Flachkabel vom PFEDS zur BSC entfernt. Aufgrund der Pull-Up-Widerstände an den Eingängen der BSC liefert dies die maximale Summe, da alle 256 Eingangsbits gesetzt sind. Dieser Zahl entspricht das MSB der BSC-Summe. Werden keine Defekte festgestellt, wird der zweite Eingangskanal der FSC überprüft. Dazu wird eine zweite BSC installiert, die über Flachbandkabel und CAC mit dem PFEDS verbunden ist. Die erste BSC liefert das Haupttaktsignal, welches auf der FSC von den PLLs zur Vervielfachung benutzt und an die CPLDs verteilt wird. Die Summendaten der ersten BSC liefern immer den konstanten Wert 256. Die Summe der zweiten BSC läßt sich zwischen zwei und 128 in Zweierschritten, aufgrund des Wegfalls des LSB, variieren (siehe Abschnitt 6.3.3). Um das MSB der Summe des zweiten Eingangskanals zu überprüfen, werden die Flachbandkabel vom PFEDS zur zweiten BSC entfernt. Beide BSCs liefern die Summe 256. Die FSC berechnet als Ergebnis 512, was dem Wert des zehnten FSC-Summenbits entspricht. Durch sukzessive Installation weiterer BSCs, bis zur maximalen Anzahl von acht BSCs pro FED-Crate, werden die Eingangskanäle der FSC und die Signale der Ausgangssumme getestet.

Test der dynamischen Summenbildung auf der FSC

In der nächsten Testprozedur wird die dynamische Summenbildung auf der FSC überprüft. Alle 11 PFEDS Kanäle werden mit den acht BSCs verbunden. Die 32-Bit-Blöcke auf den BSCs, die nicht über Flachbandkabel mit dem PFEDS verbunden sind, werden ausmaskiert. Die BSCs liefern dynamisch, mit 10,416 MHz, Daten, die von der FSC aufsummiert werden. Die FSC-Summe wird über Flachkabel an die BSTC übertragen, über die VME-Schnittstelle ausgelesen und auf der VME-CPU mit einer Referenzdatei verglichen. Bei fehlerfreiem Testdurchlauf wird dieser Test über einen längeren Zeitraum hinweg durchgeführt. Die FIFOs der BSC werden 100 000 mal ausgelesen und deren Inhalt mit den Referenzdateien verglichen. Die FSC-Summe wird in einem FIFO gespeichert, die BX-Nummern, die Fehlernachricht und das Fast-Veto-Signal in einem anderen. Aufgrund der gewählten Stimulusdateien, die aus 16 32-Bit-Worten bestehen, wiederholen sich die Summendaten alle 16 Taktzyklen. Anders als bei dem Vergleich der BX-Nummer, bei der der Startpunkt der Datenwortkontrolle durch die BX-Nummer 0x00 gegeben ist, wird bei der Kontrolle der Summendaten die Startmarkierung auf den niedrigsten Summenwert gelegt. Die FIFOs besitzen eine Tiefe von 4096 Datenworten. Die minimale Anzahl der überprüften Datenworte aus dem FIFO, das die FSC-Summen speichert, ist also 4081. Bei dem FIFO, das die BX-Nummern, die Fehlernachricht und das Fast-Veto-Signal speichert, ist, wie in Abschnitt 6.3.3 beschrieben, die minimale Anzahl der überprüften Datenworte 3841. Pro Datenwort werden in beiden FIFOs 12 Bits überprüft. Bei fehlerfreiem Durchlauf des Tests ergibt sich eine Bitfehlerrate, die kleiner als $1{,}05 \cdot 10^{-10}$ ist, da die Anzahl der FIFO-Auslesen nur durch die für die Tests zur Verfügung stehende Zeit begrenzt ist.

Test des BX-Nummernvergleichs

Um die Funktion des BX-Nummernvergleichs zu prüfen, wird abwechselnd die Datenübertragung von einer der acht BSCs über die I^2C-Bus-Schnittstelle ausgeschaltet. Der Komparator, der die BX-Nummer dieses Kanal mit der seines Nachbarn überprüft, liefert Fehlernachrichten. Die Fehlernachrichten werden über Flachkabel an die BSTC übertragen und von der VME-CPU ausgewertet. Es wird pro Fehlernachricht 100 mal das FIFO ausgelesen. Die Fehlerrate ist kleiner als $2{,}6 \cdot 10^{-6}$. Das Limit ist nur durch die für die Tests zur Verfügung stehende Zeit gegeben. Da mit diesem Test statische Signale überprüft werden, ist das Limit der Fehlerrate ausreichend.

Test der Erzeugung des Fast-Veto-Signals

Über die I^2C-Bus-Schnittstelle wird ein Referenzwert in das Referenzregister programmiert. Er ist gleich dem maximalen Summenwert der aus den Stimulusdateien gebildeten FSC-Summe. Aufgrund des Aufbaus der Stimulusdatei wiederholt sich der maximale Summenwert alle 16 Taktzyklen. Das Fast-Veto-Signal wird an dem auf der Leiterplatte vorgesehenen Stecker abgegriffen, und zur Kontrolle des Zeitverhaltens an den Eingang eines Oszilloskops gegeben. Alle 16 Taktzyklen wird ein Fast-Veto-Signal erzeugt. Der zeitliche Abstand der aufeinander folgenden Fast-Veto-Signale wird überprüft. Parallel wird das Fast-Veto-Signal mit der BX-Nummer markiert über das Flachkabel an die BSTC übertragen. Die Daten werden von der VME-CPU ausgelesen. Es wird überprüft, ob das Fast-Veto-Signal zur richtigen BX-Nummer generiert wird. Für diesen Test wird das FIFO 100 mal ausgelesen. Die Fehlerrate ist kleiner als $2{,}6 \cdot 10^{-6}$. Das Limit ist nur durch die für den Test zur Verfügung stehende Zeit gegeben. Durch den parallelen Einsatz des Oszilloskops, womit Abweichungen des Zeitverhaltens des Fast-Veto-Signals direkt, ohne Totzeiteffekte wie beim Auslesen der FIFOs, detektiert werden können, ist das Limit eine sehr konservative Untere Fehlergrenze. Es traten keine Abweichungen im Zeitverhalten des Fast-Veto-Signals auf.

7.2.4 Test der optischen Datenübertragung

Voraussetzung für die optische Datenübertragung ist eine korrekte Konvertierung der elektrischen Signale in optische. Um dies zu überprüfen, wird das optische Ausgangssignal mit einem optischen Tastkopf und einem Oszilloskop dargestellt. Zum Vergleich wird das serielle elektrische Ausgangssignal mit einem aktiven differentiellen Tastkopf abgegriffen und ebenfalls mit dem Oszilloskop dargestellt. Die seriellen optischen bzw. elektrischen Daten entsprechen dem seriellen Bitstrom. Das Oszilloskop wird so eingestellt, dass viele abgetastete Signale überlagert auf dem Bildschirm dargestellt werden.

Das Prinzip ist in Abbildung 7.4 verdeutlicht. Diese Darstellungsform wird als „Augendiagramm“ bezeichnet. Anhand des Augendiagramms lässt sich die Amplitude und die zeitliche Breite der Bits überprüfen. Ein weit geöffnetes Auge zeigt eine gute Trennung der Grundlinien sowie eine gute Separation der einzelnen Bits an.

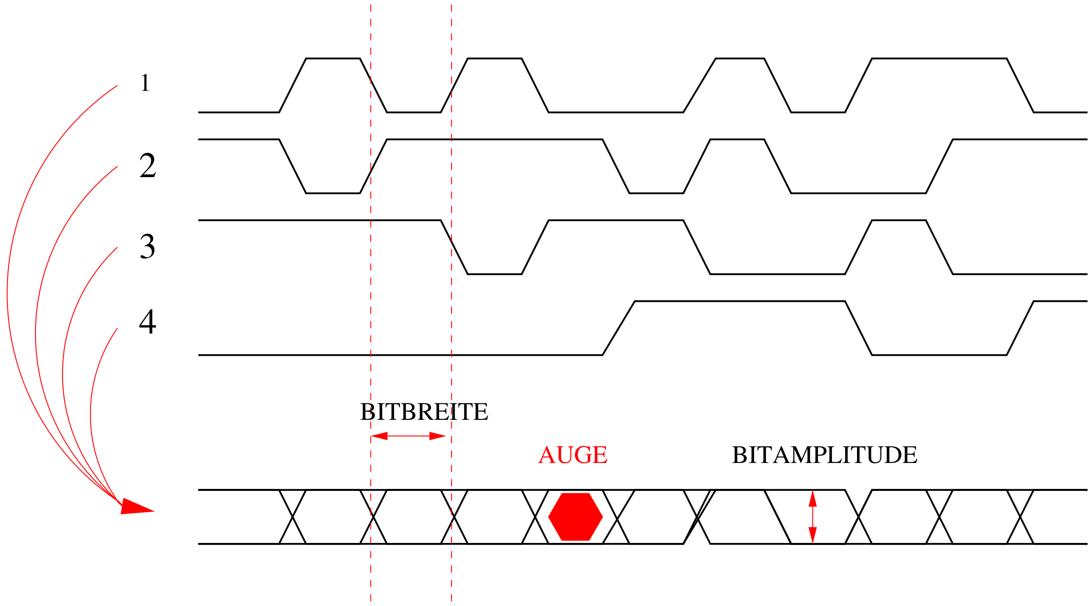

Abb. 7.4: Erzeugung eines Augendiagramms mit Hilfe eines Oszilloskops. Es wird mehrfach das serielle Signal abgetastet (1 – 4). Die Messungen werden überlagert dargestellt. Die zeitliche Breite und die Amplitude der Bits lässt sich überprüfen. Die Öffnung des „Auges“ zeigt an, wie gut sich die Bits und deren Logikniveaus separieren lassen.

Die optischen Ausgangssignale lassen sich durch die Parameter der Elektro / Opto-Wandlerschaltung über die I^2C-Bus-Schnittstelle einstellen. In Abbildung 7.5 sind die Augendiagramme der seriellen elektrischen und optischen Signale dargestellt. Die Breite eines Bits entspricht $1{,}22 \pm 0{,}14$ ns. Die Amplitude ist mit 818 ± 144 mV angegeben. Dies entspricht, nach Umrechnung mit dem Kalibrationswert des optischen Tastkopfes [Tek 00], einer optischen Ausgangsleistung von $1{,}06 \pm 0{,}19$ mW. Die Fehler ergeben sich aus der Linienbreite der Signale.
Die optischen Signale werden so eingestellt, dass sie das in Abbildung 7.5 abgebildete Augendiagramm liefern. Der LWL wird mit der ORC verbunden. Die Eingangskanäle der FSC sind bereits getestet, weshalb direkt der Test der dynamischen Summenbildung des CPLDs zur optischen Datenübertragung durchgeführt werden kann. Acht BSCs liefern wie oben beschrieben die Daten zur Summenbildung. Die von dem CPLD berechneten Daten werden in zwei Zyklen mit dem vierfachen HERA-Takt an die ORC übertragen, auf der sie in einem FIFO zwischengespeichert werden. In dem FIFO befinden sich sowohl die Daten- wie auch die Dummy-Worte. Es werden jedoch nur die Datenworte mit dem Inhalt einer Referenzdatei verglichen. Der Startpunkt der Datenwortkontrolle ist wieder durch das Datenwort definiert, das die BX-Nummer 0x00 enthält. Die minimale Anzahl, der getesteten Datenworte pro FIFO-Auslese ist 1793.

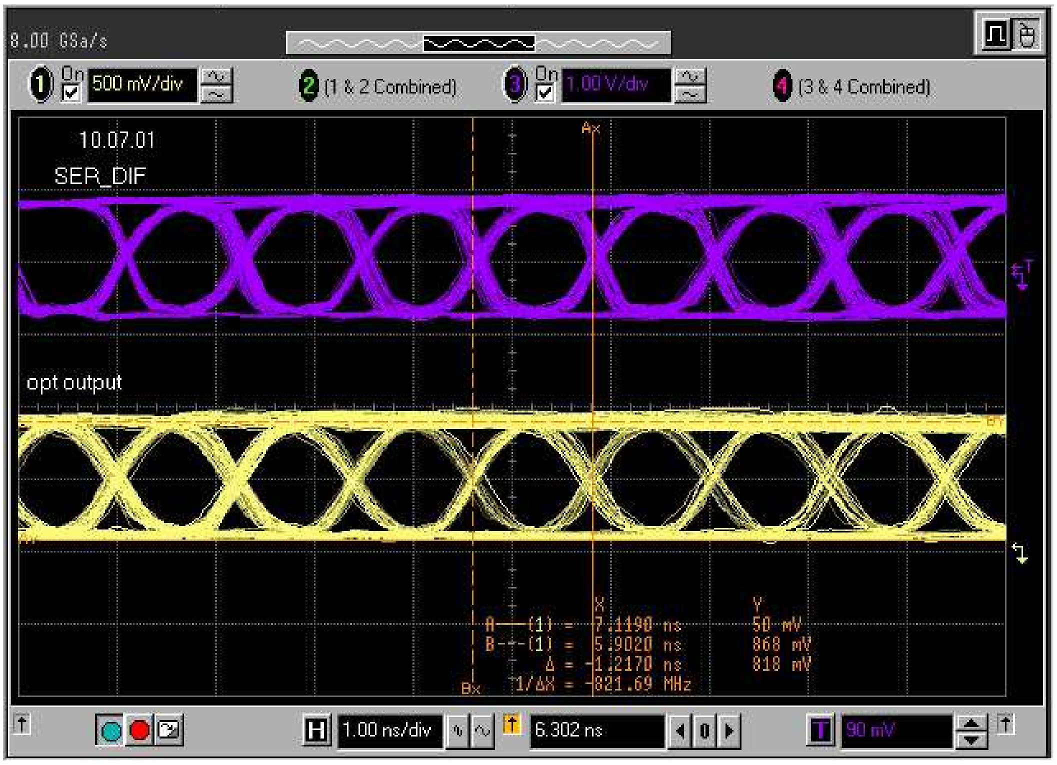

Abb. 7.5: Augendiagramme der seriellen elektrischen (oben) und optischen (unten) Signale. Die Messwerte in der mit Δ markierten Zeile zeigen die zeitliche Breite eines Bits und die Amplitude der optischen Signale. Aufgrund der Kalibration des optischen Tastkopfes, entspricht 1 mV einer optischen Leistung von 1,3 μW [Tek 00].

Es wird 500 000 mal das FIFO ausgelesen. Bei fehlerfreier Datenübertragung ist die Bitfehlerrate kleiner als $6{,}97 \cdot 10^{-11}$, da pro Datenwort 16 Bits überprüft werden.

Latenzzeitmessung

Die Latenzzeit wird für beide Kanäle der FSC und für das System, bestehend aus acht BSCs und einer FSC, bestimmt. Als Messpunkte dienen die aufsteigenden Flanken eines Eingangssignals der FSC bzw. BSC und eines Ausgangssignals des Flachkabelsteckers bzw. die aufsteigende Flanke des optischen Ausgangssignals. Systematische Untersuchungen haben ergeben, dass die Flankensteilheit der Signale von der Anzahl der gesetzten Bits auf den Flachbandkabeln abhängt. Aus den Untersuchungen wird abgeschätzt, dass der Fehler bei ± 2 ns liegt. Es handelt sich nicht um statistische, sondern um Ablesefehler. Die Latenzzeit des FSC-Kanals, der die Daten über Flachkabel überträgt, ist 110 ± 2 ns, während die Latenzzeit des Kanals zur optischen Übertragung 156 ± 2 ns beträgt. Die Latenzzeit für die Prozessierung der Daten auf BSC und FSC beträgt 250 ± 2 ns, die Latenzzeit am Ausgang der Elektro / Opto-Wandlerschaltung beträgt 296 ± 2 ns.

7.3 Zusammenfassung

Die FSC besitzt zwei Kanäle zur Summierung der Daten von bis zu acht BSCs. Die Synchronisation der BX-Nummern, mit denen die BSC-Summendaten markiert werden, wird überprüft. Die FSC-Summe und das Vergleichsergebnis werden an das VB übertragen. Die Übertragung geschieht entweder, nach Logikniveau-Transformation von TTL nach PECL, über 40 m lange Flachkabel, oder über eine optische Übertragungsstrecke mit einer Datenrate von 0,833 GBit / s. Die Bitfehlerrate der dynamischen Summenberechnung und Datenübertragung über das Flachkabel ist kleiner als $1{,}5 \cdot 10^{-10}$. Die Bitfehlerrate der optischen Übertragungsstrecke ist kleiner als $6{,}9 \cdot 10^{-11}$. In beiden Messungen ist die Bitfehlerrate nur durch die für den Test zur Verfügung stehende Zeit limitiert. Durch Vergleich der FSC-Summe mit einem einstellbaren Referenzwert ist es möglich, ein Veto-Signal zu erzeugen. Die Latenzzeit der FSC beträgt für den Kanal, der die Daten optisch überträgt, 156 ± 2 ns, für den anderen Kanal beträgt sie 110 ± 2 ns.

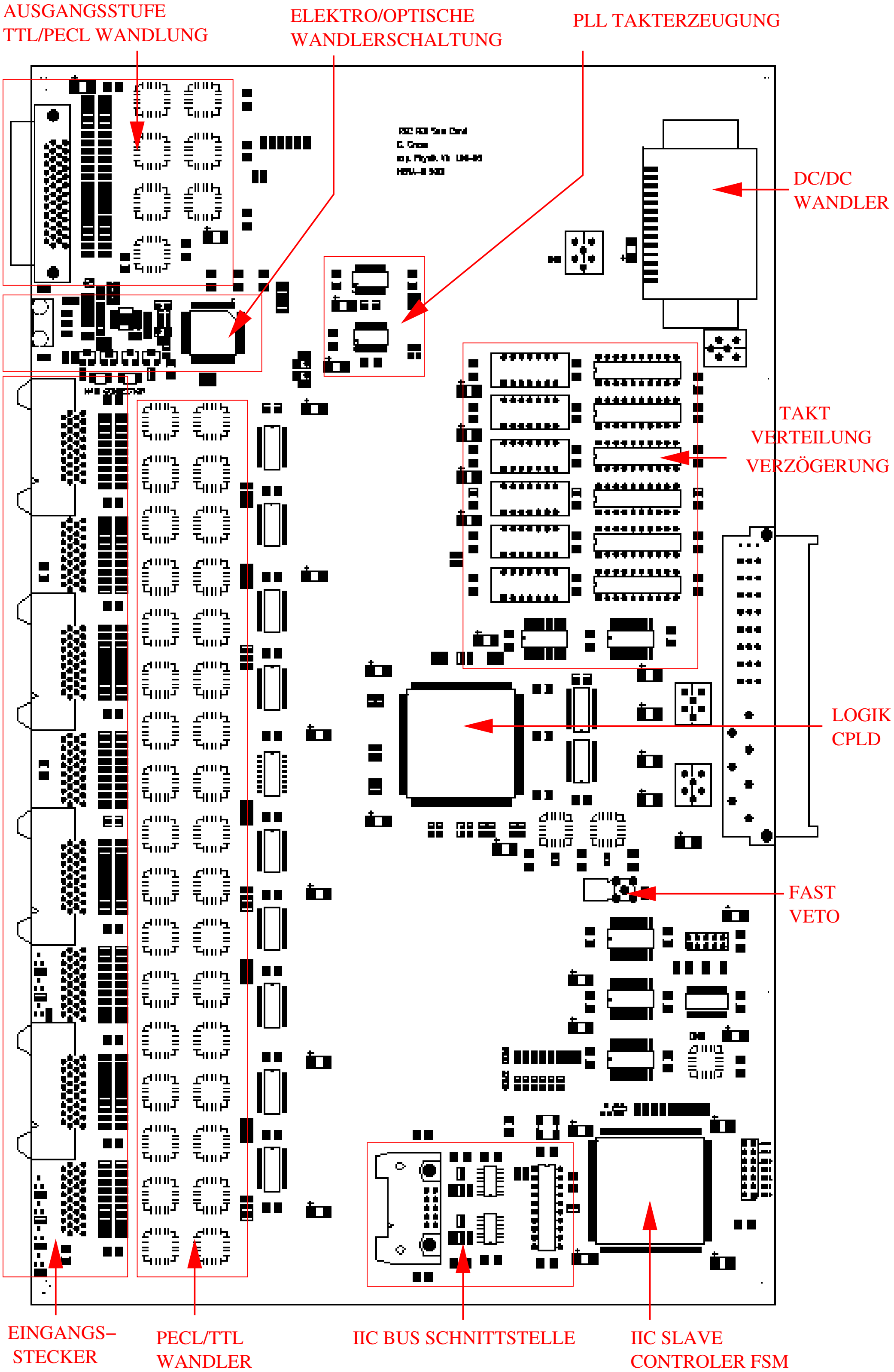

Abb. 7.6: Die Oberseite der FSC-Platine. Die Aufteilung der Bauteilgruppen ist dargestellt. Die Platine ist nicht massstäblich abgebildet.

Kapitel 8

Das Veto Board (VB)

Das Veto Board (VB) bildet das Ende der Kette des RICH-Multiplizitätsveto-Systems. Die Summen der einzelnen FED-Crates werden auf dem VB zusammengeführt und aufsummiert. Einstellbare obere und untere Schwellen erlauben es, auf vier unterschiedliche Weisen (Veto-Modi) das Veto-Signal zu generieren. Das auf diese Art erzeugte Veto-Signal wird als Summen-Veto-Signal bezeichnet. Das ECAL-Energy-Inhibit (EEI) wird in den Datenpfad des VBs eingefügt, um so das von der EEI-Karte bereitgestellte Veto-Signal an die Pretrigger weiterzuleiten. Die Synchronisation der BX-Nummern, mit denen die Summen der FSCs markiert sind, wird überprüft und die Fehlernachrichten der FSCs ausgewertet. Ein Monitorsystem zählt die Fehler des BX-Nummernvergleichs auf dem VB und den FSCs. Die Fast-Veto-Signale der FSCs werden mit einer ODER-Verknüpfung verbunden (FSC-Veto-Signal). Das FSC-Veto-Signal kann anstelle des Summen-Veto-Signals an die Pretrigger verteilt werden. Das VB ist mit einem DSP[1] des Second Level Buffers (SLB) verbunden. An diesen werden für getriggerte Ereignisse die Vetoentscheidung und der verwendete Veto-Modus weitergeleitet.
Dieses Kapitel befasst sich mit der technischen Realisierung des VBs. Die Anordnung der Bauteile auf der Leiterplatte, die CPLD-Programmierungen und Testaufbauten bzw. -prozeduren werden erläutert und Testergebnisse präsentiert.

8.1 Beschreibung der Funktionalität des VBs

Das Veto Board besteht aus einer Haupt- und einer Aufsteckkarte (Mezzanin). Jede Leiterplatte erhält die Daten von sieben FED-Crates. Auf der Mezzanin-Karte werden die Daten der sieben FSCs summiert und die Summe, die Fehlernachrichten und die BX-Nummern der FSCs über einen Stecker an die Hauptkarte weitergeleitet. Die Mezzanin-Karte wurde nicht produziert. Auf der Hauptkarte sind jedoch alle Schnittstellen für eine zukünftige Erweiterung des Systems von sieben auf 14 FSC-Eingangskanälen vorgesehen (siehe auch Abschnitt 9.1.1). Im Weiteren wird die Hauptkarte als VB bezeichnet.
Der Aufbau der VB-Leiterplatte ist anhand der Oberseite der VB-Platine in Abbildung 8.5, am Ende des Kapitels, dargestellt. Die Klammerausdrücke beziehen sich im

[1] Digital Signal Processor engl. für Digitaler Signal-Prozessor

Folgenden auf diese Abbildung. Bei dem VB handelt es sich um eine $366 \times 270\,\mathrm{mm}^2$ große Leiterplatte. An der Front sind die 50-poligen Eingangsstecker alternierend auf Ober- und Unterseite der Platine angeordnet. Trotz optimaler Raumausnutzung ist es nicht möglich, acht 50-polige Stecker dort unterzubringen (siehe weiter unten sowie Abschnitt 7.1). Hinter den Steckern befinden sich die PECL / TTL-Wandlerbausteine (EINGANGSSTECKER PECL / TTL WANDLUNG). Die Summendaten der einzelnen Kanäle gelangen mit der BX-Nummer des ersten Kanals an das CPLD, in dem die Vetoentscheidung getroffen wird (VETO CPLD). Die Summendaten werden addiert. Mittels einer einstellbaren oberen und unteren Schwelle und einem von vier Veto-Modi wird das Veto-Signal erzeugt. Dieses wird, mit der BX-Nummer versehen, an den P2-Backplane-Stecker (P2_BP) weitergeleitet.

Da an der Front der Leiterplatte nicht genug Platz für alle benötigten Stecker zur Verfügung steht, werden einige Stecker auf eine Adapterkarte (Interface-Adapter) ausgelagert, die auf den P2-Backplane-Stecker aufgesteckt wird. Auf der Adapterkarte befinden sich fünf Schnittstellen zum I^{2}C-Bus. Immer nur eine der fünf Schnittstellen ist aktiv, um Signalkonflikte aufgrund gegensätzlicher Datenflussrichtungen bei den Treiberbausteinen zu vermeiden. Der I^{2}C-Bus-Controller (IIC-BUS CONTROLLER), der immer als MASTER betrieben wird, steuert die Datenübertragung des I^{2}C-Busses. Über die Adapterkarte gelangen die Signale des ECAL Energy Inhibit (EEI) auf das VB. Das vom VB erzeugte Veto-Signal wird über eine weitere Schnittstelle an den Veto-Distributor weitergeleitet.

Die BX-Nummern der 14 Eingangskanäle gelangen zu einem CPLD, das die Synchronisation der BX-Nummern überprüft (VB MONITOR CPLD). In dem CPLD sind Zähler implementiert, die Synchronisationsfehler zählen. Die Zähler können über die VME-Schnittstelle ausgelesen werden. Zusätzlich werden die Veto-Signale des RICH-Multiplizitätsveto-Systems und des EEIs gezählt.

Die Fehlernachrichten der FSCs gelangen an ein drittes CPLD (FSC MONITOR CPLD). Die Nachrichten werden dekodiert und Zählern zugeführt, die ebenfalls über die VME-Schnittstelle des VBs ausgelesen werden können.

Die VME-Schnittstelle wird von dem VME-Schnittstellen-Controller (VME CPLD) überwacht. Alle Zugriffe auf die Register des VBs sowie die Ansteuerung des I^{2}C-Bus-Controllers erfolgen über die VME-Schnittstelle.

Auf dem VB befindet sich ein FED-Speicher, in dem die Vetoentscheidung zwischengespeichert wird. Das Fast Control System (FCS) kontrolliert die Auslese über die FCS-Backplane (FCS_BP). Die Daten des FED-Speichers und des FCSs werden in FIFOs übertragen (SHARC FSM FIFOS). Die FIFO-Daten werden in 4-Bit-Gruppen aufgeteilt, von TTL nach LVDS[2] transformiert und mit der vierfachen HERA-Taktrate von 41,667 MHz zum DSP des SLBs übertragen (SHARC LINK TTL / LVDS WANDLUNG).

Das VB besitzt keinen Taktbaustein, der den Takt für die Datenprozessierung erzeugt. Das Taktsignal wird von der FCS-Backplane des FED-Crates über die BSCs und FSC an das VB weitergeleitet. Auf dem VB wird die Frequenz des Taktsignals mittels eines PLL-Bausteins (PLL TAKTERZEUGUNG) verdoppelt bzw. vervierfacht. Die Taktsignale werden an die CPLDs verteilt (CLK VERZÖGERUNG VERTEILUNG). Über

[2]Low Voltage Differential Signal

einen Stecker auf der Unterseite der Platine (MEZZA STECKER) gelangen die Daten der Mezzanin-Karte auf das VB.
Alle CPLDs des VBs werden über EPROMs programmiert. Die EPROMs lassen sich mittels einer JTAG-Schnittstelle rekonfigurieren und bieten so große Flexibilität für zukünftige Programmierungsänderungen.

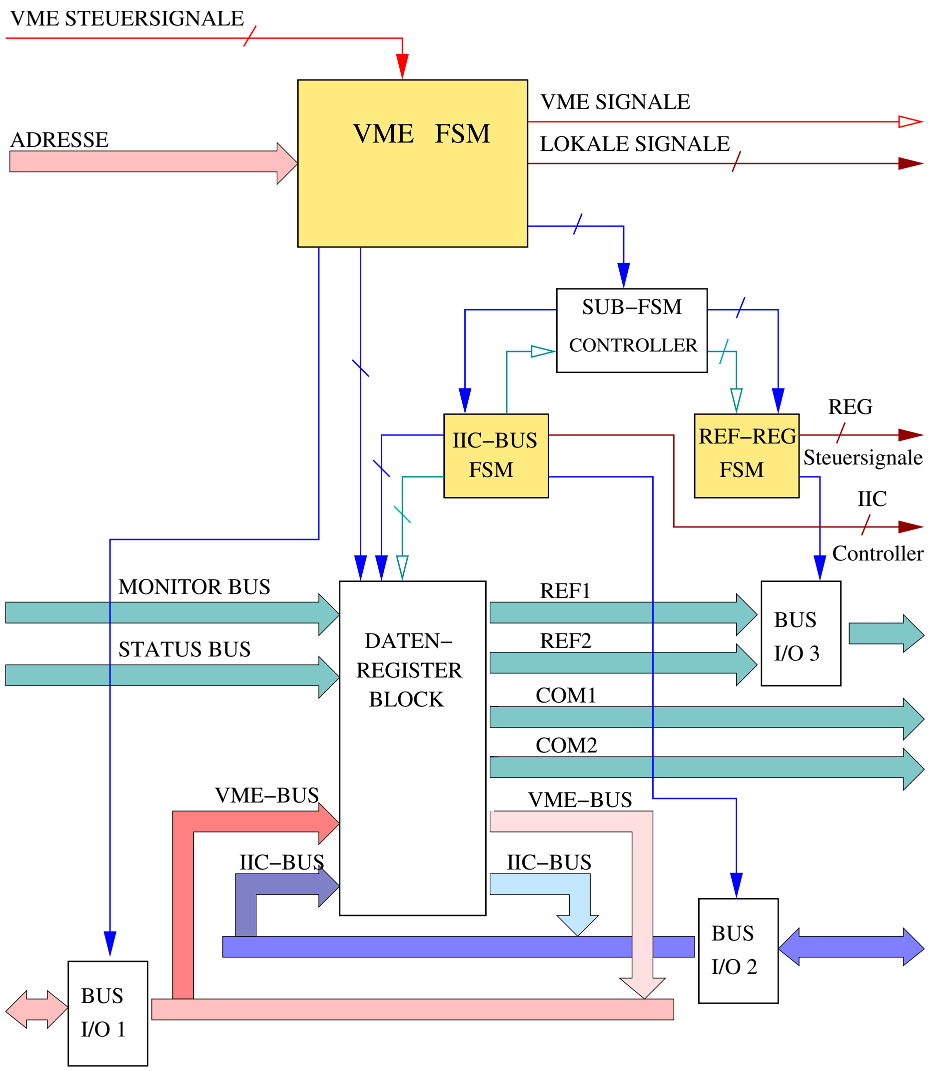

Abb. 8.1: Schematische Darstellung der VME-CPLD-Programmierung. Dünn gedruckte geschlossene Pfeile stellen Steuersignale dar, dünn gedruckte offene Statussignale. Die breit dargestellten Pfeile zeigen Datenbusse. Die VME-Zustandsmaschine (VME FSM) dekodiert die ADRESSE und die VME STEUERSIGNALE und gibt die Zugriffe auf die adressierten Register des DATENREGISTER BLOCKs frei. Werden Daten in die Referenzregister (REF 1, REF 2) oder I^{2}C-Bus-Register geschrieben, selektiert der Controller der untergeordneten Zustandsmaschinen (SUB-FSM CONTROLLER) die zugehörige Zustandsmaschine (REF-REG FSM und IIC-BUS FSM). Diese übernimmt die Ansteuerung der Busse bzw. des I^{2}C-Bus-Controllers (IIC Controller).

8.1.1 Programmierung des VME-CPLDs

In dem CPLD, das die VME-Schnittstelle kontrolliert, sind sämtliche Peripherieregister, wie z. B. Kommando- und Statusregister, und Zustandsmaschinen zur Kontrolle des VBs enthalten. Eine schematische Darstellung der Programmierung ist in Abbildung 8.1 zu sehen. Die Klammerausdrücke beziehen sich im Folgenden auf diese Abbildung. Dünn gedruckte geschlossene Pfeile zeigen Steuersignale, dünn gedruckte offene Statussignale. Breit dargestellte Pfeile symbolisieren Datenbusse. Eine Zustandsmaschine (VME FSM) kontrolliert die Lese- und Schreibzugriffe des VME-Busses auf das VB. Die VME-CPU legt eine Adresse auf den VME-Adressbus (ADRESSE). Mit den Steuersignalen (VME STEUERSIGNALE) wird ein Schreib- oder Lesezugriff angezeigt. Die VME-Zustandsmaschine dekodiert die Adresse und die Steuersignale und schaltet die Datenflussrichtung (BUS I / O 1) des bidirektionalen VME-Datenbuses (VME-BUS) entsprechend. Die VME-Adresse setzt sich aus der Leiterplattenadresse, die die Leiterplatte selektiert, und der lokalen Registeradressse, die die Register auf der Leiterplatte selektiert, zusammen. Über Steuersignale wird das entsprechende Register (DATENREGISTER BLOCK) freigeschaltet. Es existieren zwei Kommandoregister (COM1 und COM2), jeweils ein Register für die obere und untere Schwelle (REF1 und REF2), ein Statusregister, die Schreib- und Leseregister des VME- und I^2C-Busses und ein Register, über das die Monitorinformationen der Zähler ausgelesen werden können. Werden Daten in die Referenz- oder in das I^2C-Bus-Schreibregister geschrieben, aktiviert der Controller der untergeordneten Zustandsmaschinen (SUB-FSM CONTROLLER) die entsprechende Zustandsmaschine zur Weiterleitung bzw. -verarbeitung der Daten. Die Daten der Referenzregister werden von einer Zustandsmaschine (REF-REG FSM) nacheinander in die entsprechenden Register des CPLDs zur Vetoerzeugung geschrieben. Die Zustandsmaschine, die den I^2C-Bus-Controller ansteuert (IIC-BUS FSM), ist in Abschnitt 5.3.2 beschrieben. Ist ein VME-Zugriff abgearbeitet, wird dies der VME-CPU durch Statussignale (VME SIGNALE) angezeigt. Für eine detaillierte Beschreibung des VME-Protokolls wird auf [Pet93] verwiesen.

8.1.2 Programmierung des Veto-CPLDs

In Abbildung 8.2 ist die Schaltung zur Veto-Erzeugung schematisch dargestellt. Die Klammerausdrücke beziehen sich im Folgenden auf diese Abbildung. Dünn gedruckte Pfeile symbolisieren Steuersignale, fett gedruckte Datenbusse. Zunächst werden die Eingangsstufen beschrieben. Sie sind in Abbildung 8.2 farblich unterlegt dargestellt.

Die Summendaten und die Fast-Veto-Signale der sieben FSC-Kanäle (FSC 1 bis FSC 7) werden in den Eingangsregistern (EINGANGSREGISTER) mit dem jeweiligen Takt der FSCs (CLK 1 bis CLK 7) gespeichert. Die Eingangsregister lassen sich kanalweise maskieren (ACLR 1 bis ACLR 7). Die Fast-Veto-Signale werden logisch mit einer ODER-Verknüpfung verbunden. Das Summationsergebnis der sieben Mezzanin-Kanäle und das aus der ODER-Verknüpfung der Fast-Veto-Signale erzeugte Veto-Signal der Mezzanin-Karte (zusammengefasst in SIG_MEZ) gelangen in das CPLD (MEZ EINGANG). Die Mezzanin-Eingangsstufe lässt sich ein- bzw. ausschalten (EN_MEZ). In dem BX-Nummern-Register (BX REGISTER) wird die BX-Nummer (BX) des ersten FSC-Kanals gespeichert, um damit das Veto-Signal zu markieren. Das EEI-Veto-Signal

wird zusammen mit der zugehörigen BX-Nummer (EEI) in einem Register (EEI REGISTER) gespeichert. Die Verarbeitung der EEI-Informationen lässt sich ein- bzw. ausschalten (EN_EEI). Von den Eingangsstufen gelangen die Daten an die mit VETO und EEI INH MUX bezeichneten Logikblöcke.
Das Veto-Signal lässt sich auf zwei unterschiedliche Arten erzeugen. Zum einen können die ODER-verknüpften Fast-Veto-Signale der FSCs (FSC_VETO) als Veto-Signal benutzt werden. In diesem Fall wird der mit VETO bezeichnete Logikblock der CPLD-Programmierung umgangen. Das EEI-Veto-Signal wird unter der Adresse der BX-Nummer, mit der es vom EEI markiert wird, in einem DPRAM zwischengespeichert und zu der BX-Nummer der aktuell auf dem VB prozessierten Daten ausgelesen. Dies geschieht in dem mit EEI INH MUX markierten Logikblock.
Zum anderen werden die Summendaten der FSCs (SUM 1 bis SUM 7) und der Mezzanin-Karte (SUM_MEZ) in dem mit VETO bezeichneten Logikblock verarbeitet. Es findet eine kaskadierte Addition der Summen statt. Das Ergebnis entspricht der Anzahl der Photonen im RICH. Diese wird mit der oberen und unteren Schwelle (REF) verglichen. Vier Veto-Modi stehen zur Erzeugung des Veto-Signals zu Verfügung. Von ihnen hängt die Verwendung der oberen und unteren Schwelle ab.

Veto-Modus 0 Es wird ein Veto-Signal erzeugt, wenn die Anzahl der Photonen im RICH größer als der Wert der oberen Schwelle ist. Dieser Modus wird standardmäßig beim Einschalten des VBs eingestellt.

Veto-Modus 1 Die Anzahl der Photonen im RICH ist kleiner als die untere Schwelle. Es wird ein Veto-Signal erzeugt.

Veto-Modus 2 Die obere und untere Schwelle spannen einen Bereich auf, in dem kein Veto-Signal erzeugt wird. Ist die Anzahl der Photonen im RICH grösser als die obere Schwelle oder kleiner als die untere Schwelle, wird ein Veto-Signal generiert.

Veto-Modus 3 Die obere und untere Schwelle spannen einen Bereich auf. Liegt die Anzahl der Photonen im RICH zwischen der oberen und unteren Schwelle, wird ein Veto-Signal erzeugt.

Die Veto-Modi lassen sich über Steuersignale (MODE) einstellen. Das EEI-Veto-Signal wird auch in dem mit VETO bezeichneten Logikblock über ein DPRAM in den Datenpfad eingebunden. Das so erzeugte Veto-Signal wird als Summen-Veto-Signal bezeichnet (SUMMEN_VETO).
Über einen Multiplexer (MUX) lässt sich das Summen- oder das FSC-Veto-Signal selektieren.

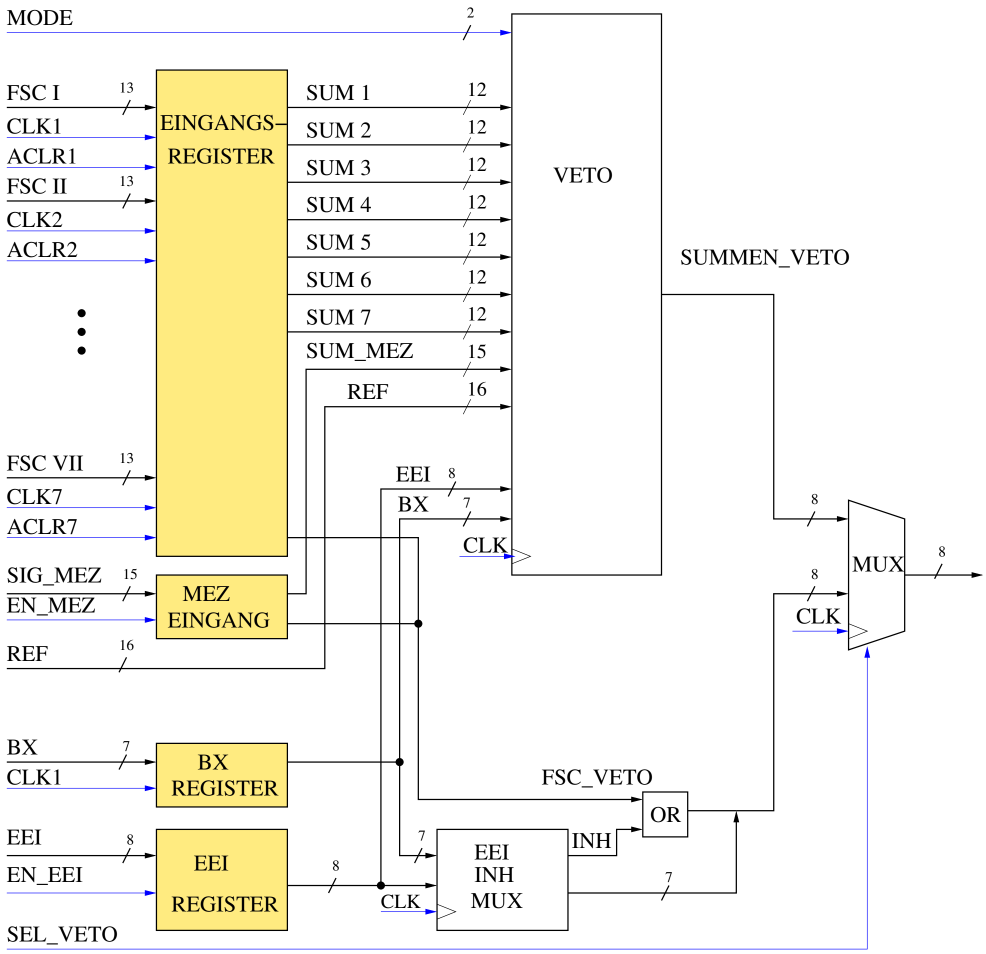

Abb. 8.2: Schematische Darstellung der Schaltung, die in das VETO-CPLD programmiert wird. Dünn gedruckte Pfeile zeigen Steuersignale, fett gedruckte Datenbusse. Die Summendaten und Fast-Veto-Signale von sieben FSCs (FSC 1..FSC 7) werden in den Eingangsregistern (EINGANGSREGISTER) gespeichert. Die Fast-Veto-Signale werden im Eingangsregister mit einer logischen ODER-Verknüpfung kombiniert. Die Daten der Mezzanin-Karte gelangen in das CPLD (MEZ EINGANG). Sie enthalten das kombinierte Fast-Veto-Signal und die Summe der sieben Mezzanin-Kanäle. Die BX-Nummer des ersten FSC-Kanals wird zwischengespeichert (BX REGISTER), um das Veto-Signal damit zu markieren. Die Daten des EEIs werden in dem EEI REGISTER gespeichert. Es gibt zwei Möglichkeiten der Veto-Signal-Erzeugung. Zum einen können die kombinierten Fast-Veto-Signale (FSC_VETO) verwendet werden. Der mit EEI INH MUX bezeichnete Logikblock fügt das INH-Signal zu der aktuellen BX-Nummer des VBs in den Datenpfad ein. Zum anderen werden die Summen der FSCs (SUM 1..SUM 7) und der Mezzanin-Karte (SUM_MEZ) aufsummiert und mit der oberen und unteren Schwelle (REF) verglichen (VETO). Aufgrund des eingestellten Veto-Modus (MODE) wird das Veto-Signal erzeugt. Das EEI-Veto-Signal wird in den Datenpfad eingefügt (EEI). Mit einem Multiplexer (MUX) lässt sich das FSC_VETO-Signal oder das SUMMEN_VETO-Signal auswählen.

8.2 Funktionstest des VBs

Die Testprozeduren, die in den folgenden Abschnitten beschrieben werden, dienen dazu, die Schaltungen des VBs auf Bitniveau zu testen. Es werden Stimulusdateien verwendet, um definierte Eingangsdaten des VBs zu generieren.

8.2.1 Beschreibung der Testmodule

Für die Testaufbauten werden außer den in Abschnitt 6.3.2 beschriebenen Modulen, der BSC und der FSC, noch weitere Testmodule benötigt.
Die Veto Board Test Card (VBTC) besitzt zwei Kanäle, die die Ausgangsdaten von zwei FSCs emulieren. Über ein Flachbandkabel werden Daten eines (Pretrigger FED Simulator (PFEDS) Kanals auf die VBTC übertragen. Die 32 Bits des PFEDS-Kanals werden in zwei 16-Bit-Worte aufgeteilt. Die 16 Bits setzen sich zusammen aus der FSC-Summe (12 Bits) dem Fast-Veto-Signal und der Fehlernachricht (3 Bits). Die BX-Nummer (8 Bits) und das Taktsignal wird von der Backplane abgegriffen und den 16-Bit-Worten zugefügt. Insgesamt erhält man 24 Datensignale zuzüglich des Taktsignals, die von TTL in differentielles PECL umgewandelt und über 50-polige Stecker übertragen werden. Die Daten der beiden VBTC-Kanäle lassen sich zeitlich gegeneinander verschieben, um eine Phasenverschiebung der Daten zweier FSC-Kanäle zu emulieren.
Zum Test der Auslese des FED-Speichers wird ein SHARC-Modul [Leu 94], wie es auch im SLB verwendet wird, eingesetzt. Es besitzt sechs DSPs mit jeweils sechs Eingangskanälen. Für den Test der Verbindung wird nur ein Eingangskanal benötigt. Das SHARC-Modul lässt sich über eine VME-Schnittstelle auslesen. Für eine detaillierte Beschreibung des SHARC-Moduls wird auf [Leu 94] verwiesen.
Die Schnittstelle zum EEI wird mittels des EEI-Emulators getestet. Der EEI-Emulator greift die BX-Nummer und das Taktsignal von der FCS-Backplane ab und erzeugt zu einer einstellbaren BX-Nummer, modulo 16 bzw. 32 BX-Nummern, ein Veto-Signal. Dieses wird mit der entsprechenden BX-Nummer markiert.

8.2.2 Beschreibung des Testaufbaus

Das Ziel dieses Tests ist es, Defekte der Eingangskanäle festzustellen und die dynamische Summation der Eingangsdaten und die Erzeugung des Veto-Signals zu überprüfen. Voraussetzung dazu ist der Test des Monitorsystems auf dem VB. Um alle Bits der Eingangskanäle zu testen, wird die VBTC eingesetzt. Der Testaufbau ist in Abbildung 8.3 dargestellt. Er besteht aus drei Crates, zwei VME-Crates und einem FED-Crate. In dem VME CRATE 1 befindet sich eine VME-CPU, die über Ethernet mit PCs verbunden ist. Das PFEDS ist mit einem Flachbandkabel an die VBTC angeschlossen. Über 40 m lange Flachkabel gelangen die Daten von der VBTC an das zu testende VB im VME CRATE 2. Das vom PFEDS erzeugte Taktsignal und die BX-Nummer werden mit den Backplane-Adaptern (BP_ADAPTER) an die FCS-Backplane (FCS_BP) des FED-CRATEs übertragen und an die VBTC und den EEI EMULATOR weitergeleitet. In dem VME CRATE 1 befindet sich die FCS-Mutterkarte (FCS MUTTER). Sie ist mit der FCS-Tochterkarte (FCS TOCHTER) im VME CRATE 2 verbunden. Die FCS-Mutterkarte kontrolliert die Auslese des FED-Speichers. Die dazu erforderlichen

Signale gelangen von der FCS-Tochter über die FCS-Backplane (FCS_BP) des VME CRATE 2 an das VB. Über Flachkabel werden die Daten vom VB an das SHARC MODUL übertragen. Von dem Interface-Adapter (INT_ADP) wird das Veto-Signal an den Veto-Distributor, der nicht in der Darstellung des Testaufbaus enthalten ist, weitergeleitet. Über die auf dem Interface-Adapter untergebrachte EEI-Schnittstelle gelangen die Daten vom EEI EMULATOR auf das VB. Eine VME-CPU im VME CRATE 2 dient zur Steuerung des VBs. Über die VME-Schnittstelle können die Register des VBs beschrieben und ausgelesen werden.

8.2.3 Beschreibung der Testprozeduren

Test des Monitorsystems auf dem VB

Die Monitorfunktionen auf dem VB liefern wertvolle Testmöglichkeiten. Es lässt sich mit den Monitorfunktionen die Veto-Signal-Erzeugung und die dynamische Summenbildung überprüfen. Nach Inbetriebnahme der VME-Schnittstelle wird eine Stimulusdatei erzeugt, die Fehlernachrichten und Fast-Veto-Signale enthält. Die Stimulusdaten werden über das PFEDS an die VBTC übertragen und gelangen von dort auf das VB. Die Zähler der Monitor-CPLDs werden über die VME-Schnittstelle ausgelesen. Die Zähler sind acht Bit tief. Sie werden mit dem HERA-Takt getaktet. Nach 256 Taktsignalen wird der Zähler gestoppt. Bei der Auslese der Zählerwerte erhält man die Anzahl der Fehler pro 256 Taktzyklen bzw. BX-Nummern.
Es gibt drei Monitorsysteme auf dem VB. Das erste kontrolliert die auf den FSCs erzeugten Fehlernachrichten, dekodiert diese und zählt, wie oft eine Fehlerbedingung aufgetreten ist. Das zweite überprüft die Synchronisation der BX-Nummern der 14 FSC-Kanäle. Treten Synchronisationsfehler auf, wird die Anzahl der Fehler festgestellt. Das dritte Monitorsystem zählt die Anzahl der vom Veto-Board und vom EEI erzeugten Veto-Signale.
Zunächst wird mit den Daten der Stimulusdatei getestet, ob die FSC-Fehlernachricht, bestehend aus drei Bit, richtig dekodiert wird. Aus den drei Bit ergeben sich sieben Fehlerbedingungen. Das Auftreten jeder Fehlerbedingung wird in einem separaten Zähler vermerkt. Insgesamt existieren 98 8-Bit-tiefe Zähler, um alle Fehlerbedingungen der 14 FSC-Kanäle zu erfassen. Die Daten der Stimulusdatei sind so angelegt, dass pro Kanal alle sieben Fehlerbedingungen auftreten. Anhand der Zählerwerte wird überprüft, ob die Fehlernachrichten richtig dekodiert und gezählt werden.
Auf dem VB ist der BX-Nummern-Vergleich für Mezzanin und VB getrennt. Die BX-Nummern der jeweils sieben FSC-Kanäle werden paarweise miteinander verglichen. Die Komparatordaten werden kodiert, um eine Fehlernachricht zu erzeugen. Es ist möglich, bis zu zwei fehlerhafte Kanäle zu identifizieren. Treten mehr als zwei fehlerhafte Kanäle auf, so wird dies in einem separaten Zähler vermerkt. Eine Identifikation der Kanäle ist nicht möglich. Werden weniger als sieben Eingangskanäle betrieben, wird der Vergleich der BX-Nummern nur mit den angeschlossenen Kanäle durchgeführt und das Vergleichsergebnis dem eben genannten Zähler zugeführt.
Auch die Veto-Signal-Zähler sind acht Bit tief. Sie werden ebenfalls nach 256 Taktzyklen angehalten, um so die Anzahl der Veto-Signale pro 256 Taktzyklen zu erhalten.
Das Startsignal der Zähler wird asynchron zum HERA-Takt von der VME-Schnittstelle

geliefert. Daher kann es, durch Nichteinhaltung der Setup- und Hold-Zeiten der Daten an den Zählereingängen, zu einer Abweichung von -1 bei der Auswertung des Zählerwertes kommen. Aufgrund der Daten in der Stimulusdatei sind die Zählerstände der FSC-Fehlerzähler, des BX-Nummern-Vergleichs und der Veto-Signal-Zähler bei korrekter Funktion des VB bekannt. Die erwarteten Zählerstände werden mit den ausgelesenen Zählerwerten verglichen. Die Messung wurde 50 mal pro Kanal durchgeführt. Innerhalb des oben beschriebenen Fehlerintervalls von -1 Zählerwert stimmen die ausgelesenen Zählerwerte mit den erwarteten Zählerwerten überein.

Test der Eingangskanäle und der Veto-Signal-Erzeugung

Es wird eine weitere Stimulusdatei benutzt, mit der die Summeneingangssignale auf dem VB überprüft werden. Die Stimulusdatei besteht aus 16 Worten, in denen die Summenbits so angeordnet sind, dass jedes Bit mindestens einmal einzeln, ohne ein gesetztes Nachbarbit, getestet wird. Dies ist wichtig, um Lötbrücken zwischen den Eingangssignalen detektieren zu können. Die Daten der Stimulusdatei werden vom PFEDS an die VBTC übertragen und gelangen von dort an das VB. Alle Eingangskanäle, außer dem ersten, werden maskiert. Für ein Wort der Stimulusdatei werden die obere und untere Schwelle so eingestellt, dass, im Veto-Modus 3, genau zu dem zugehörigen Wert ein Veto-Signal erzeugt wird. Der Bereich im Veto-Modus 3 lässt sich bitgenau einstellen. Der Zählerwert des Veto-Zählers wird ausgelesen und die Anzahl der erzeugten Veto-Signale überprüft. Diese Prozedur wird 50 mal für alle 16 Datenworte durchgeführt. Da sich die Datenworte der Stimulusdatei alle 16 Taktzyklen wiederholen, wird ein Zählerwert von 16 erwartet. Die Zählerwerte stimmen innerhalb des beschriebenen Fehlerintervalls von -1 Zählerwert mit dem erwarteten überein. Die Fehlerrate ist kleiner als $7{,}8{\cdot}10^{-5}$. Sie wird nur durch die zur Verfügung stehende Messzeit begrenzt.

Tritt bei dem oben beschriebenem Test kein Fehler auf, wird ein zweiter Kanal überprüft. Die Summendaten des zweiten Kanals sind identisch mit denen des ersten Kanals. Die obere und untere Schwelle werden pro Wort der Stimulusdatei so eingestellt, dass exakt zu dem erwarteten Summationsergebnis der beiden Eingangskanäle ein Veto-Signal erzeugt wird. Die Anzahl der Veto-Signale wird dem Zähler entnommen und überprüft. Diese Prozedur wird 50 mal wiederholt. Die Fehlerrate ist, wie bei dem oben beschriebenen Test, kleiner als $7{,}8{\cdot}10^{-5}$. Ist der zweite Kanal getestet, werden die anderen fünf Kanäle auf die gleiche Weise überprüft.

Die Daten des EEI-Emulators werden in das VB eingespeist. Das EEI-Veto-Signal wird direkt an einen Zähler geleitet und parallel dazu in den Datenpfad des VBs eingefügt. Das vom Veto-CPLD ausgegebene Veto-Signal wird ebenfalls gezählt. Es wird darauf geachtet, dass die Veto-Signal-Erzeugung auf dem VB keine zusätzlichen Veto-Signale, z. B. FSC-Veto-Signale oder Summen-Veto-Signale, erzeugt. Aufgrund der Bearbeitungszeit in dem Veto-CPLD beträgt die Phase zwischen den Eingangssignalen der Zähler zwei Taktzyklen. Die Zähler werden ausgelesen und die Anzahl der Veto-Signale wird überprüft. In dem hier durchgeführten Test können sich die Zählerstände, aufgrund der Erzeugung des EEI-Veto-Signals auf dem EEI EMULATOR, nur um 1 unterscheiden. Die Messungen werden 100 mal ausgeführt. Die Zählerstände stimmen innerhalb des beschriebenen Fehlerintervalls überein. Die Fehlerrate ist, da der EEI-Emulator alle 16 Taktzyklen ein Veto-Signal erzeugt, kleiner als $6{,}3{\cdot}10^{-4}$, wobei dieser

Wert nur durch die zur Verfügung stehende Messzeit begrenzt ist.

Test der Datenübertragung zum DSP des SLBs

Die Datennahmeprozedur des HERA – B Experiments wird in Abschnitt 9.2.2 beschrieben. Auf dem VB ist ein modifizierer FED-Speicher implementiert. Das FCS liefert die FLT-Nummer, die FLT-BX-Nummer, den FLT-Typ und das Triggersignal. Die Daten gelangen über die FCS-Backplane auf das VB. Das auf dem VB erzeugte Veto-Signal wird in ein DPRAM, das in ein CPLD implementiert ist, unter der Adresse der zugehörigen BX-Nummer gespeichert. Wird ein Triggersignal gesendet, wird der Inhalt des DPRAMs zu der Leseadresse der FLT-BX-Nummer ausgelesen. Die FLT-Nummer, die FLT-BX-Nummer, der FLT-Typ und das Veto-Signal sowie der auf dem VB gesetzte Veto-Modus werden in FIFOs gespeichert. Aus den FIFOs werden die Daten ausgelesen, in 4-Bit-Gruppen aufgeteilt und mit 41,667 MHz an das DSP des SLBs übertragen. Das SHARC-Modul ist so eingestellt, dass es die empfangenen Daten über die VME-CPU ausgibt. Das FCS liefert pseudozufällige Triggersignale. Dadurch wird sichergestellt, dass die Daten des FED-Speichers zu jeder möglichen FLT-BX-Nummer ausgelesen werden. Die Auslese des DSPs zeigt die BX-Nummern und den zugehörige Wert des Veto-Signals an. Die BX-Nummern, zu denen ein Veto-Signal erzeugt wird, werden mit denen verglichen, bei denen, aufgrund der Einstellungen auf dem VB, Veto-Signale erwartet werden. Der Vergleich zeigt immer vollständige Übereinstimmung zwischen erwarteten und ausgelesene Veto-BX-Nummern. Es wurden 1 000 000 mal Vetoinformationen an das Sharc-Modul übertragen. Die Fehlerrate ist kleiner als $1{,}0 \cdot 10^{-6}$, wobei der Fehler nur durch die für die Messung zur Verfügung stehende Zeit begrenzt wird.

8.2.4 Test der I^{2}C-Bus-Schnittstelle und der Funktionalität des VBs mit Komponenten des RICH-Multiplizitätsveto-Systems

Das Taktsignal zur Datenprozessierung wird im RICH-Multiplizitätsveto-System von Modul zu Modul weitergeleitet. Die erste Aufgabe des VBs ist es, die Module in den FED-Crates zu initialisieren. Dies geschieht über den I^{2}C-Bus. Der Master I^{2}C-Bus-Controller befindet sich auf dem VB. Über den Interface-Adapter werden die I^{2}C-Bus-Signale an die FED-Crates verteilt. Nach der Initialisierung liefert die FSC das Taktsignal für das VB.
Zum Test der I^{2}C-Bus-Schnittstelle wird der Testaufbau modifiziert. Der modifizierte Testaufbau ist in Abbildung 8.4 dargestellt. Die VBTC und der EEI-Emulator werden entfernt. Das FED-Crate wird mit acht BSCs, von denen nur eine stellvertretend in der Abbildung dargestellt ist, und einer FSC bestückt. Die BSCs werden über Flachbandkabel mit dem PFEDS und der FSC verbunden. Die FSC wird mit einem 40 m langen Flachkabel an das VB angeschlossen. Die Module in dem FED-Crate werden über den I^{2}C-Bus-Distributor [Kol 01a] mit dem I^{2}C-Bus verbunden. Der I^{2}C-Bus-Distributor ist nicht in der Abbildung dargestellt.
Die Daten der Stimulusdateien, beschrieben in Abschnitt 6.3.3, werden vom PFEDS an die BSCs gesendet. Über den I^{2}C-Bus werden die Module des FED-Crates initia-

lisiert. Die 32-Bit-Blöcke der BSCs, die nicht über Flachbandkabel an das PFEDS angeschlossen sind, werden maskiert. Die Datenübertragung der BSCs zur FSC wird ein- und die Eingangskanäle der FSC werden freigeschaltet. Die Parameter der optischen Übertragungsstrecke werden eingestellt. Anschließend werden die Statusregister der einzelnen Module, deren Werte Auskunft über die korrekte Initialisierung liefern, ausgelesen. Danach wird das VB initialisiert. Standardmässig ist der Veto-Modus 0 eingestellt. Die obere Schwelle entspricht der maximalen FSC-Summe der Stimulusdaten. Die Auslese des SHARC-Moduls wird gestartet. Das FCS liefert Trigger-Signale. Es wird überprüft, ob die BX-Nummern der Veto-Signale mit denen aus den Stimulusdaten erwarteten übereinstimmen. Zur Kontrolle werden die Veto-Signale 1 000 000 mal ausgewertet. Dieser Test wird mit den restlichen I^2C-Bus-Kanälen des Interface-Adapters wiederholt. Die Veto-BX-Nummern stimmen immer überein. Die Fehlerrate ist kleiner als $1{,}0 \cdot 10^{-6}$. Sie ist nur durch die für die Messung zur Verfügung stehende Zeit limitiert.

8.2.5 Latenzzeitmessung

Die Latenzzeit des VBs wird gemessen. Als Messpunkte dienen die aufsteigende Flanke eines Eingangssignals und die aufsteigende Flanke des Veto-Signals. Systematische Untersuchungen haben ergeben, dass die Flankensteilheit der Signale von der Anzahl der gesetzten Bits auf den Flachbandkabeln abhängt. Aus den Untersuchungen wird abgeschätzt, dass der Fehler bei ± 2 ns liegt. Es handelt sich nicht um statistische, sondern um Ablesefehler. Die Latenzzeit des VBs wurde mit dieser Methode zu 173 ± 2 ns bestimmt.

8.3 Zusammenfassung

Dieses Kapitel beschreibt die Funktion des VBs. Es wurden die Testaufbauten und -prozeduren erläutert. Aufgrund der Unterschiede in den Messaufbauten, der Datenauslese und der daraus resultierenden Messzeit, sowie der Redundanz einiger Messungen sind die Fehlerratenlimits unterschiedlich gewichtet.
Auf dem VB fließen die Daten von 14 FED-Crates zusammen. Es existieren zwei Arten, das Veto-Signal zu erzeugen. Zum einen werden die Fast-Veto-Signale der FSCs mit einer ODER-Verknüpfung verbunden und können als Veto-Signal eingesetzt werden (FSC-Veto-Signal). In diesem Fall wird die Summationsstufe auf dem VB umgangen. Zum anderen werden die FSC-Summen aufaddiert. Das Ergebnis wird mit einer programmierbaren oberen und unteren Schwelle verglichen. Vier Veto-Modi legen die Verwendung der oberen und unteren Schwelle fest (Summen-Veto-Signal). Bei beiden Arten der Veto-Signal-Erzeugung wird das vom EEI gelieferte Veto-Signal in den Datenpfad des VBs integriert.
Die Funktionalität der einzelnen Logikblöcke auf dem VB wurde überprüft. Das VB erfüllt alle Anforderungen an die Funktionalität. Das FSC-Veto-Signal und das Summen-Veto-Signal werden dynamisch erzeugt. Das Monitorsystem liefert Informationen über die Synchronisation der BX-Nummern und die Erzeugung der Veto-Signale. Die Datenübertragung an das DSP des SLBs funktioniert. Die Initialisierung der RICH-Multiplizitätsveto-System-Komponenten in den FED-Crates erfolgt über den I^2C-Bus. Die Latenzzeit des VBs beträgt 173 ± 2 ns.

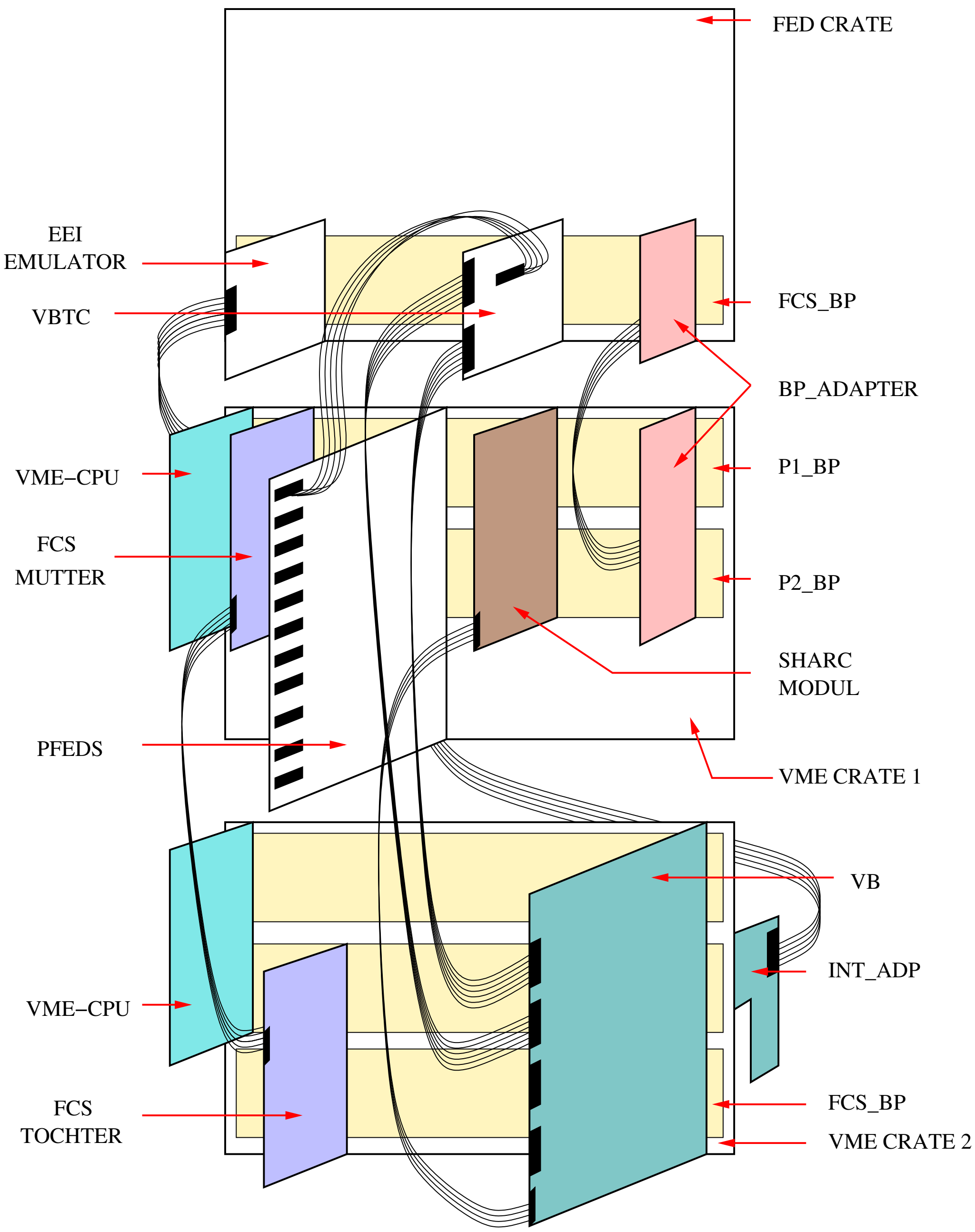

Abb. 8.3: Schematische Darstellung des Testaufbaus zur Kontrolle der Eingangsschnittstelle, der Veto-Signal-Erzeugung und Auslese der Verbindung zu einem DSP des SLBs. Vom PFEDS werden die Daten an die VBTC gesendet. Von dort gelangen sie über 40 m lange Flachkabel an das VB. Die Backplane-Adapter (BP_ADAPTER) übertragen das Taktsignal und die BX-Nummer des PFEDSs an die FCS-Backplane (FCS_BP) des FED CRATES. Die FCS MUTTER steuert die Datenübertragung zum DSP des SLBs. Die Signale gelangen von der FCS MUTTER an die FCS TOCHTER und werden über die FCS-Backplane (FCS_BP) des VME CRATE 2 an das VB übertragen. Ein SHARC MODUL des SLBs empfängt die Daten und speichert sie in einem DSP. Über den Interface-Adapter (INT_ADP) gelangt das EEI-Veto-Signal, erzeugt von dem EEI EMULATOR, auf das VB.

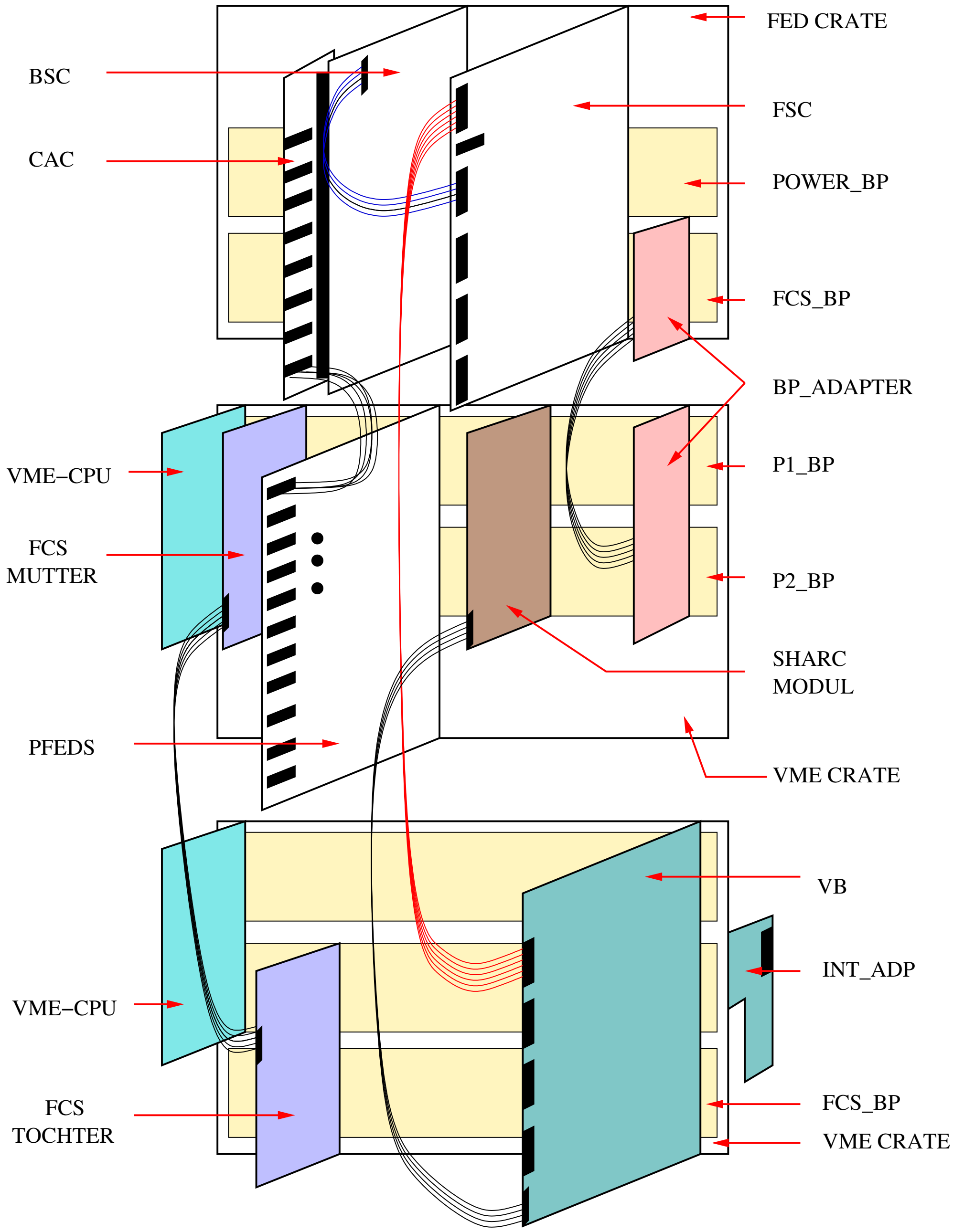

Abb. 8.4: Schematische Darstellung des Aufbaus zum Test der I^{2}C-Bus-Schnittstelle und Initialisierung der Veto-System-Module im FED CRATE. Der Testaufbau in Abbildung 8.3 wird modifiziert. Die VBTC und der EEI EMULATOR weden entfernt. Acht BSCs, von denen nur eine stellvertretend in der Abbildung dargestellt ist, und eine FSC werden in dem FED-Crate installiert. Die BSCs erhalten über Flachbandkabel Daten vom PFEDS. Die BSCs und FSC werden mit dem I^{2}C-Bus über einen I^{2}C-Bus-Kanal des Interface-Adapters (INT_ADP) verbunden. Die Verbindungen sind nicht in der Darstellung enthalten.

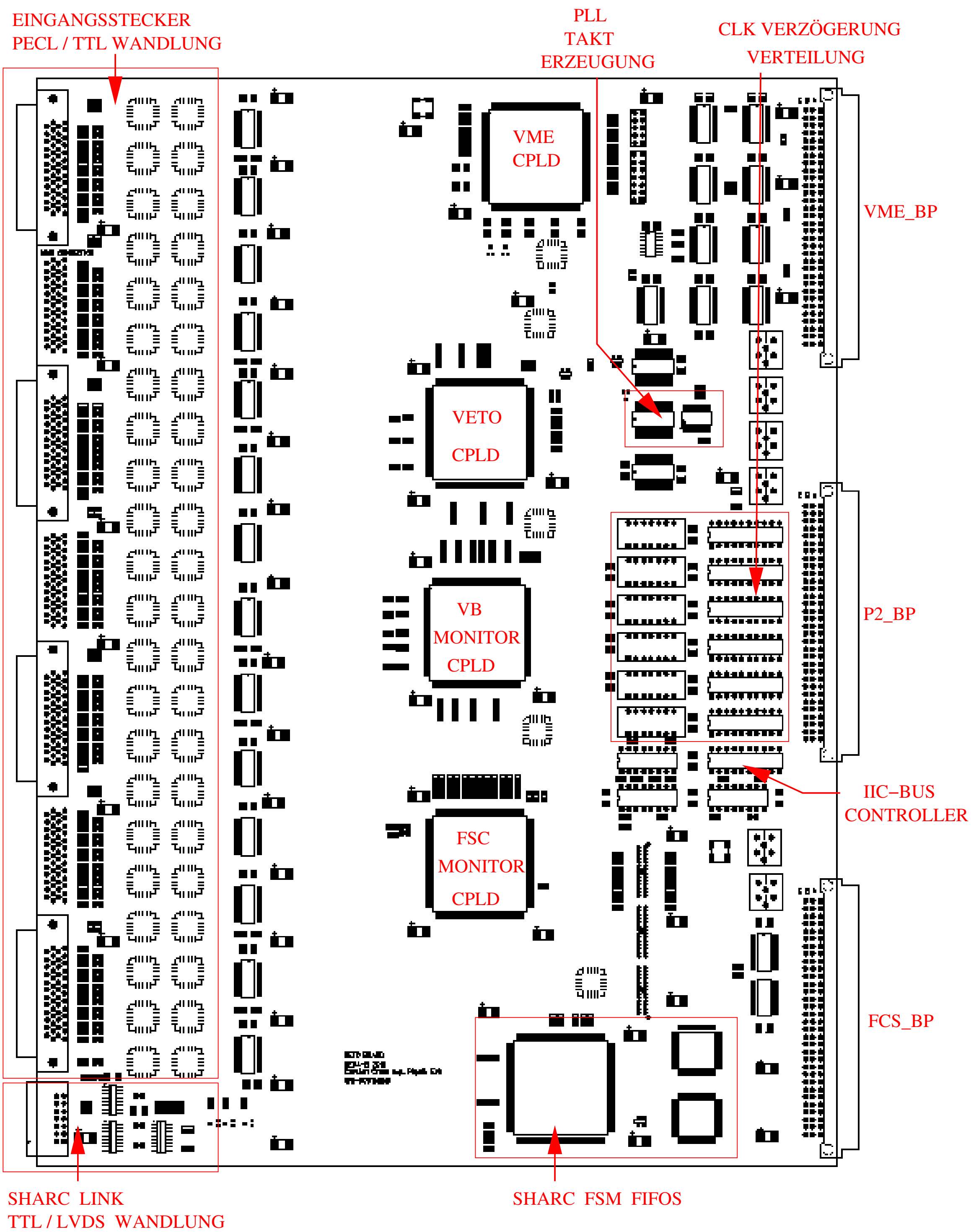

Abb. 8.5: Oberseite der VB-Platine. Die Aufteilung der Leiterplatte und Anordnung der Bauteile ist dargestellt. Die Platine ist nicht massstäblich abgebildet.

Kapitel 9

Benutzung des RICH-Multiplizitätsveto-Systems als nicht verzerrender Hardware-Wechselwirkungstrigger

In den vorangegangenen Kapiteln wurde eine Übersicht über das RICH-Multiplizitätsveto-System und dessen Module gegeben. In Kapitel 4 wurde das Konzept der Vetoerzeugung erläutert und darauf hingewiesen, dass das Veto-System auch als nicht verzerrender Hardware-Wechselwirkungstrigger konfiguriert werden kann. In diesem Kapitel wird auf den Betrieb des RICH-Multiplizitätsveto-Systems in diesem Betriebsmodus eingegangen. Es werden Ergebnisse einer Studie präsentiert, in der untersucht wurde, ob ausgewählte kinematische Parameter des Zerfalls $J/\psi \to \mu^+\mu^-$ von der Wahl des Bereiches der Fokalebene, der vom Hardware-Wechselwirkungstrigger zur Erzeugung des Trigger-Signals benutzt wird, oder der eingestellten Multiplizitätsschwelle abhängen.
Da für den Funktionstest des im HERA−B Experiment installierten RICH-Multiplizitätsveto-Systems das Fast Control System (FCS) von entscheidender Bedeutung ist, werden dessen Funktionen, soweit sie die Datennahme und Bereitstellung von Testmustern betreffen, zusammengefasst. Weiterhin werden die Betriebsbedingungen und Testprozeduren des RICH-Multiplizitätsveto-Systems als Hardware-Wechselwirkungstrigger erläutert und Ergebnisse präsentiert.

9.1 Studie zum Einfluss der Abdeckung der Fokalebene auf ausgewählte kinematische Parameter des Zerfalls $J/\psi \to \mu^+\mu^-$

Der Hardware-Wechselwirkungstrigger liefert, basierend auf einer Mindesttrefferanzahl im RICH-Detektor, ein Trigger-Signal an das FCS. In Abbildung 9.1 sind die Fokalebenen des RICH-Detektors und die abgedeckten Bereiche dargestellt. Der vom Hardware-Wechselwirkungstrigger benutzte Bereich ist mit FED-Crate 13 bezeichnet, da in dem FED-Crate 13 dieser Teil der RICH-Multiplizitätsveto-System-Komponenten installiert ist.

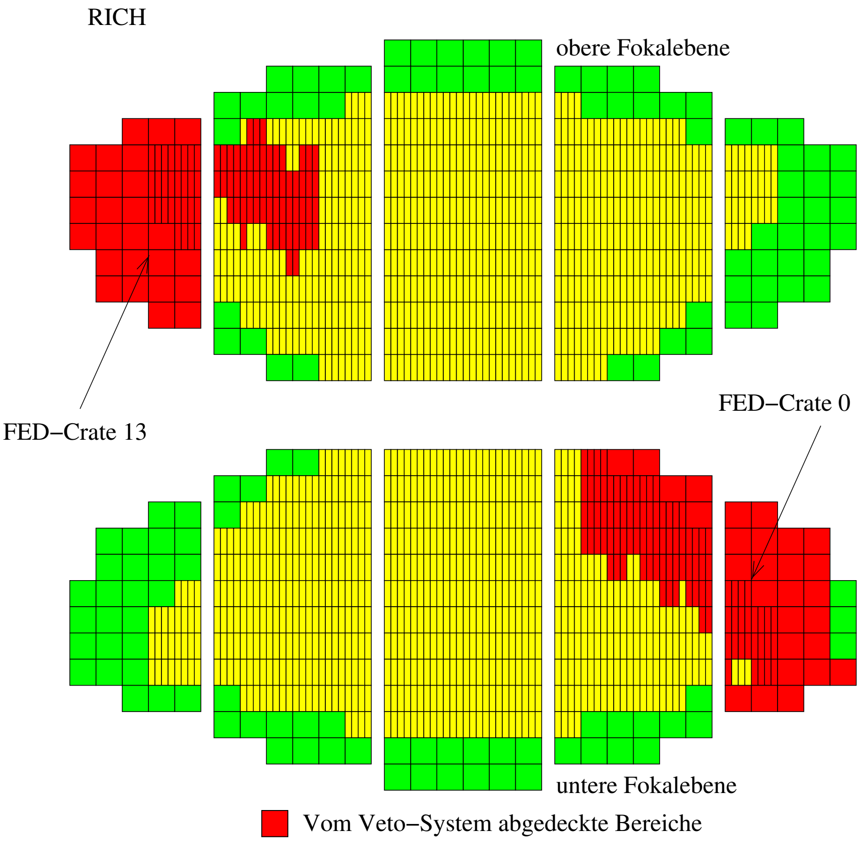

Abb. 9.1: Abdeckung der RICH-Fokalebenen durch das RICH-Multiplizitätsveto-System. Der Hardware-Wechselwirkungstrigger benutzt die Informationen des Bereichs, der mit FED-Crate 13 bezeichnet ist.

In der Studie [Brü 02d] wurde untersucht, ob sich die Veto-Entscheidung in Abhängigkeit der Multiplizitätsschwelle auf die kinematischen Parameter des Ereignisses auswirkt. Es wurde für die Studie ein Datensatz verwendet, der SLT-getriggerte Ereignisse[1] enthält, die nach der Reprozessierung als $J/\psi \to \mu\mu$ Ereignisse klassifiziert wurden. Bei der Reprozessierung werden, ausgehend von den Rohdaten des Detektors unter Ausnutzung besserer Kenntnis des Alignments der Detektorkomponenten untereinander und genauerer physikalischer Konstanten, die Ereignisse rekonstruiert.
In den als $J/\psi \to \mu\mu$ klassifizierten Ereignissen wurde weiterhin nach zwei Myon-Spuren gesucht, die sich zu einem Vertex kombinieren lassen. Anschließend wurde verlangt, dass die daraus berechnete Vertexmasse innerhalb der $3\,\sigma$-Umgebung der J/ψ-Masse liegt. σ entspricht der durch die Fitfunktion bestimmten Breite des Massenpeaks. Die so selektierten Ereignisse wurden als „Signal-Ereignisse“ klassifiziert und für die Studie benutzt. Ausgewählte kinematische Variablen des J/ψs wurden für zwei Szenarien berechnet. Im ersten Szenario wurde die Abhängigkeit der kinematischen Variablen von der einstellbaren Multiplizitätsschwelle in dem FED-Crate 13 untersucht. Es wurden 40 Schwellen in einem Bereich von null bis 200 Treffern gesetzt. Für alle Ereignisse wurden die Werte der kinematischen Variablen berechnet und der Mittelwert der

[1] 2000er SLT-J/ψ (3. Reprozessierung)

Verteilungen für akzeptierte und nicht akzeptierte Ereignisse gegen die Multiplizitätsschwelle aufgetragen. Akzeptierte Ereignisse sind solche, die eine Mindesttrefferanzahl besitzen. Bei den nicht akzeptierte Ereignissen liegt die Trefferanzahl unterhalb der Schwelle. Im zweiten Szenario wurden die Treffer im gesamten RICH-Detektor berücksichtigt. Es wurden 80 Schwellen im Bereich von null bis 4000 Treffern gesetzt und die Mittelwerte der jeweiligen Verteilung für die kinematischen Variablen bestimmt. Der Fehler des Mittelwertes der Verteilung ergibt sich jeweils aus der Wurzel der Anzahl der berücksichtigten Ereignisse.
Bei den kinematischen Variablen handelt es sich um den transversalen Impuls p_{t} sowie die Rapidität y, die über die Gleichung $y = \ln \frac{E+p_{\mathrm{L}}}{\sqrt{p_{\mathrm{t}}^2+m^2}}$ bestimmt wird. E ist die Energie des Teilchens und m die Masse. p_{L} ist die Longitudinalkomponente des Impulses. Eine weitere Variable ist die Pseudo-Rapidität η, die verwendet wird, wenn man weder Impuls noch Masse des Teilchens bestimmen kann. Die Pseudo-Rapidität hängt nur vom Winkel θ zur Strahlachse ab. Weiterhin wurde die Skalenvariable Feynman-x (x_F) untersucht, die den Bruchteil des maximal möglichen Longitudinalimpulses angibt.
In Abbildung 9.2 sind die Mittelwerte der Verteilungen für die kinematischen Variablen der akzeptierten und der nicht akzeptierten Eeignisse gegen die Multiplizitätsschwelle im FED-Crate 13 aufgetragen (Szenario 1). Werte mit einem Fehler größer 10 % sind in den Histogrammen nicht enthalten. Die Verteilungen können innerhalb der Fehler als flach angesehen werden. Dies bedeutet, dass sowohl die Wahl des FED-Crates als auch die Schnitte auf die Treffermultiplizität keinen Einfluss auf die kinematischen Variablen besitzen. In Abbildung 9.3 sind die Mittelwerte der Verteilungen der kinematischen Variablen gegen die Multiplizitätsschwelle im gesamten RICH aufgetragen (Szenario 2). Werte mit einem Fehler größer 10 % sind nicht enthalten. Innerhalb der Fehler sind auch diese Verteilungen flach. Ein Einfluss der Wahl des FED-Crates oder der Multiplizitätsschwelle auf die kinematischen Variablen ist nicht erkennbar. Der Vergleich der Verteilungen für ein Crate mit den Verteilungen für den gesamten RICH-Detektor zeigen, dass diese qualitativ gleich sind.
Es kann davon ausgegangen werden, dass der Hardware-Wechselwirkungstrigger weder durch die Wahl des abgedeckten Bereichs der Fokalebenen noch durch die eingestellte Multiplizitätsschwelle einen signifikanten Einfluss auf die kinematischen Variablen der selektierten Ereignisse ausübt.

9.1.1 Schlussfolgerungen für den Betriebsmodus als Veto-System

Die Ergebnisse der im vorangegangenen Abschnitt vorgestellten Studie lassen sich auch aus der Sicht des Betriebsmodus als Veto-System interpretieren. In diesem Betriebsmodus werden Ereignisse, deren Trefferanzahl kleiner als die eingestellte Schwelle ist, nicht unterdrückt (akzeptiert), während die Ereignisse, deren Trefferanzahl die Schwelle überschreitet mit einem Veto versehen werden (nicht akzeptiert). In den Abbildungen 9.2 und 9.3 werden dann alle als „nicht akzeptiert“ gekennzeichneten Ereignisse zu „akzeptierten“ und umgekehrt. Die Wahl der Schwellen und des Abdeckungsbereichs hat keinen Einfluss auf die kinematischen Variablen. Wie in den Abschnitt 4.2.4 und 4.2.6 gezeigt wurde, wird durch die Wahl der Schwelle jedoch die Untergrundunterdrückung beeinflusst. Das RICH-Multiplizitätsveto-System kann mit einer Teilabdeckung der Fokalebenen – es genügt schon der Bereich, der von einem FED-Crate abgedeckt wird – zufriedenstellend betrieben werden. Im Gegensazt zum Betriebsmodus als nicht verzerrender Wechselwirkungstrigger, in dem nur ein FED-Crate verwendet wird, werden im Betriebsmodus als Veto-System die Daten der beiden bestückten FED-Crates zur Erzeugung des Veto-Signals benutzt. Es ist zur Zeit kein weiterer Ausbau des RICH-Multiplizitätsveto-Systems vorgesehen.

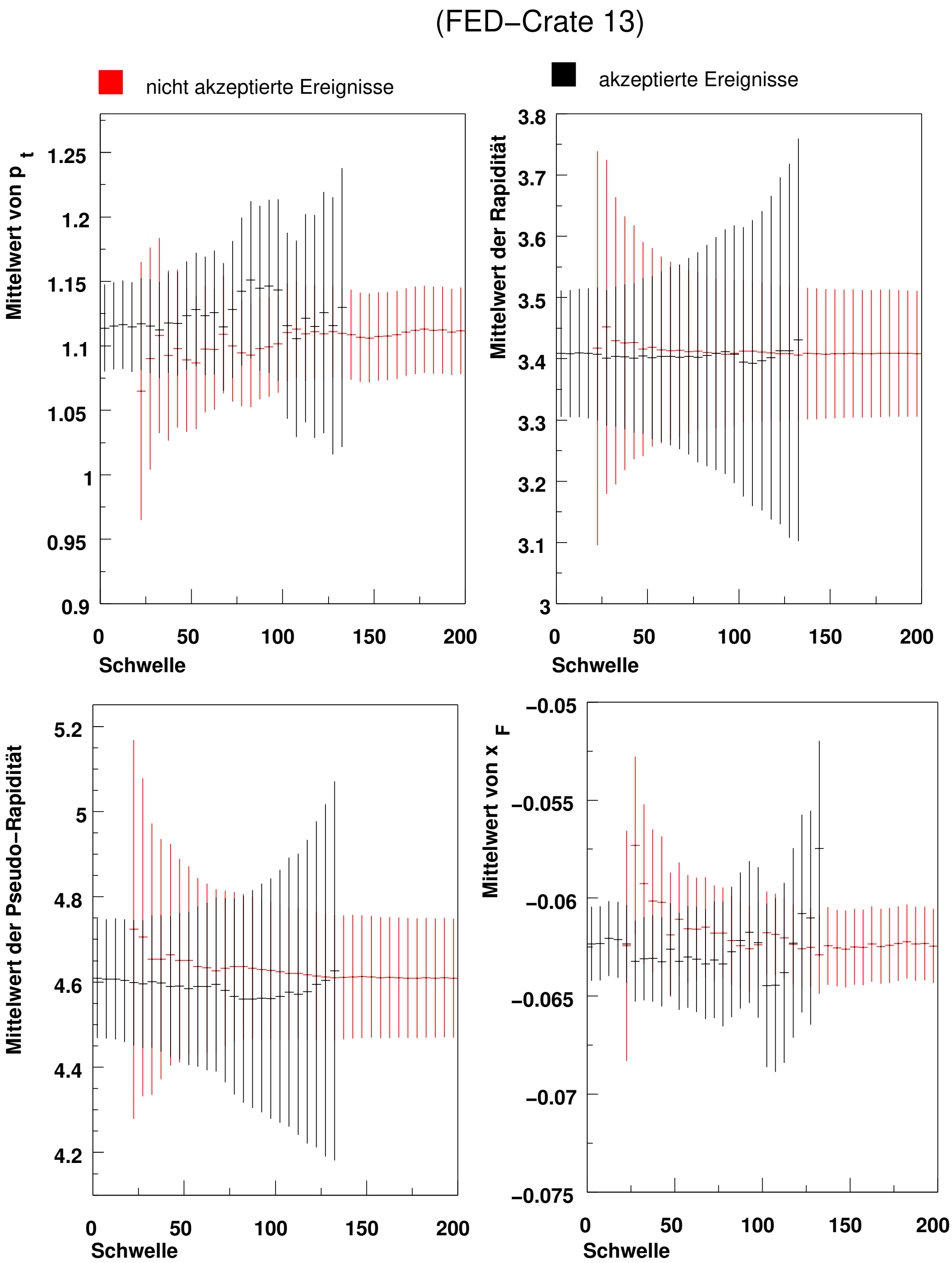

Abb. 9.2: Mittelwerte der Verteilungen der kinematischen Variablen aufgetragen gegen die Multiplizitätsschwelle in dem vom Hardware-Wechselwirkungstrigger benutzten FED-Crate. Werte mit einem Fehler größer 10 % werden nicht dargestellt. Unterschiedlich farblich abgehoben sind die Werte der akzeptierten und nicht akzeptierten Ereignisse. Die Verteilungen sind innerhalb der Fehler flach. Es ist keine Abhängigkeit von den Schwellen festzustellen (nach [Brü 02d]).

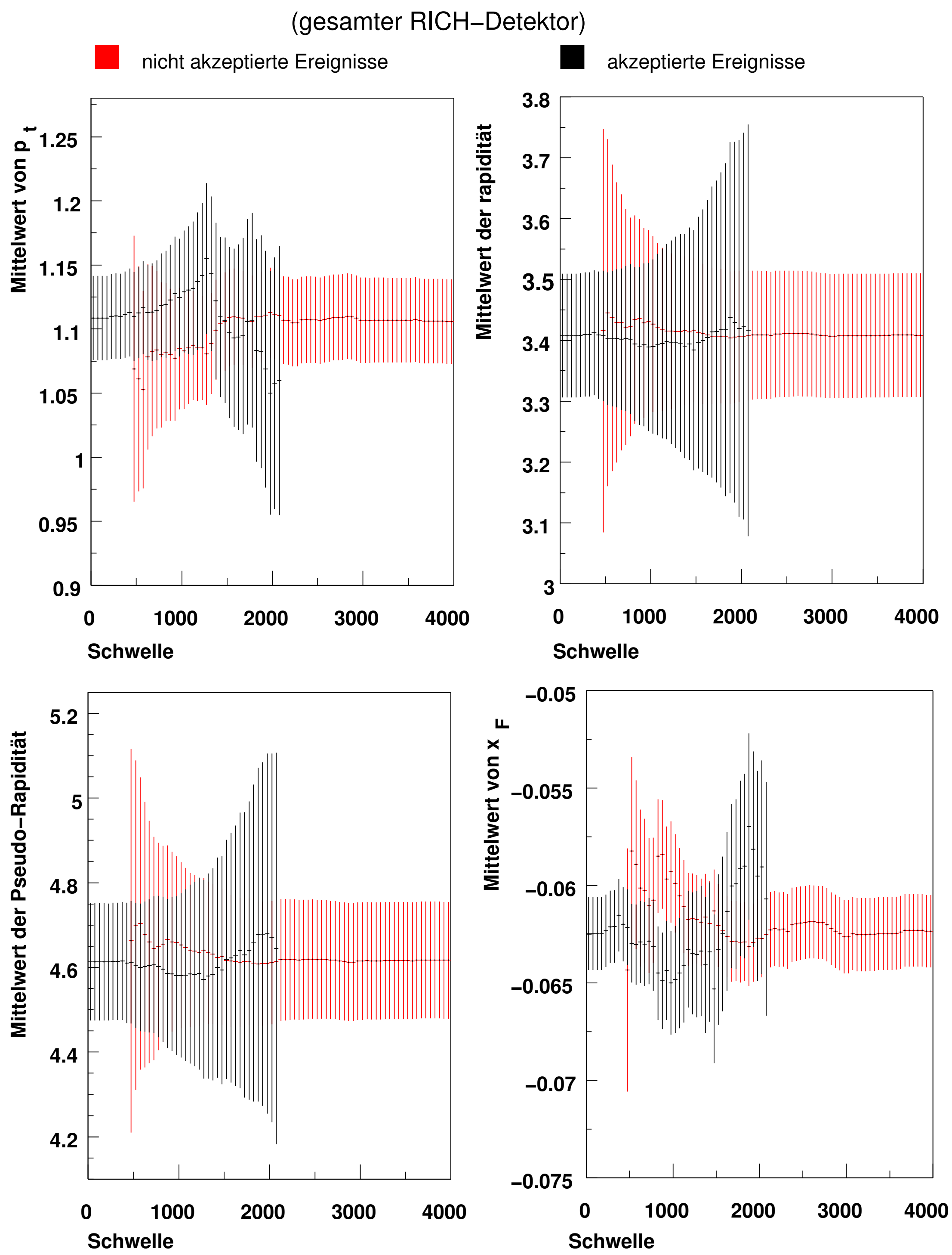

Abb. 9.3: Mittelwerte der Verteilungen der kinematischen Variablen gegen die Multiplizitätsschwelle im gesamten RICH-Detektor aufgetragen. Werte mit einem Fehler größer 10 % werden nicht dargestellt. Akzeptierte und nicht akzeptierte Ereignisse sind unterschiedlich farblich abgehoben. Die Verteilungen sind innerhalb der Fehler flach. Es existiert keine Abhängigkeit der kinematischen Variablen von der eingestellten Schwelle (nach [Brü 02d]).

9.2 Das Fast Control System (FCS)

Aufgrund der Bedeutung für das Datennahmesystem und der Bereitstellung von Testmöglichkeiten wird im folgenden Abschnitt das FCS in den für das RICH-Multiplizitätsveto-System wichtigen Funktionen ausführlicher beschrieben.
Das FCS ist modular aufgebaut. Es besteht aus einer zentralen Einheit, der FCS-Mutter, den FCS-Cluster-Karten und den FCS-Tochterkarten. Die Signale der FCS-Mutter werden mittels optischer Übertragungsstrecken an die FCS-Cluster-Karten verteilt, auf denen sie in elektrische Signale umgewandelt und an mehrere Ausgangsstecker weitergeleitet werden. Von den FCS-Cluster-Karten gelangen die Signale über Flachkabel an die FCS-Tochterkarten in den FED-Crates. Jedem Subdetektor ist ein FCS-Cluster zugewiesen. Das RICH-System besitzt die FCS-Cluster-Nummer 12 und das RICH-Multiplizitätsveto-System die Nummer 17. Über die FCS-Cluster-Nummern kann die FCS-Mutter die FED-Tochterkarten des jeweiligen FCS-Clusters addressieren.
Eine Hauptaufgabe des FCS ist die Bereitstellung eines Taktsignals und der BX-Nummer in den FED-Crates. Das Taktsignal und die BX-Nummer lassen sich auf den FCS-Tochterkarten individuell in Schritten von 500 ps verzögern um sicherzustellen, dass die Detektordaten den richtigen BX-Nummern zugeordnet werden. Eine weitere Aufgabe des FCS ist die Koordination der Datenauslese für getriggerte Ereignisse. Daneben kann das FCS zur Erzeugung von Testmustern auf den FED-Tochterkarten verwendet werden.

9.2.1 Verarbeitung von Trigger-Signalen

Die FCS-Mutter besitzt mehrere Schnittstellen für Trigger-Signale. Die Trigger-Signale der ersten Triggerstufe sind mit einer FLT-BX-Nummer markiert. Auf der FCS-Mutter wird überprüft, ob die Differenz zwischen aktueller BX-Nummer und der FLT-BX-Nummer einen einstellbaren Maximalwert (*Latest_accept*) nicht überschreitet. *Latest_accept* muss so eingestellt sein, dass die Daten aus den FED-Speichern rechtzeitig, bevor sie überschrieben werden, ausgelesen werden. Neben der Schnittstelle für die erste Triggerstufe existieren noch vier Schnittstellen für externe Trigger-Signale (Lemo 1 – 4), die ein TTL-Signal erwarten. Diese Signale sind nicht mit einer BX-Nummer markiert. Die FCS-Mutter muss diesen Signalen eine Identifikationsnummer, die FLT-BX-Nummer, zuweisen. Die externen Trigger-Signale werden für 16 Taktzyklen zwischengespeichert. Mit Hilfe des Parameters *Latest_accept* wird die FLT-BX-Nummer so eingestellt, dass die richtigen Daten aus den FED-Speichern ausgelesen werden. Die FLT-BX-Nummer, die den externen Trigger-Signalen zugewiesen wird, ist die Differenz der aktuellen BX-Nummer und des Parameters *Latest_accept*. Als dritte Möglichkeit können per Software Trigger-Signale gesetzt werden. Es existiert ein „Random-Trigger“, der periodisch ein pseudo-zufälliges Trigger-Signal auslöst. Über einen Parameter (*Random_factor*) wird der Abstand zweier aufeinander folgender Trigger-Signale eingestellt. Mit dem „VME-Trigger“ kann gezielt die Datennahme zu einer einstellbaren FLT-BX-Nummer durchgeführt werden. Den Trigger-Signalen sind Prioritäten zugeordnet, die in Tabelle 9.1 angegeben sind. Sind mehrere Triggerquellen aktiv, so wird nur das Trigger-Signal berücksichtigt, das höchste Priorität besitzt. Die jeweiligen Triggerquellen lassen sich über die VME-Schnittstelle ein- bzw. ausschalten.

Tab. 9.1: Auflistung der Prioritäten der Triggerquellen [Ful 99]

Triggerquelle	Priorität
FLT	6
Random-Trigger	5
VME-Trigger	4
Lemo 1	3
Lemo 2	2
Lemo 3	1
Lemo 4	0

9.2.2 Auslese der FED-Speicher mit dem FCS

Die Detektordaten werden mit der BX-Nummer markiert, damit eine eindeutige Zuweisung zu den Ereignissen gegeben ist. Unter der Schreibadresse der BX-Nummer werden sie in den ringartig aufgebauten FED-Speichern zwischengespeichert. Aus den FED-Speichern werden die Daten der akzeptierten Ereignisse ausgelesen. Dazu sendet die FCS-Mutter die Leseadresse (FLT-BX-Nummer), eine 16-Bit-Zahl (FLT-Nummer), die für jedes getriggerte Ereignis inkrementiert wird, sowie ein Signal (*FLT_accept*), das angibt, dass das Ereignis akzeptiert ist. Die FLT-Nummer, die FLT-BX-Nummer und die zugehörigen Daten werden an den Second-Level-Buffer übertragen.

9.2.3 Erzeugung der Testmuster auf den FED-Tochterkarten

Es besteht die Möglichkeit, auf den FED-Tochterkarten Testdaten zu erzeugen. Drei Testmuster lassen sich selektieren. Es können alle 256 Bits auf den FED-Tochterkarten gesetzt werden, oder nur jedes zweite, wobei die Auswahl zwischen geraden und ungeraden Bits besteht. Die Testmuster lassen sich über Steuersignale (Strobe-Pattern), die von der FCS-Mutter gesendet werden, einstellen. Die Strobe-Pattern liegen danach statisch auf den Leitungen der FCS-Backplane des ausgewählten FED-Crates an, bis sie von der FCS-Mutter zurückgesetzt werden. Ein Test-Puls sorgt für die Ausgabe der Daten auf die Ausgänge der FED-Tochterkarten. Der Test-Puls lässt sich in 255 Schritten mit einer Schrittweite von 500 ps verzögern. In einem speziellen Testmodus werden zu einer BX-Nummer, modulo 32 BX-Nummern, Test-Pulse erzeugt. Erhält die FCS-Tochterkarte das Kommando zur Erzeugung der Test-Pulse, werden die unteren fünf Bits der BX-Nummer mit dem Wert null verglichen und bei Übereinstimmung ein Test-Puls erzeugt. 207 ± 2 ns später erscheint das Testmuster an den Ausgangssteckern der FED-Tochterkarten. Die Kommandos zur Erzeugung der Testmuster, zum Generieren der Test-Pulse und deren Verzögerung werden auf der FCS-Mutter über die VME-Schnittstelle eingestellt und an die FCS-Töchter übertragen. Die Testmustererzeugung ist ein wertvolles Werkzeug zum Test der im HERA – B Experiment installierten Module und zu deren Inbetriebnahme, da keine andere Möglichkeit existiert, definierte Testdaten an die Module zu übertragen.

9.3 Datennahme mit dem Hardware-Wechselwirkungstrigger

Die Installation des RICH-Multiplizitätsveto-Systems wurde in zwei Phasen durchgeführt. Im November 2001 wurde ein RICH-FED-Crate mit sieben BSCs und einer FSC bestückt. Im März 2002 wurde ein weiteres RICH-FED-Crate mit acht BSCs und einer FSC ausgerüstet und das VB in der Elektronikhütte installiert.

9.3.1 Konfiguration des Hardware-Wechselwirkungstriggers im November 2001

Die Module in den RICH-FED-Crates werden über den I^2C-Bus initialisiert. Da das VB, auf dem der Master I^2C-Bus-Controller untergebracht ist, im November 2001 noch nicht vollständig getestet war, wurde zur Ansteuerung der Module der I^2C-Bus-Adapter (siehe Abschnitt 6.3.2), der in der Elektronikhütte installiert wurde, verwendet.
Die BSCs und FSCs wurden initialisiert, und es wurde eine Schwelle auf der FSC eingestellt. Die Daten des FED-Crates 13 wurden zur Erzeugung eines Trigger-Signals verarbeitet. Das Fast-Veto-Signal der FSC wurde mit dem externen Triggereingang Lemo 4 auf der FCS-Mutter verbunden. Zum Test des Systems wurden im RICH mit Hilfe von LED[2]s gepulste Lichtsignale erzeugt [Ca 99], die über die Photomultiplier und die Front-End-Elektronik an das FED-System gelangten und dort in dem FED-Speicher gespeichert wurden. Um den richtige Speicherbereich des FED-Speichers auszulesen, musste der Wert für den Parameter *Latest_accept* bestimmt werden. Es wurden Daten mit dem Datennahmesystem genommen und der Parameter *Latest_accept* variiert, bis die mit den LEDs erzeugten Daten aus dem FED-Speicher ausgelesen wurden. Der Wert des Parameters *Latest_accept* wurde zu 34 bestimmt. Er berechnet sich aus der Latenzzeit der Veto-System-Komponenten in Einheiten von BX, der Verzögerung innerhalb des FCS und der Zeit, die das FCS benötigt, um die Kommandos zur Auslese an die FCS-Töchter zu verteilen.
In Abbildung 9.4 sind die Treffer der LED-gepulsten Ereignisse dargestellt, die vom Hardware-Wechselwirkungstrigger akzeptiert wurden. Die Schwelle auf der FSC wurde auf 256 eingestellt. Es existiert keine scharfe Kante bei 256, sondern ein Anstieg von sieben Treffern. Dies erklärt sich durch das Fehlen des LSBs der BSC-Summen. Es sind sieben BSCs im FED-Crate 13 installiert. Der effektive Treffersummenwert, zu dem der Hardware-Wechselwirkungstrigger ein Trigger-Signal erzeugt, kann daher um sieben Treffer über der eingestellten Schwelle liegen. Es wurden keine Ereignisse unterhalb der geforderten Schwelle akzeptiert.
Im Dezember 2001 wurden Daten mit dem Hardware-Wechselwirkungstrigger genommen, um dessen Funktion in Abhängigkeit von unterschiedlichen Schwellen zu überprüfen. In mehreren Datennahmeabschnitten war der Hardware-Wechselwirkungstrigger mit jeweil unterschiedlichen Schwellen aktiv. Die Schwelle auf der FSC wurde auf 10, 20, 50 und 100 Treffer eingestellt. In Abbildung 9.5 sind die Trefferhistogramme des FED-Crates 13 für die unterschiedlichen Datennahmeabschnitte dargestellt. In jedem

[2]Light Emitting Diodes engl. für Leuchtdioden

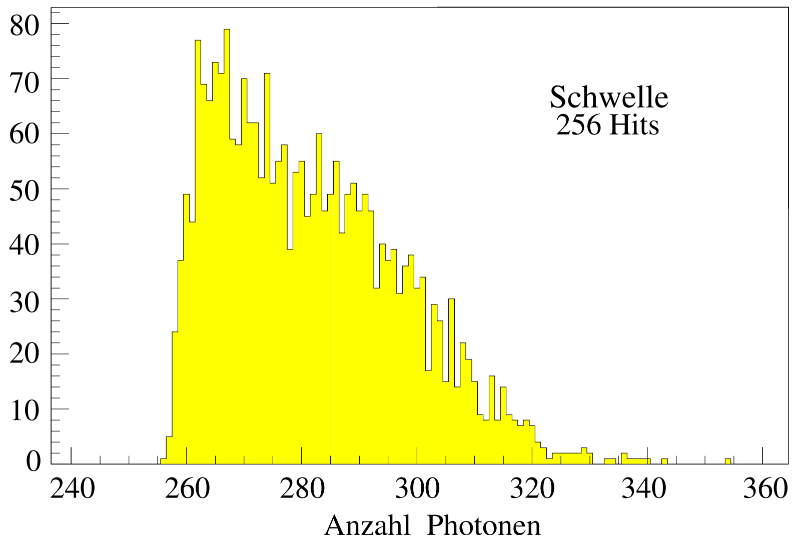

Abb. 9.4: Testmessung Hardware-Wechselwirkungstrigger. Lichtpulse wurden mit Hilfe von LEDs im RICH erzeugt. Dargestellt ist das Trefferhistogramm der vom Hardware-Wechselwirkungstrigger akzeptierten Ereignisse. Die Schwelle auf der FSC wurde auf 256 eingestellt. Es ist keine scharfe Kante bei 256 zu erkennen. Da das LSB der BSC-Summen nicht übertragen wird, kann eine Differenz zwischen effektiver Treffersumme, die zum Auslösen eines Trigger-Signals führt, und der Schwelle auftreten, die kleiner oder gleich der Anzahl der installierten BSCs in dem jeweiligen FED-Crate ist. Im FED-Crate 13 sind sieben BSCs installiert.

Histogramm ist die Schwelle und die zugehörige Identifikationsnummer des Datennahmeabschnitts (Run-Nummer) eingetragen.
Die Trefferhistogramme des gesamten RICH-Detektors der zugehörigen Datennahmeabschnitte sind in Abbildung 9.6 dargestellt. In den Ausschnittvergrößerungen sind die Bereiche nahe der Schwellen gezeigt. Es wird in keinem Histogramm die geforderte Mindesttrefferanzahl unterschritten. Die Schwellen und Identifikationsnummern der Datennahmeabschnitte (Run-Nummern) sind in den Histogrammen angegeben. Es ist zu erkennen, dass zu jedem getriggerten Ereignis über den gesamten RICH-Detektor verteilt Treffer stattfanden. Der Hardware-Wechselwirkungstrigger wurde erfolgreich in Betrieb genommen.

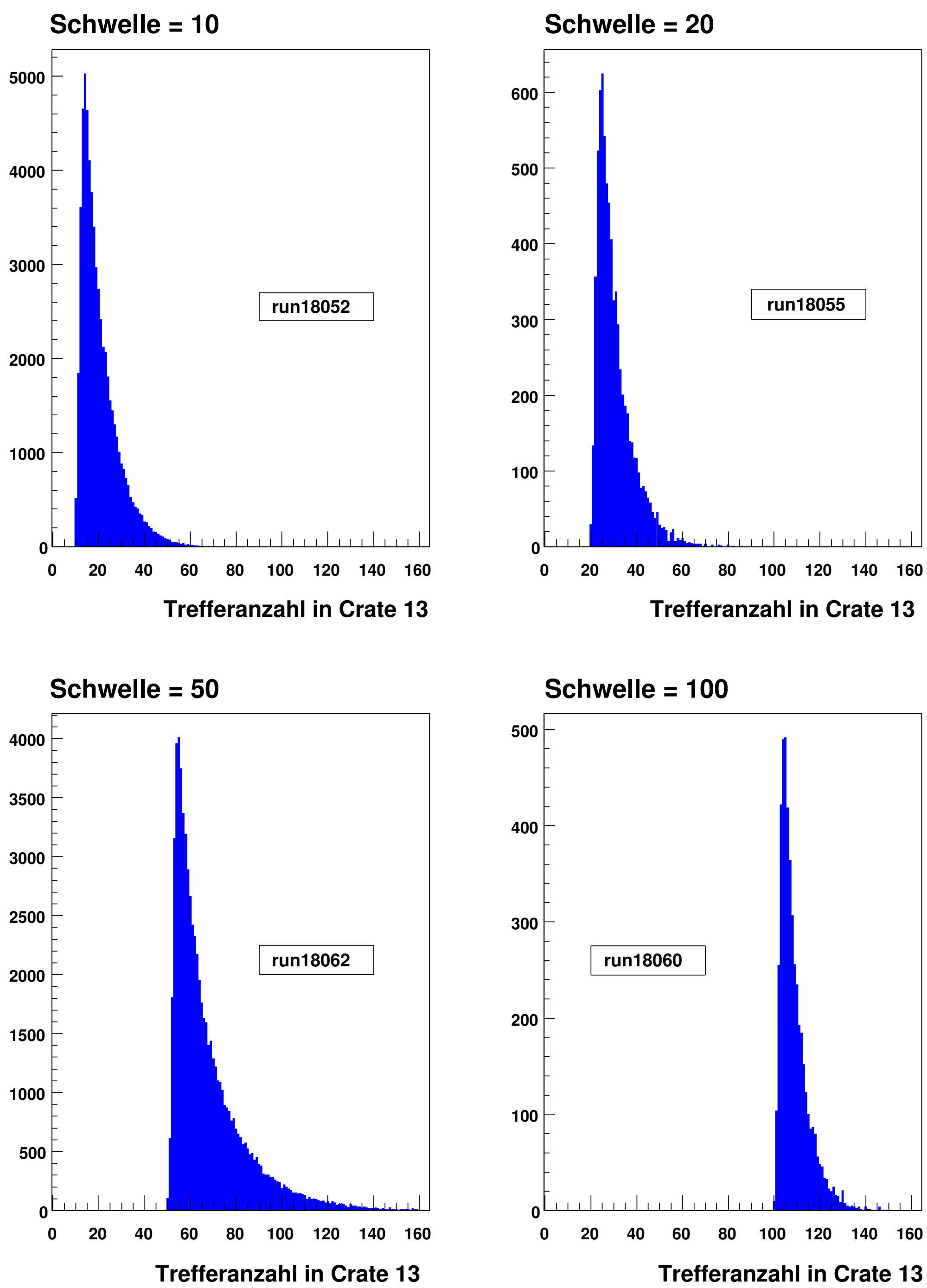

Abb. 9.5: Trefferhistogramme der mit dem Hardware-Wechselwirkungstrigger getriggerten Ereignisse im Dezember 2001. Die Schwellen und Identifikationsnummern der Datennahmeabschnitte (Run-Nummern) sind angegeben. Es sind nur die Treffer in dem FED-Crate (FED-Crate 13) dargestellt, in dem die RICH-Multiplizitätsveto-System-Komponenten installiert sind, die für den Hardware-Wechselwirkungstrigger benutzt werden (nach [Brü 02c]).

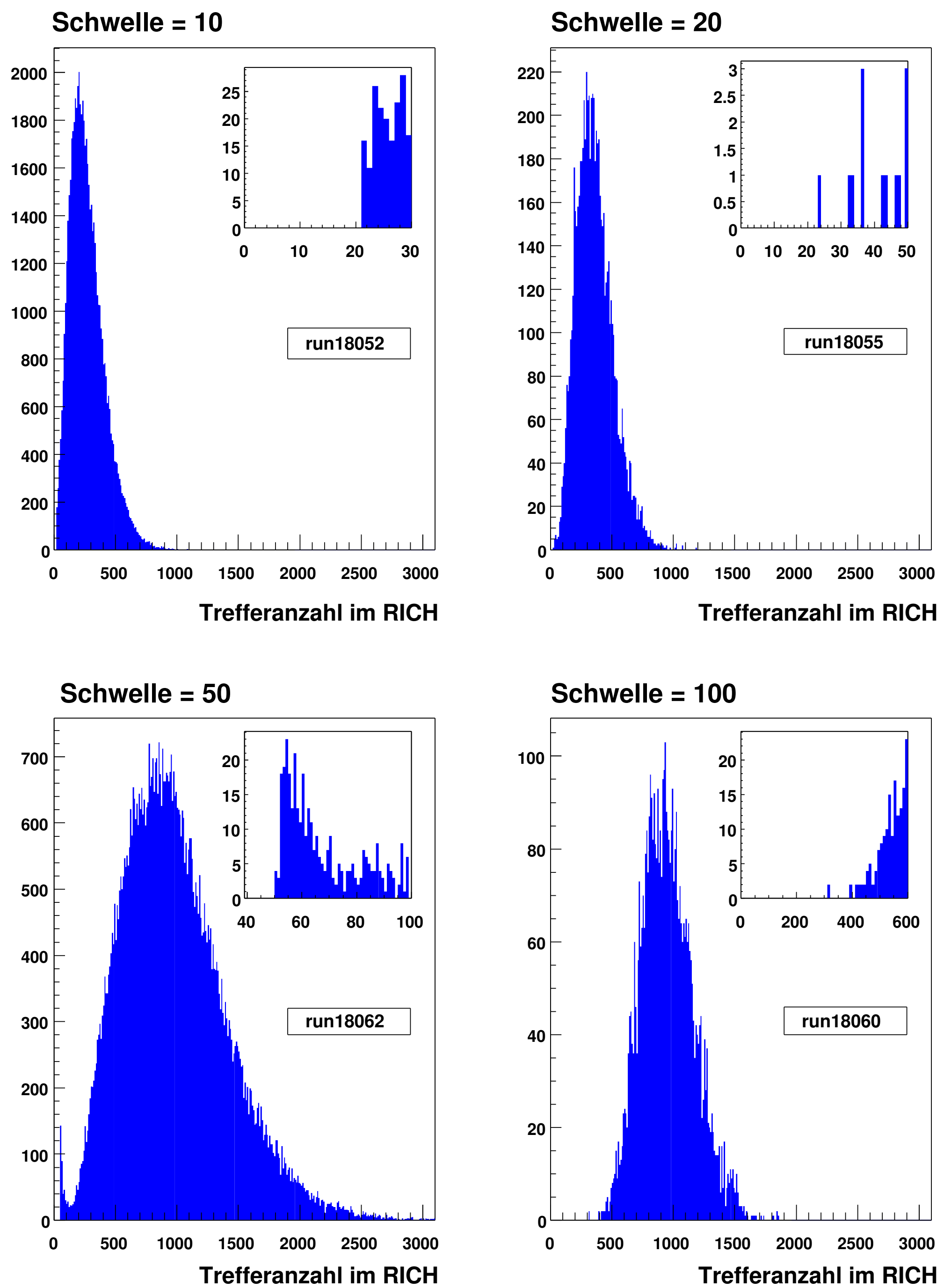

Abb. 9.6: Trefferhistogramme der mit dem Hardware-Wechselwirkungstrigger getriggerten Ereignisse im Dezember 2001. Die Schwellen und Identifikationsnummern der Datennahmeabschnitte (Run-Nummern) sind vermerkt. Es sind die Treffer im gesamten RICH-Detektor dargestellt, es wurden jedoch nur die Trefferinformatinen des FED-Crates 13 zur Erzeugung des Trigger-Signals benutzt. In den Ausschnittvergrößerungen sind die Bereiche um die eingestellten Schwellen gezeigt. Die Trefferanzahl unterschreitet nicht die geforderte Mindesttrefferanzahl (nach [Brü 02c]).

9.3.2 Konfiguration des Hardware-Wechselwirkungstriggers im März 2002

Seit März 2002 steht die gesamte RICH-Multiplizitätsveto-System-Kette im HERA – B Experiment zur Verfügung. Das System besteht aus zwei bestückten FED-Crates mit jeweils sieben bzw. acht BSCs, jeweils einer FSC und dem VB, welches sich in der Elektronikhütte außerhalb der Detektorabschirmung befindet. Über das VB werden die Module in den FED-Crates initialisiert und deren Statusinformationen abgefragt.

Bevor der Hardware-Wechselwirkungstrigger getestet werden kann, muss das RICH-Multiplizitätsveto-System getestet werden, da über die Verbindung zum DSP des SLBs die getriggerten Daten vom VB ausgelesen werden sollen. Zum Test wird der in Abbildung 9.7 schematisch dargestellte Aufbau verwendet. Im folgenden Abschnitt wird erläutert, wie dieser Funktionstest durchgeführt wird.

Funktionstest der RICH-Multiplizitätsveto-System-Komponenten im HERA – B Experiment

Zum Test der installierten Module werden die Testmuster des FED-Systems verwendet, da diese wohldefinierte Eingangsdaten für das RICH-Multiplizitätsveto-System liefern. Zur Verdeutlichung des Datenflusses wird auf Abbildung 9.7 verwiesen. Geschlossene Pfeile zeigen die Test- bzw. Prozessierungsdaten, offene Pfeile symbolisieren Kontrolldaten. Über die FCS-Mutter wird im FED-System des RICH-FCS-Clusters die Erzeugung von Testmustern eingeschaltet. Dazu werden zunächst die einzelnen FED-Crates synchronisiert, damit die Testmuster im gesamten FCS-Cluster gleichzeitig erzeugt werden. Dann wird über die Strobe-Pattern das Testmuster ausgesucht, in dem alle Bits der FED-Tochterkarten gesetzt werden. Anschließend wird die Test-Puls-Erzeugung eingeschaltet. Über die FED-Mutterkarten werden die FED-Tochterkarten in den Test-Modus versetzt. Die FED-Tochterkarten erzeugen zur BX-Nummer 0x3 modulo 32 BX-Nummern Daten an den Ausgängen. Diese Daten werden von den BSCs, FSCs und dem VB verarbeitet. Die Summe der gesetzten Bits des FED-Crates 13, in dem sieben FED-Tochterkarten installiert sind, beträgt 0x700. In dem FED-Crate 0, in dem acht FED-Tochterkarten installiert sind, beträgt die Summe 0x800. Die Gesamtsumme auf dem VB ergibt 0xf00. Diese Summe wird immer zur BX-Nummer 0x3 modulo 32 gebildet und mit der zugehörigen BX-Nummer versehen. Auf dem VB werden die Schwellen und der Veto-Modus (Modus 3) so eingestellt, dass nur exakt bei dem Summenwert 0xf00 ein Veto-Signal erzeugt wird. Es wird ein Programm gestartet, dass die an das DSP des SLBs übertragenen Daten anzeigt. Als nächstes wird über die FCS-Mutter mit dem Random-Trigger die Datenauslese initiiert. Aufgrund der pseudozufälligen Wahl der FLT-BX-Nummer in diesem Trigger-Modus werden alle möglichen FLT-BX-Nummern ausgelesen. Ein Vergleich der BX-Nummern, zu denen ein Veto-Signal erwartet wird, mit denen, zu denen ein Veto-Signal gesetzt ist, zeigt vollständige Übereinstimmung der BX-Nummern. Die Summenbildung, die Veto-Signalerzeugung und die Auslese des DSPs funktionieren. Die Daten des DSPs wurden 1 501 623 mal ausgelesen. Die Fehlerrate ist kleiner als $6,7 \cdot 10^{-7}$, wobei die Anzahl der Auslesen nur durch die für den Test zur Verfügung stehende Zeit begrenzt ist.

Test des Hardware-Wechselwirkungstriggers

Um die Funktion des Hardware-Wechselwirkungstriggers zu testen, wird das FCS im Hardware-Wechselwirkungstrigger-Modus betrieben. Per Testmuster werden Daten in den FED-Crates des RICH-FCS-Clusters erzeugt. Die Daten werden summiert und an das VB gesendet. Dieses wird in dem gleichen Modus und mit den gleichen Schwellen betrieben, wie für den im vorherigen Abschnitt beschriebenen Test. Mit Hilfe der einstellbaren Schwelle auf der FSC im FED-Crate 13 wird ein Trigger-Signal erzeugt. Dieses Signal wird an den Lemo 4-Eingang der FCS-Mutter übertragen. Die FCS-Mutter berechnet den Wert für die FLT-BX-Nummer. Zur Kontrolle der aus dem FED-Speicher des VB ausgelesenen Daten wird der Speicherinhalt des DSPs überprüft, an den das VB die Veto-Entscheidung für getriggerte Ereignisse überträgt. Es dürfen nur Ereignisse ausgelesen werden, bei denen das Veto-Signal gesetzt ist. Um den richtigen Speicherbereich aus den FED-Speichern auszulesen, muss die FLT-BX-Nummer richtig eingestellt werden. Dies geschieht über die Wahl des Parameters *Latest_accept*. Für den Wert *Latest_accept* = 33 war das Veto-Signal der überprüften Ereignisse immer gesetzt. Werte ungleich 33 zeigten kein gesetztes Veto-Signal. Es wurden somit nicht die richtigen Daten aus dem FED-Speicher ausgelesen.
Die Differenz zwischen dem Wert für den Parameter *Latest_accept* in der Datennahmeperiode 2001 und dem Test mit Testmustern lässt sich folgendermaßen erklären. Bei der Untersuchung der Effizienz des RICH-Multiplizitätsveto-Systems [Brü 02a] wurde festgestellt, dass eine Differenz zwischen den BX-Nummern der RICH-FED-Daten und der BX-Nummer existiert, zu der das Veto-Signal erzeugt wird. Die Daten sind genau um eine BX-Nummer versetzt. Das Veto-Signal wird mit einer um eins inkrementierten BX-Nummer versehen. Dieser Versatz kann nicht durch das RICH-Multiplizitätsveto-System erzeugt werden, da die FED-Daten immer synchron zu der von der FCS-Backplane abgegriffenen BX-Nummer prozessiert werden. Die einzige Erklärung ist daher, dass die FED-Daten, bevor sie an die Ausgangsstecker der FED-Tochterkarten gelangen, einen Taktzyklus zwischengespeichert werden. Die BX-Nummer des RICH-Multiplizitätsveto-Systems muss daher um eins dekrementiert werden. Die Veto-Signale werden dann zur BX-Nummer 0x2 modulo 32 BX-Nummern erzeugt. Der richtige Wert für den Parameter *Latest_accept* ist daher 34.
Es wurde ein spezieller Datennahmeabschnitt benötigt, um unter Datennahmebedingungen, unabhängig von den Testmustern, die Funktionalität des Hardware-Wechselwirkungstriggers zu überprüfen und gegebenenfalls den Wert des Parameters *Latest_accept* anzupassen. Im Juli 2002 wurden Daten mit dem Hardware-Wechselwirkungstrigger genommen. Dabei wurde der Parameter *Latest_accept* auf den Wert 34 eingestellt. Die Schwellen wurden auf 20 und 50 Treffer im FED-Crate 13 eingestellt. In den Trefferverteilungen konnten die Schwellen nachgewiesen werden. Die Trefferhistogramme für die beiden Datennahmeabschnitte (run19160 und run19162) sind in Abbildung 9.8 dargestellt. Auf der linken Seite ist jeweils das Histogramm der Trefferverteilung für das FED-Crate 13 und auf der rechten Seite das Histogramm der Trefferverteilung für den gesamten RICH-Detektor dargestellt. In der Ausschnittvergrößerung ist der Bereich nahe der Schwelle gezeigt. Die Einstellung des Parameters *Latest_accept* = 34 ist richtig gewählt.

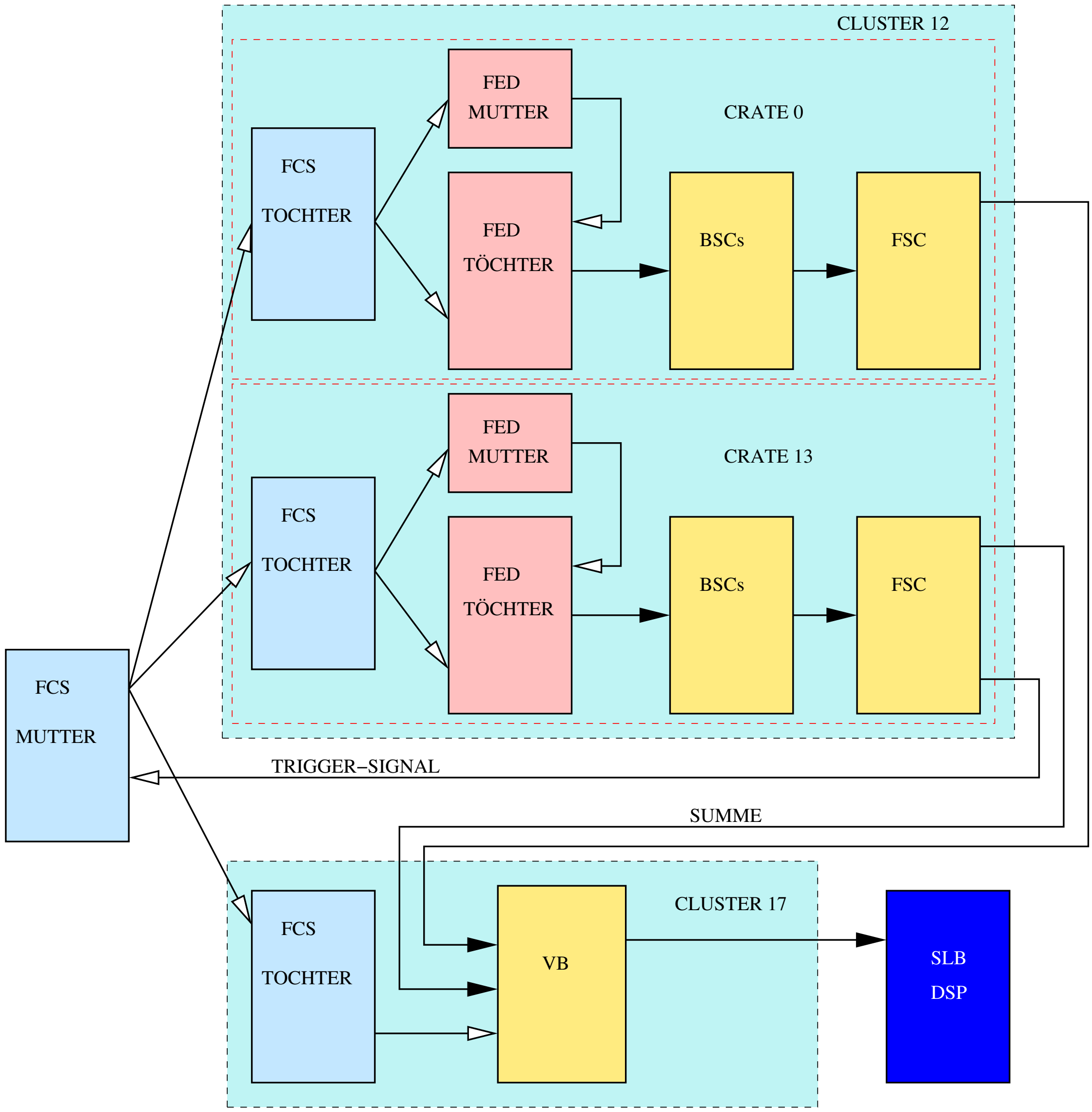

Abb. 9.7: Schematische Darstellung der zum Test des Hardware-Wechselwirkungstriggers benutzten Komponenten des HERA−B Experiments. Offene Pfeile zeigen Kontrolldaten an, geschlossene Pfeile stehen für Prozessierungsdaten. Über die FCS-MUTTER werden den FCS-TÖCHTERN im RICH-Cluster (CLUSTER 12) die Kommandos zur Testmuster-Erzeugung übermittelt. Die FED-MÜTTER setzen die FED-TÖCHTER in den Testmodus. Die FED-TÖCHTER erzeugen zur BX-Nummer 0x3 modulo 32 Testdaten. Diese werden von den BSCs und FSCs verarbeitet und als Summe an das VB gesendet. Die FSC im CRATE 13 erzeugt zusätzlich ein Trigger-Signal, das an die FCS-Mutter gesendet wird. Die FCS-MUTTER berechnet die FLT-BX-Nummer und startet die Datenauslese aus den FED-Speichern. Das VB überträgt die Daten des FED-Speichers an den DSP des SLBs (SLB DSP). Anhand der Daten wird überprüft, ob der richtige FED-Speicherbereich ausgelesen wird.

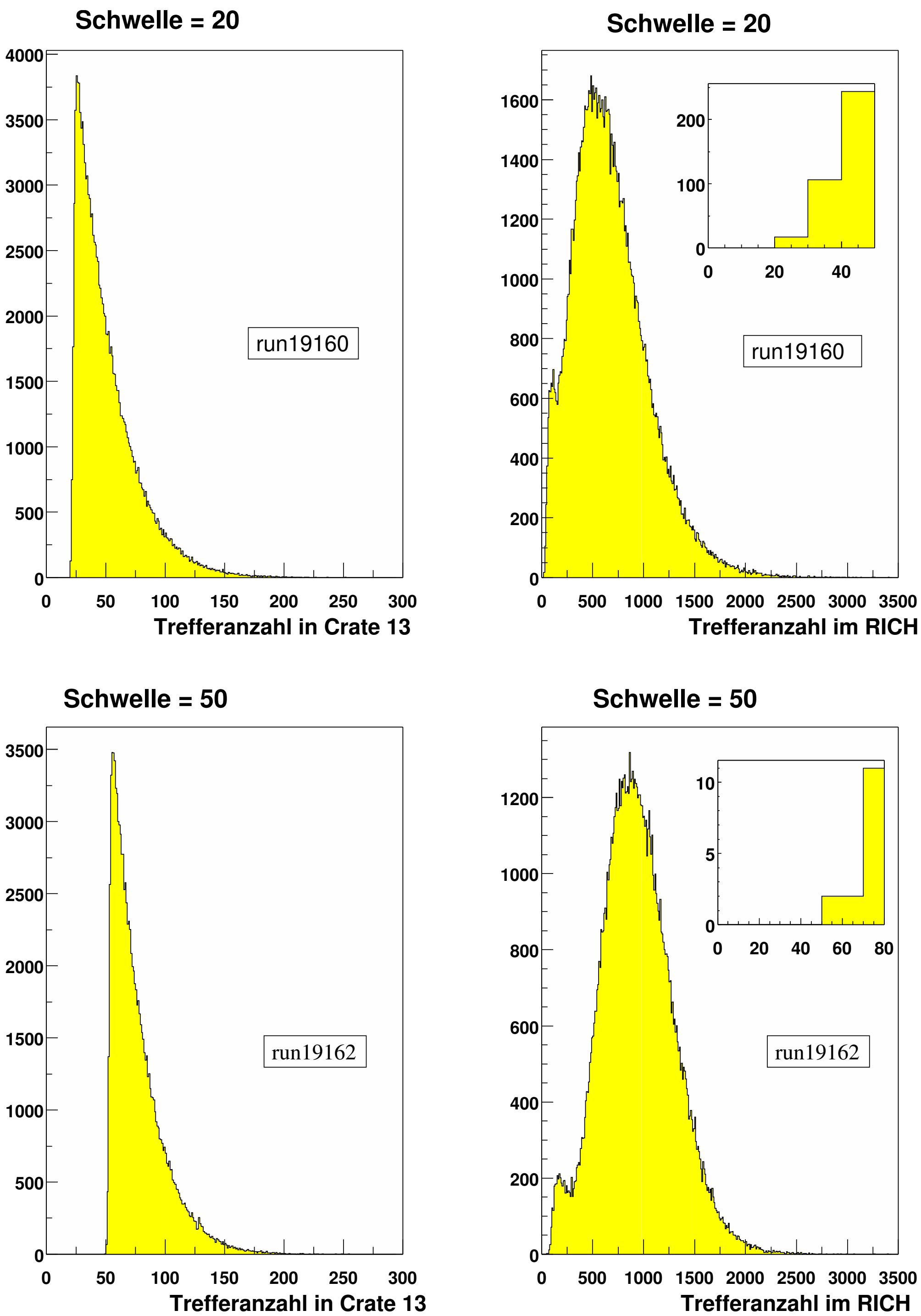

Abb. 9.8: Trefferhistogramme der mit dem Hardware-Wechselwirkungstrigger getriggerten Ereignisse im Juli 2002. Die Schwellen und Identifikationsnummern der Datennahmeabschnitte (Run-Nummern) sind vermerkt. Es sind die Treffer im FED-Crate 13 (links) und des gesamten RICH-Detektor (rechts) dargestellt. Es wurden nur die Trefferinformatinen des FED-Crates 13 zur Erzeugung des Trigger-Signals benutzt. In den Ausschnittvergrößerungen sind die Bereiche nahe der eingestellten Schwellen gezeigt. Die Trefferanzahl unterschreitet nicht die geforderte Mindesttrefferanzahl (nach [Brü 02e]).

9.4 Zusammenfassung

Es wurde eine Studie vorgestellt, in der untersucht wurde, ob der Hardware-Wechselwirkungstrigger durch die Wahl des abgedeckten Bereichs der Fokalebene, der zur Erzeugung des Trigger-Signal benutzt wird, oder durch die Wahl des Schwellenwertes einen Einfluss auf die kinematischen Variablen der akzeptierten Ereignisse ausübt. Für die Untersuchung wurde ein SLT-getriggerter Datensatz (2000 er $J/\psi \rightarrow \mu\mu$ Daten) verwendet. Es wurden die Mittelwerte der Verteilungen der kinematischen Variablen gegen die Schwellen in einem FED-Crate und gegen die Schwellen im gesamten RICH-Detektor aufgetragen. Die Mittelwerte für verschiedene Schwellen sind flach verteilt. Der Hardware-Wechselwirkungstrigger übt weder durch die Wahl der Schwelle noch des abgedeckten Bereichs der Fokalebenen einen signifikanten Einfluss auf die kinematischen Variablen aus.
Gleiches gilt für den eigentlichen Betriebsmodus des RICH-Multiplizitätsveto-Systems als Veto-System. Die Ergebnisse der Studie lassen sich auch für diesen Betriebsmodus interpretieren. Die Wahl des Abdeckungsbereichs übt keinen Einfluss auf die Funktionalität des RICH-Multiplizitätsveto-Systems aus. Die Teilabdeckung der Fokalebenen durch eine FED-Crate reicht aus, das Veto-System erfolgreich zu betreiben. Zwei FED-Crates sind mit Veto-System-Komponenten bestückt. Es ist zur Zeit nicht vorgesehen, das RICH-Multiplizitätsveto-System weiter auszubauen.
Im November 2001 wurde die Funktionalität des Hardware-Wechselwirkungstriggers unter Bedingungen der echten Datennahme überprüft. Der Wert des Parameters *Latest_accept* wurde zu 34 bestimmt. Es wurden nur Ereignisse akzeptiert, deren Treffermultiplizität größer oder gleich der eingestellten Schwelle war.
Im März 2002 wurde die gesamte RICH-Multiplizitätsveto-System-Kette installiert. Funktionstest mit Testmustern wurden durchgeführt. Die Testmuster wurden zur Erzeugung eines Veto-Signals auf dem VB und zur Generierung des Trigger-Signals auf einer FSC benutzt. Über die Verbindung zu einem DSP des SLBs wurde überprüft, ob die richtigen Daten zu den akzeptierten Ereignissen ausgelesen werden. Der so bestimmte Wert des Parameters *Latest_accept* wurde zu 33 bestimmt. Die Diskrepanz zwischen dem Wert während der Datennahmeperiode 2001 und dem durch den Test bestimmten Wert kann durch die Latenzzeit des FED-Tochterkarten erklärt werden, die einen Versatz um eine BX-Nummer hervorruft. Der Versatz wurde durch Umprogrammierung des CPLDs auf dem VB behoben, indem die BX-Nummer um eins dekrementiert wird. Eine Verifikation des richtigen Wertes für den Parameter *Latest_accept* konnte unabhängig von den Testmustern durch Datennahme mit dem Hardware-Wechselwirkungstrigger im Juli 2002 geschehen. Durch den Nachweis der Schwellen in den Trefferverteilungen der Ereignisse wurde der Wert des Parameters *Latest_accept*= 34 bestätigt.
Mit dem nicht verzerrenden Hardware-Wechselwirkungstrigger bietet sich eine Möglichkeit unabhängig von den anderen Trigger-Quellen im HERA – B Experiment Daten zu nehmen.

Kapitel 10

Funktionstest und Effizienzbestimmung des RICH-Multiplizitätsveto-Systems

In diesem Kapitel wird ein Test beschrieben, mit dem die Funktionalität des installierten RICH-Multiplizitätsveto-Systems, einschließlich der Unterdrückung der Nachrichten des Myon-Pretriggers an den FLT, getestet wird. Im zweiten Teil des Kapitels werden die Ergebnisse einer Effizienzanalyse des Veto-Systems präsentiert.

10.1 Funktionstest des RICH-Multiplizitätsveto-Systems und der Unterdrückung der Myon-Pretrigger-Nachrichten an den FLT

Ein wichtiger Punkt bei der Inbetriebnahme des RICH-Multiplizitätsveto-Systems ist der Test der Funktionalität des Gesamtsystems, der Pretrigger-Veto-System-Kette, insbesondere der Unterdrückung der Pretrigger-Nachrichten an die erste Triggerstufe für Ereignisse, die mit einem Veto-Signal versehen sind. Da der High-P_T-Pretrigger und das ECAL Energy Inhibit (EEI) noch nicht kommissioniert sind, konnte der Test nur mit dem Myon-Pretrigger durchgeführt werden.
Schematisch sind die für den Test benötigten Komponenten des HERA – B Experiments in Abbildung 10.1 dargestellt. Die Ausdrücke in Klammern beziehen sich im Folgenden auf diese Abbildung. Zum Test der gesamten Pretrigger-Veto-System-Kette werden Testmuster eingesetzt, damit definierte Eingangsdaten für den Myon-Pretrigger und das RICH-Multiplizitätsveto-System vorliegen. Das Veto-System wird, wie in Abschnitt 9.3.2 beschrieben, betrieben. Es erzeugt Veto-Signale basierend auf den Daten der Testmuster. Die FED-Tochterkarten des Myon-Systems (MYON FED-SYSTEM) erzeugen ebenfalls Testmuster. Zur BX-Nummer 0x3 modulo 32 BX-Nummern gelangen die Testdaten an die Pretrigger Link Boards (PLBs). Auf den PLBs wird die BX-Nummer um eins dekrementiert. Die Daten werden an die Pretrigger Coincidence Units (PCUs) übertragen. Diese besitzen eine VME-Schnittstelle, über die die Daten, die an die Pretrigger Message Generatoren (PMGs) weitergeleitet werden, parallel zum

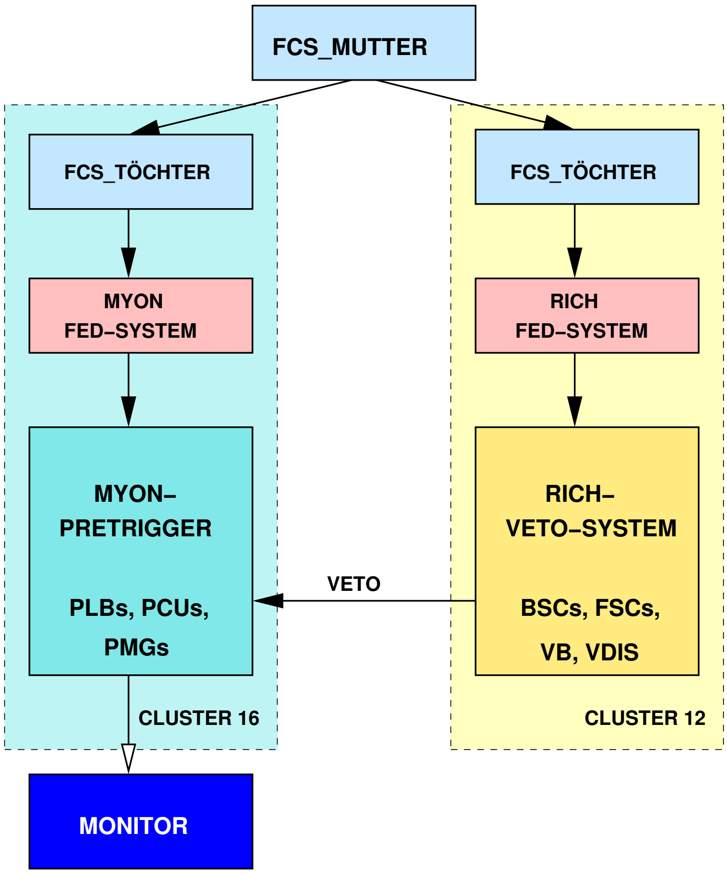

Abb. 10.1: Schematische Darstellung des Funktionstest des RICH-Multiplizitätsveto-Systems und der Unterdrückung der Pretrigger-Nachrichten an die erste Triggerstufe. Testmuster werden mit Hilfe des FCSs auf den FEDs erzeugt. Die Daten werden parallel vom Myon-Pretrigger und vom RICH-Veto-System verabeitet. Wird das Veto-Signal vom Myon-Pretrigger nicht berücksichtigt, erzeugt dieser, zu den jeweiligen BX-Nummern der Testpattern, Nachrichten für den FLT. Wird das Veto-Signal berücksichtigt, dürfen keine Nachrichten erzeugt werden, da aufgrund der Testmustererzeugung zu jeder BX-Nummer, zu der das Pretrigger-System eine Nachricht erzeugen würde, ein Veto-Signal gesetzt wird. Die Prozessierung der Daten auf dem Myon-Pretrigger wird mit einem Monitorsystem überprüft.

Datenstrom ausgelesen werden können (MONITOR). Die PMGs erzeugen, basierend auf den Daten der PCUs, die Nachrichten für die erste Triggerstufe. Das Veto-Signal (VETO), das auf dem Veto Board (VB) erzeugt wird, wird über den Veto-Distributor (VDIS) und die PMGs an die PCUs verteilt. Ist die Berücksichtigung des Veto-Signals auf den PCUs aktiviert, wird die Verarbeitung der Daten, zu denen eine Veto-Signal gesetzt ist, unterdrückt (siehe Abschnitt 2.3.1). In diesem Fall werden keine Daten von den PCUs an die PMGs weitergeleitet, was dazu führt, dass keine Nachrichten für die erste Triggerstufe generiert werden.

Die parallel zum Datenstrom von den PCUs ausgelesenen Daten werden mit Hilfe eines Monitorprogramms dargestellt. Das Verhalten des Myon-Pretriggers wird vor und nach der Berücksichtigung des RICH-Veto-Signals aufgezeichnet. Beispielhaft sind in Abbildung 10.2 die Verteilungen der BX-Nummern, zu denen Nachrichten für die erste Triggerstufe erzeugt werden, dargestellt. In den rechten Histogrammen sind jeweils die BX-Nummernverteilungen für das Pixel-System und in den linken die des Pad-Systems dargestellt. Die oberen beiden Darstellungen zeigen die BX-Nummernverteilung ohne Berücksichtigung des RICH-Veto-Signals. In beiden Histogrammen erkennt man deutlich eine Struktur der BX-Nummernverteilung. Diese entsteht durch die alle 32 BX-Nummern generierten Testmuster. In dem unteren linken Histogramm ist zu sehen, dass nach Berücksichtigung der Veto-Signale keine Nachrichten mehr erzeugt werden. Es werden keine BX-Nummern angezeigt. In dem rechten Histogramm, das die BX-Nummern des Pixel-Systems darstellt, ist die BX-Nummernverteilung weiterhin zu sehen. Dies ist kein Fehlverhalten. Im Pixel-System wurde die Berücksichtigung des Veto-Signals nicht aktiviert. Die Monitorhistogramme zeigen eindeutig, dass die Pretrigger-Veto-System-Kette funktioniert.
Da der Myon-Pretrigger der limitierende Pretrigger für die Latenzzeit des RICH-Multiplizitätsveto-Systems ist und mit diesem Test gezeigt wurde, dass die Latenzzeit des Veto-Systems das vorgegebene Zeitlimit des Myon-Pretriggers nicht überschreitet, sind die technischen Randbedingungen für einen Einsatz des Systems während der Datennahme erfüllt. Im folgenden Abschnitt wird auf die Effizienz des RICH-Multiplizitätsveto-Systems eingegangen.

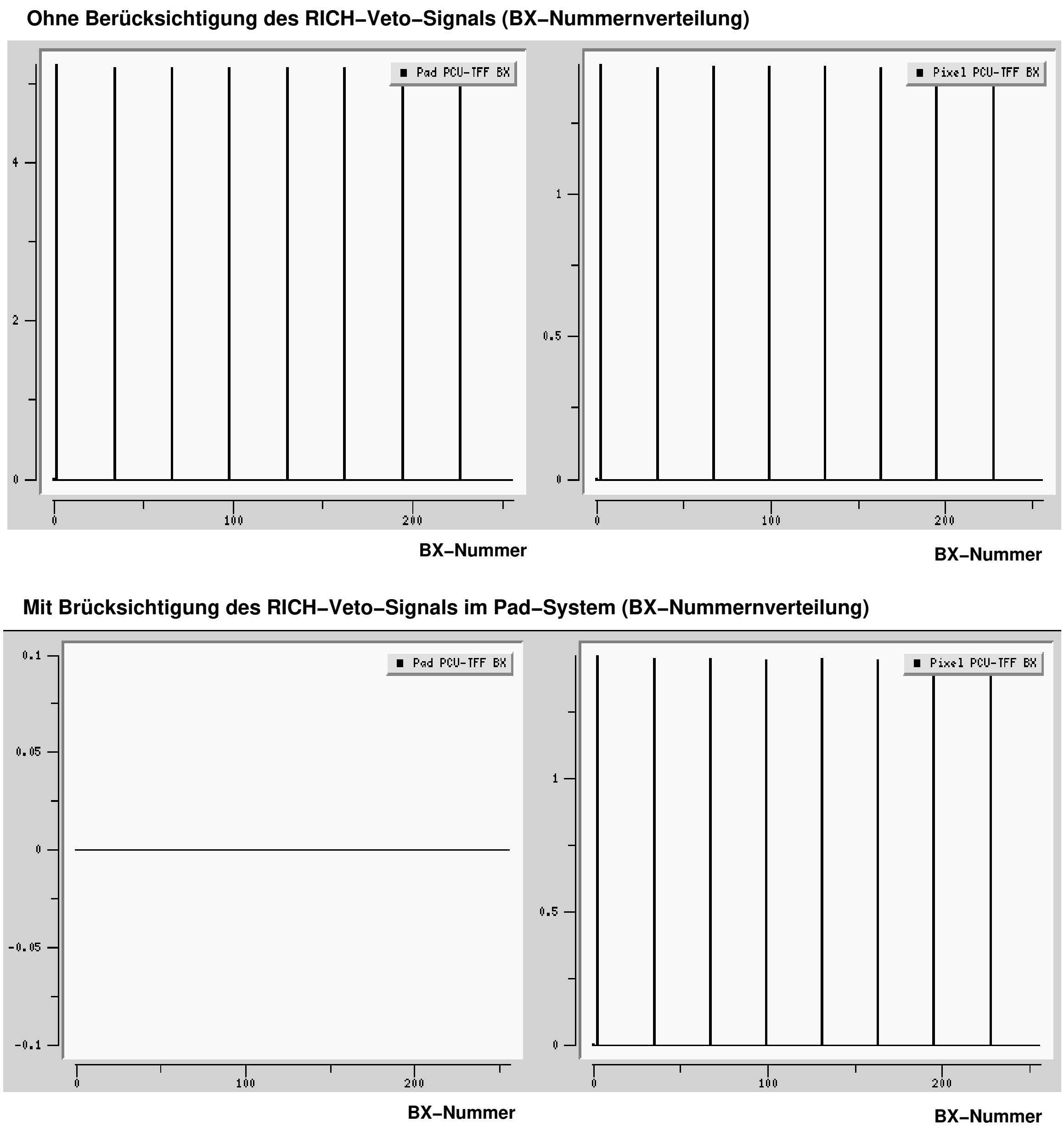

Abb. 10.2: Monitordaten des Myon-Pretriggers. Die BX-Nummernverteilungen der Nachrichten an die erste Triggerstufe sind rechts für das Pixel-Systems und links für das Pad-Systems dargestellt. Man erkennt in den beiden oberen Histogrammen deutlich die Struktur, hervorgerufen durch die alle 32 BX-Nummern erzeugten Testmuster. Das untere linke Histogramm zeigt, dass, nachdem das Veto-Signal im Pad-System berücksichtigt wird, keine Nachrichten mehr erzeugt werden. Im Pixel-System (unten rechts), in dem die Berücksichtigung des Veto-Signals nicht aktiviert wurde, ist die Struktur der BX-Nummernverteilung gut zu erkennen.

10.2 Effizienzbestimmung des RICH-Multiplizitätsveto-Systems

Einer der wichtigsten Aspekte bei der Inbetriebnahme des RICH-Multiplizitätsveto-Systems und dessen Einsatz im HERA – B Experiment ist die Bestimmung der Effizienz. Im Rahmen einer Diplomarbeit [Brü 02e] wurde die Funktionalität des Veto-Systems untersucht. Im Folgenden werden die Ergebnisse der dort vorgestellten Effizienzanalyse zusammengefasst.

10.2.1 Die Methode der Effizienzbestimmumg

Die Bestimmung der Effizienz des RICH-Multiplizitätsveto-Systems ist nur möglich, wenn es während der Datennahme nicht aktiv ist, sondern parallel dazu mitläuft, ohne Veto-Signale an die Pretrigger weiterzuleiten. Das Verfahren zur Effizienzbestimmung ist in Abbildung 10.3 schematisch dargestellt. Die Klammerausdrücke beziehen sich im Folgenden auf diese Abbildung. Die Daten des RICH-Detektors (RICH-DETEKTOR) werden von der Front-End-Elektronik (FEE) und dem Front-End-Treiber (FED) aufbereitet, digitalisiert und dem RICH-Multiplizitätsveto-System (RICH-VETO SYSTEM) zur Verfügung gestellt. Dieses berechnet die Summe der Trefferdaten und erzeugt in Abhängigkeit des eingestellten Veto-Modus ein Veto-Signal. Das Veto-Signal (VETO) wird, wie die Trefferinformation der RICH-FEDs (TREFFERDATEN), für getriggerte Ereignisse dauerhaft gespeichert (MASSENSPEICHER). Ein Emulationsprogramm (EMULATION), das die Logik des RICH-Multiplizitätsveto-Systems nachbildet, benutzt die Trefferinformation des RICH-Detektors, um unabhängig von der Hardware ein Veto-Signal zu berechnen. Dazu werden die gleichen Einstellungen der Schwellen und des Veto-Modus verwendet, wie sie das RICH-Multiplizitätsveto-System verwendet hat. Für jedes Ereignis wird der Wert des Veto-Signal, der von dem Emulationsprogramm berechnet wird, mit dem von der Hardware gelieferten verglichen (VERGLEICH). So ist es möglich, zu überprüfen, ob die Anzahl der Ereignisse mit gesetztem und nicht-gesetztem Veto-Signal in Hardware und Emulation übereinstimmen.

10.2.2 Datensätze der Effizienzanalyse

Die Datensätze mit den Run-Nummern „run19145“ und „run19155“ wurde im Juli 2002 mit dem Random-Trigger genommen. Der Datensatz mit der Run-Nummer „run19185“ besteht aus Ereignissen, für die in der zweiten Triggerstufe eine Mindesttrefferanzahl von 20 Treffern im RICH-Detektor gefordert wurde. Zusätzlich enthält der Datensatz Ereignisse, die mit dem Random-Trigger aufgezeichnet wurden. In Tabelle 10.1 sind die Datennahmeabschnitte mit ihren Run-Nummern, den verwendeten Veto-Modi, der Schwelle bzw. den Schwellen und die Anzahl der aufgezeichneten Ereignisse aufgelistet.

10.2.3 Effizienz des RICH-Multiplizitätsveto-Systems

Die systematische Analyse der Funktionalität des RICH-Multiplizitätsveto-Systems und die Berechnung der Effizienz für die unterschiedlichen Veto-Modi und Schwellen

Tab. 10.1: Datensätze zur Effizienzbestimmung des RICH-Multiplizitäts-veto-Systems

Run-Nummer	Ereignisse	Veto-Modus	obere Schwelle	untere Schwelle	Wechselwirkungs-rate [MHz]
run19145	505 054	0	30	—	5
run19155	150 397	0	256	—	variabel
run19185	7 052 138	2	300	30	1

kann in [Brü 02e] nachgelesen werden. In diesem Abschnitt werden nur die Ergebnisse präsentiert. Repräsentativ wurden aus jedem Datennahmeabschnitt zwei Trefferhistogramme ausgewählt, um die Funktionalität des RICH-Multiplizitätsveto-Systems zu belegen. In Abbildung 10.4 sind die Trefferhistogramme für Ereignisse mit gesetzem Veto-Signal (links) und für Ereignisse, die nicht unterdrückt werden (rechts), dargestellt. Die Histogramme zeigen Ausschnitte nahe den Schwellen. Die Schwellen und die Run-Nummern der Datennahmeabschnitte sind in den Histogrammen vermerkt. Der Veto-Modus 0, bei dem nur die obere Schwelle berücksichtigt wird, ist der Standardbetriebsmodus des RICH-Multiplizitätsveto-Systems, deshalb wurde er zuerst getestet. Es kann zu einer Differenz der effektiven Treffersumme in den bestückten FED-Crates und der eingestellten Schwelle von maximal 15 Treffern kommen, da die LSBs der BSC-Summen nicht übertragen werden. Die maximale Differenz ergibt sich aus der Anzahl der installierten BSCs, die aufgrund der Konfiguration des RICH-Multiplizitätsveto-Systems bei 15 liegt. In Abbildung 10.5 sind die Trefferverteilungen für Ereignisse mit gesetztem (oben) und nicht gesetzem (unten) Veto-Signal im Veto-Modus 2 des Datennahmeabschnitts mit der Run-Nummer „run19185“ dargestellt. Man erkennt deutlich den Bereich zwischen den Schwellen, für den kein Veto-Signal erzeugt wurde. In den Ausschnittvergrößerungen sind die Umgebungen nahe der Schwellen gezeigt. Die Differenz zwischen den Schwellen und den effektiven Treffersummen resultiert aus dem Weglassen der LSBs der BSC-Summen. Die maximale Differenz bei beiden Schwellen beträgt 15 Treffer. Im Veto-Modus 2 wird nicht nur die obere, sondern auch die untere Schwelle getestet. Da der Unterschied zwischen Veto-Modus 2 und Veto-Modus 3 nur in der Invertierung des Veto-Signals liegt, muss dieser Modus nicht separat betrachtet werden. Auch der Veto-Modus 1 bildet eine Untermenge des Veto-Modus 2. Die Erzeugung eines Veto-Signals für den Fall, dass eine Mindesttrefferanzahl nicht erreicht wird, kann gut an dem Verhalten des Systems bei Verwendung des Veto-Modus 2 überprüft werden.

Die Effizienz ϵ gibt an, wie oft eine Übereinstimmung des gesetzten Veto-Signals in der Hardware und der Emulation vorliegt. Aus der Analyse der Daten wurde die Effizienz des RICH-Multiplizitätsveto-Systems zu

$$\epsilon = (99{,}9991 \pm 0{,}0001)\,\%$$

bestimmt. Die Ineffizienz des Systems, $\kappa = 1 - \epsilon$, die angibt, wie oft keine Übereinstimmung vorliegt, beträgt

$$\kappa = (9 \pm 1) \cdot 10^{-6}.$$

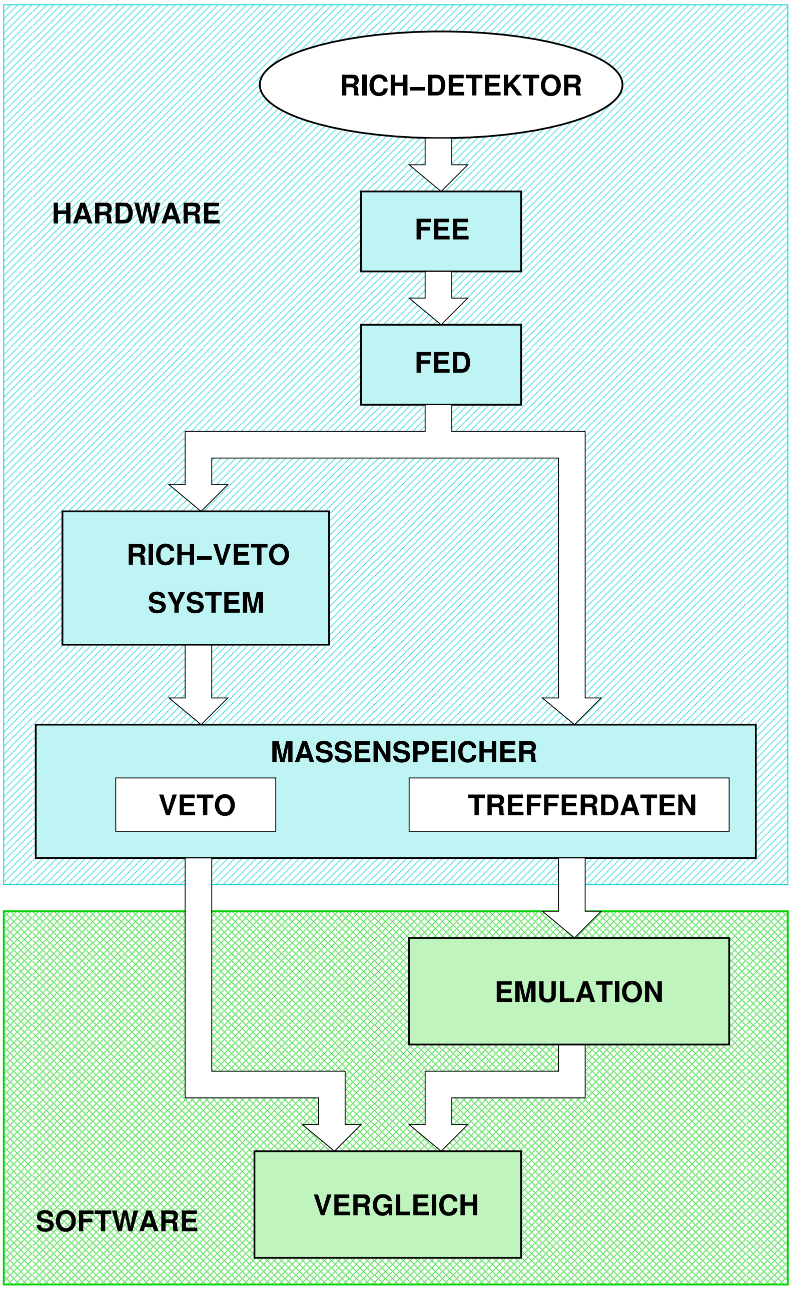

Abb. 10.3: Schematische Darstellung der Effizienzbestimmung des RICH-Multiplizitätsveto-Systems. Die Daten des RICH-Detektors werden von der FEE und dem FED aufbereitet. Das FED liefert die Daten an das RICH-Multiplizitätsveto-System (RICH-VETO SYSTEM). Dieses führt die Summenbildung und Vetoerzeugung durch. Die Vetoentscheidung (VETO) sowie die Rohdaten des FED (TREFFERDATEN) werden für getriggerte Ereignisse dauerhaft gespeichert. Die Trefferdaten werden von einem Emulationsprogramm (EMULATION), das die Logik des RICH-Multiplizitätsveto-Systems nachbildet, verwendet, um ein Veto-Signal zu erzeugen. Anschliessend wird Ereignis für Ereignis verglichen, ob der Wert des von der Hardware erzeugten Veto-Signals mit dem vom Emulationsprogramm gelieferten übereinstimmt (VERGLEICH).

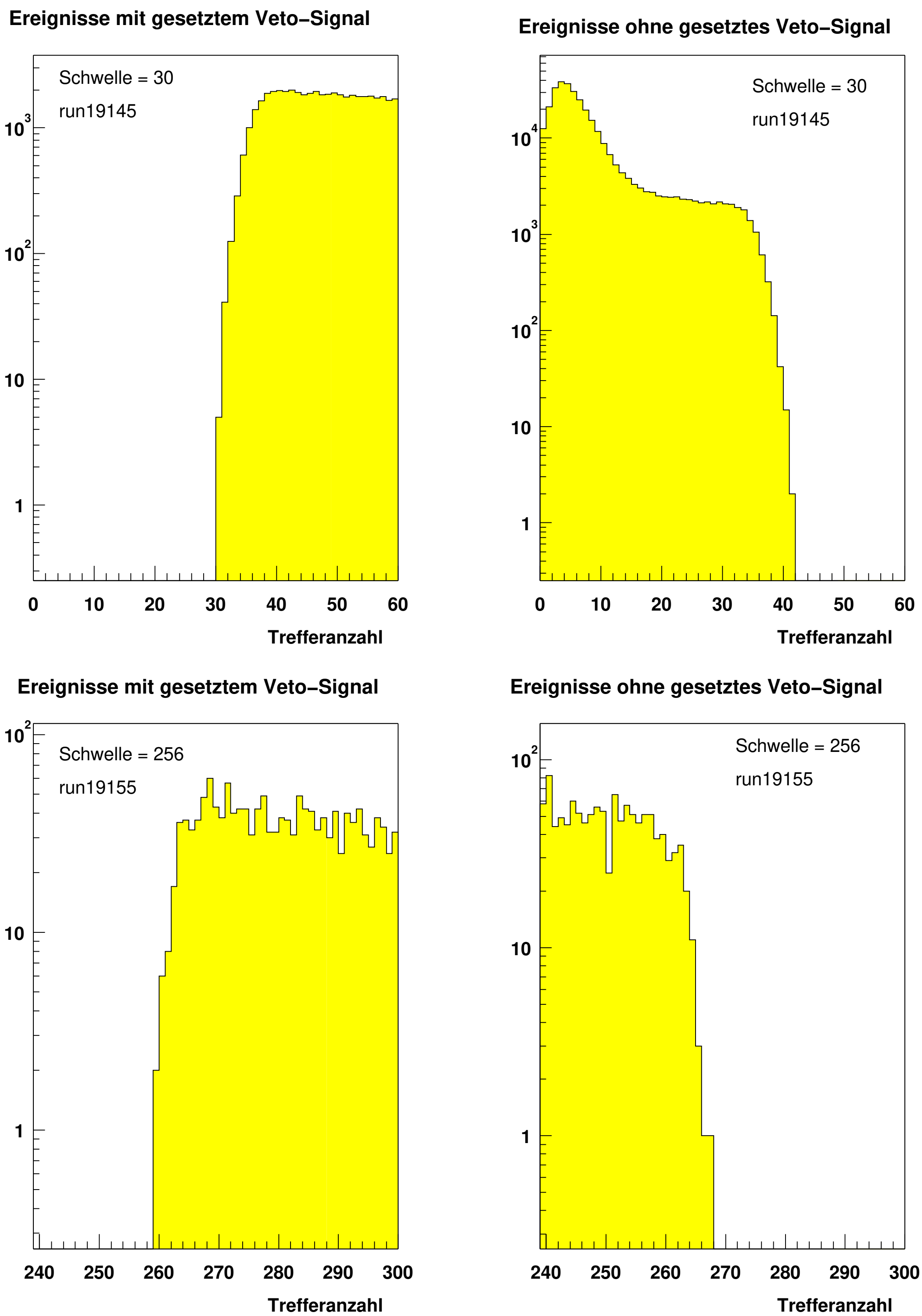

Abb. 10.4: Trefferhistogramme für Ereignisse mit gesetztem und nicht-gesetztem Veto-Signal (nach [Brü 02b]). Die Histogramme zeigen einen Ausschnitt nahe der Schwelle. Die Differenz zwischen den eingestellten Schwellen und der effektiven Treffersumme ist auf das Weglassen der LSBs der BSCs zurückzuführen. Es sind 15 BSCs installiert, daher beträgt die maximale Differenz 15 Treffer.

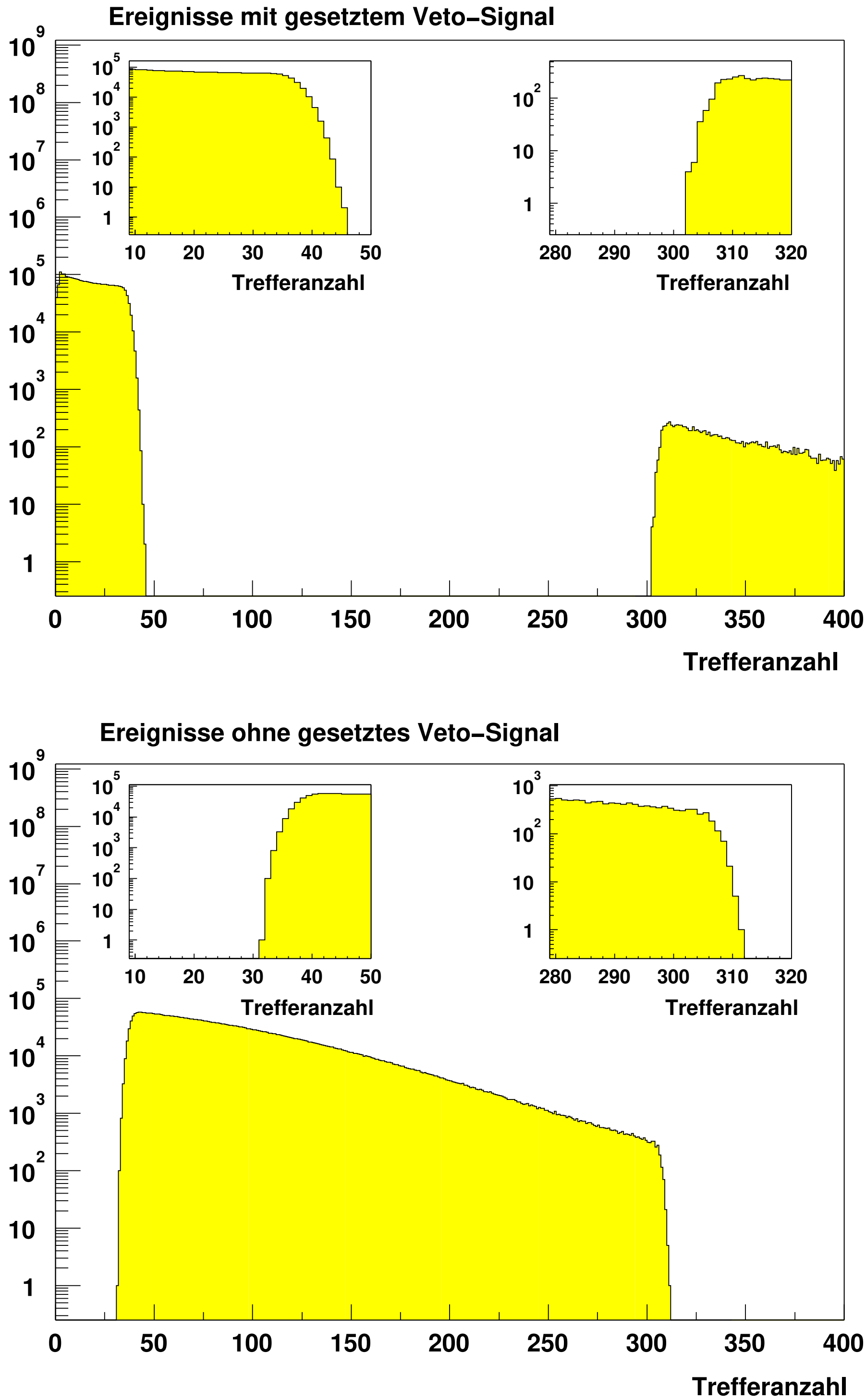

Abb. 10.5: Trefferhistogramme für Ereignisse mit gesetztem und nichtgesetztem Veto-Signal (nach [Brü 02b]). Die Ausschnittvergrößerungen zeigen die Bereiche nahe der Schwellen. Die untere Schwelle wurde auf 30, die obere auf 300 Treffer gesetzt. Die Differenz zwischen den eingestellten Schwellen und der effektiven Treffersumme ist auf das Weglassen der LSBs der BSCs zurückzuführen. Die maximale Differenz beträgt 15 Treffer.

10.3 Zusammenfassung

Der Test der gesamten Pretrigger-Veto-System-Kette wurde erläutert. Er wurde mit Testpattern durchgeführt, damit im Myon-Pretrigger und im RICH-Multiplizitätsveto-System definierte Eingangsdaten vorliegen. Die Daten wurden parallel vom Myon-Pretrigger und vom RICH-Multiplizitätsveto-System prozessiert. Wird im Myon-Pretrigger das Veto-Signal berücksichtigt, dürfen aufgrund der gleichzeitigen Testmustererzeugung in beiden Subsystemen keine Nachrichten für die erste Triggerstufe erzeugt werden. Zu jeder BX-Nummer, zu der eine Nachricht erzeugt würde, wird ein Veto-Signal gesetzt. Dies wurde anhand von Monitordaten des Myon-Pretriggers verifiziert. Da der High-P_T-Pretrigger und das EEI noch nicht kommissioniert sind, konnte der Test nur mit dem Myon-Pretrigger durchgeführt werden.
Es wurden Ergebnisse der Effizienzanalyse des RICH-Multiplizitätsveto-Systems vorgestellt, die in einer begleitenden Diplomarbeit durchgeführt wurde. Die untersuchten Daten wurden im Juli 2002 genommen. Das RICH-Multiplizitätsveto-System lief parallel zur Datennahme mit, wurde jedoch nicht aktiv betrieben, es lieferte kein Veto-Signal an die Pretrigger. Die Vetoentscheidung wurde für getriggerte Ereignisse in den aufgezeichneten Rohdaten zur Verfügung gestellt. Mit Hilfe eines Emulationsprogramms konnten die von der Hardware gelieferten Veto-Signale mit den von der Emulation berechneten verglichen werden. Die Analyse ergibt, dass die Effizienz des RICH-Multiplizitätsveto-Systems (99,9991 $\pm$ 0,0001) % beträgt. Das System kann somit als hochgradig effizient bezeichnet werden.

Kapitel 11

Zusammenfassung und Ausblick

Das RICH-Multiplizitätsveto-System dient der Unterdrückung von Ereignissen mit hoher Treffermultiplizität in den von der ersten Triggerstufe (FLT) verwendeten Detektorlagen. Aufgrund des Spurfindungsalgorithmus in der ersten Triggerstufe werden Ereignisse mit hoher Treffermultiplizität vom FLT bevorzugt. Die Wahrscheinlichkeit, eine Spur zu rekonstruieren, erhöht sich, da sich mit größerer Treffermultiplizität die Anzahl von Zufallskoinzidenzen der Treffer in den Suchregionen des FLT erhöht. Die Reinheit der Daten wird dadurch verschlechtert. Eine große Anzahl von Spurkandidaten erhöht zusätzlich die Verarbeitungszeit des FLT, der die Daten nachrichtenorientiert prozessiert. Im schlimmsten Fall führt dies dazu, dass die maximal zulässige Latenzzeit des FLT überschritten wird und Daten in den FED-Speichern überschrieben werden, bevor sie ausgelesen werden können. Auch die Zeit, die zur Prozessierung der Daten in den höheren Triggerstufen (TLT und 4LT) benötigt wird, erhöht sich, da diesen Triggerstufen die gesamte Detektorinformation zur Spurensuche und Rekonstruktion zur Verfügung steht. Eine hohe Treffermultiplizität resultiert aus einer hohen Anzahl an primären Wechselwirkungen. Rekonstruktionsbedingt lassen sich nicht mehr als zwei bis drei gleichzeitige Wechselwirkungen auf ein bis zwei Targetdrähten untersuchen, da die Detektorauflösung für eine höhere Anzahl gleichzeitiger Wechselwirkungen nicht ausreicht. Ereignisse mit einer hohen Anzahl gleichzeitiger Wechselwirkungen sollten daher frühzeitig unterdrückt werden, um das Triggersystem zu entlasten.

In dieser Arbeit wurde gezeigt, dass der RICH-Detektor aus physikalischer Sicht zur Implementation eines Veto-Systems geeignet ist. Er weist eine hohe Trefferkorrelation zu den von der ersten Triggerstufe benutzten Detektorlagen auf. Der Zugang zur Ausleseelektronik des RICH-Detektors ist jedoch leichter als bei anderen untersuchten Subdetektoren, die physikalisch genauso gut zur Implementation eines Veto-Systems geeignet sind wie der RICH-Detektor. Aus diesen Gründen wurde der RICH-Detektor zur Implementation eines Multiplizitätsveto-Systems ausgewählt.

Das RICH-Multiplizitätsveto-System ist modular aufgebaut. Es besteht aus drei Hauptkomponenten, den Base Sum Cards (BSC), den FED Sum Cards (FSC) und dem Veto Board (VB). Im Gegensatz zum ECAL Energy Inhibit (EEI), das ursprünglich als einzige Quelle eines Veto-Signals konzipiert wurde und ECAL-Energien analog summiert, sind die Schaltungen des RICH-Multiplizitätsveto-Systems rein digital realisiert. Die Aufgabe des RICH-Multiplizitätsveto-Systems ist es, die Anzahl der Photonen im RICH zu ermitteln und durch Vergleich mit einer einstellbaren oberen und unteren

Schwelle eine Vetoentscheidung zu treffen. Die Trefferdaten der Photomultiplier werden digitalisiert auf den FED-Tochterkarten bereitgestellt. Die FED-Tochterkarten sind in 14 FED-Crates untergebracht. Aufgrund der Anordnung der FED-Crates im Detektorbereich findet die Summation der Trefferdaten kaskadiert statt. Ein Großteil der Datenverarbeitung geschieht bereits in den FED-Crates in direkter Nähe des Detektors. Studien, die parallel zur Entwicklung des RICH-Multiplizitätsveto-Systems im Rahmen einer Diplomarbeit durchgeführt wurden, haben ergeben, dass eine Teilabdeckung der Fokalebenen des RICH-Detektors ausreicht, um das RICH-Multiplizitätsveto-System erfolgreich zu betreiben. Es wird daher auf die vollständige Bestückung sämtlicher RICH-FED-Crates verzichtet, auch wenn die technischen Voraussetzungen dazu seitens der entwickelten Hardware bestehen.

Die BSCs sind als Aufsteckkarten konstruiert. Sie werden direkt auf den FED-Tochterkarten angebracht. 256 FED-Kanäle werden pro BSC verarbeitet. Bis zu acht BSCs können sich in einem FED-Crate befinden. Die Zwischenergebnisse der BSCs eines Crates werden an die jeweilige FSC, die sich in dem gleichen FED-Crate befindet, weitergegeben. Diese summiert die Daten und überträgt sie an das VB in die Elektronikhütte. Es ist möglich, auf FSC-Ebene bereits ein Veto-Signal (Fast-Veto) zu erzeugen, indem die Trefferanzahl des entsprechenden FED-Crates mit einer Schwelle verglichen wird. Dieses Signal kann als Wechselwirkungstriggersignal verwendet werden. Es wird an das Fast Control System (FCS) weitergeleitet und erzeugt ein Triggersignal, wenn eine Mindestrefferanzahl in einem FED-Crate überschritten wird.

Auf den FSCs wird die Synchronisation der BX-Nummern der BSCs überwacht. Die Information wird zusammen mit der Treffersumme, der BX-Nummer und dem Fast-Veto-Signal an das VB übertragen. Auf dem VB werden die Daten von bis zu 14 FED-Crates aufsummiert und die Vetoentscheidung gefällt. Es existieren zwei Arten der Veto-Signal-Erzeugung. Zum einen können die mit einer ODER-Verknüpfung verbundenen Fast-Veto-Signale verwendet werden, zum anderen kann auf dem VB eine obere und eine untere Schwelle gesetzt werden, die mit der Treffersumme des VB verglichen werden. Aus dem Einsatz der Schwellen ergeben sich vier Veto-Modi. Ein Monitorsystem wurde auf dem VB implementiert, mit dem Hardwarefunktionen, wie z. B. die Synchronisation der BX-Nummern der BSCs bzw. FED-Crates, überwacht werden können.

Die maximal zulässige Latenzzeit des RICH-Multiplizitätsveto-Systems wird durch die Zeit vorgegeben, zu der das Veto-Signal spätestens noch von den Pretriggern verarbeitet werden kann. Der limitierende Pretrigger ist der Myon-Pretrigger, der das Veto-Signal spätestens nach 1062 ns verarbeiten muss. Die Latenzzeit des RICH-Multiplizitätsveto-Systems liegt unter 1000 ns. Diese Zeiten beziehen sich immer auf den Zeitpunkt der Wechselwirkung am Target.

Der High-P_T- und der Myon-Pretrigger besitzen eine Schnittstelle, in die das Veto-Signal eingespeist werden kann, um die Datenverarbeitung auf dem Pretrigger Board (PTB) bzw. auf der Pretrigger Coincidence Unit (PCU) zu unterdrücken. Die auf dem EEI vorgesehene Schnittstelle ist von den zeitlichen Anforderungen an die Latenzzeit nicht geeignet zur Aufnahme eines externen – vom RICH-Multiplizitätsveto-System gelieferten – Veto-Signals. Aufgrund der digitalen Summenbildung wird das Zeitlimit überschritten. In dieser Arbeit wurde ein alternativer Weg zur Implementation des RICH-Veto-Signals im ECAL-Pretrigger vorgeschlagen. Wird nicht die Datenverarbei-

tung auf dem ECAL-Pretrigger, sondern die Erzeugung der Nachricht an den FLT unterdrückt, verschiebt sich das Zeitlimit des ECAL-Pretriggers um die Durchlaufzeit der Pretriggerkomponenten. Das Zeitlimit des ECAL-Pretriggers liegt dann bei ca. 2000 ns und stellt keine Limitierung der Funktionalität des RICH-Multiplizitätsveto-Systems dar.
Das RICH-Multiplizitätsveto-System besteht aus 15 BSCs, zwei FSCs und einem VB. Zwei FED-Crates wurden bestückt. Die installierten Komponenten wurden unter Datennahmebedingungen erfolgreich in Betrieb genommen. Das Fast-Veto-Signal einer FSC wurde als nicht verzerrendes Wechselwirkungstrigger-Signal verwendet. Die Inbetriebnahme des nicht verzerrenden Hardware-Wechselwirkungstriggers konnte ebenfalls erfolgreich abgeschlossen werden.
Es wurden Ergebnisse einer Studie zusammengefasst, in der die Abhängigkeit ausgewählter physikalischer Variablen von der Position des abgedeckten Bereichs der RICH-Fokalebenen und von den eingestellten Schwellen zur Erzeugung des Trigger- bzw. Veto-Signals untersucht wird. Die Studie hat ergeben, dass kein signifikanter Einfluss durch die Wahl der Schwelle oder des Abdeckungsbereichs ausgeübt wird. Zur Bestimmung der Effizienz wurde das RICH-Multiplizitätsveto-System im transparenten Modus betrieben. Es lief parallel zur Datennahme mit, ohne aktiv Veto-Signale an die Pretrigger zu liefern. Die erzeugten Veto-Signale wurden in den Ereignisdaten gespeichert und standen zur späteren Analyse zur Verfügung. Mit Hilfe eines Emulationsprogramms, das die Vetoentscheidung, basierend auf den Rohdaten des Ereignisses, überprüft, wurde die Effizienz ϵ bestimmt. Sie beträgt $\epsilon = (99{,}9991 \pm 0{,}0001)\,\%$.
Die Komponenten des RICH-Multiplizitätsveto-Systems wurden in nur einem Jahr entwickelt, getestet und im HERA – B Experiment installiert. Trotz des enormen Zeitdrucks, resultierend aus der Anforderung, dass das Veto-System zur Inbetriebnahme des FLT nach der fast einjährigen Wartungsperiode im Jahr 2001 eingesetzt werden sollte, ist ein hoch effizientes Veto-System entwickelt worden, das die Voraussetzungen zur Verwendung im HERA – B Experiment erfüllt.

Es wurde die Funktionalität der gesamten Pretrigger-Veto-System-Kette mit Hilfe der vom FED-System generierten Testmuster im HERA – B Experiment überprüft. Aufgrund der schwierigen Datennahmebedingungen, die aus dem instabilen Betrieb des Speicherringes nach dem Umbau im Jahre 2001 resultieren, konnte ein Test mit aktivem RICH-Multiplizitätsveto-System unter Datennahmebedingungen noch nicht durchgeführt werden. Da die Kommissionierung des High-P_T-Pretriggers und des ECAL Energy Inhibits (EEI) noch nicht abgeschlossen sind, konnten auch die Schnittstellen zu diesen Subsystemen im HERA – B Experiment noch nicht getestet werden.
Durch das im Rahmen dieser Arbeit entwickelte RICH-Multiplizitätsveto-System wird es möglich sein, den FLT und die höheren Triggerstufen zu entlasten, die Anzahl der Ereignisse mit hoher Anzahl gleichzeitiger Wechselwirkungen zu reduzieren, Daten bei höherer Targetrate zu nehmen und mit Hilfe des nicht verzerrenden Wechselwirkungstriggers Daten zur Kommissionierung anderer Subdetektorsysteme zu nehmen.

Anhang A

Abkürzungsverzeichnis

Tab. A.1: Abkürzungsverzeichnis. Die fett gedruckten Abkürzungen werden in dieser Arbeit häufig verwendet.

Abkürzung	Bedeutung
4LT	4th Level Trigger
ACLR	Asynchrones CLEAR-Signal
ASIC	Application Specific Integrated Circuit
BSC	Base Sum Card
BSTC	Base Sum Test Card
BX	Bunch Crossing
CAC	Connector Adapter Card
CAN	Controller Area Network
CEM	Color Evaporation Modell
CLK	Taktsignal
COM	Color Octet Modell
CPLD	Complex Programmable Logic Device
CPU	Central Processing Unit
CSM	Color Singlet Modell
DESY	Deutsches Elektronen-Synchrotron
DPRAM	Dual Ported Random Access Memory
DSP	Digital Signal Processor
ECAL	Electromagnetic Calorimeter
EEI	ECAL Energy Inhibit
EMV	Elektromagnetische Verträglichkeit
EN	Enable-Signal
EPROM	Electrically Programmable Read Only Memory
FCS	Fast Control System
FED	Front End Driver
FEE	Front End Electronic
FIFO	Speicher, basierend auf dem First-In-First-Out-Prinzip

Fortsetzung auf der nächsten Seite

Fortsetzung von vorheriger Seite

Abkürzung	Bedeutung
FLT	First Level Triger
FSC	FED Sum Card
FSM	Finite State Machine
HERA	Hadron-Elektron-Ring-Anlage
I / O	Input / Output
IIC, (I^2C)	Inter Integrated Circuit
ITR	Inner Tracker
JTAG	Joint Test Action Group
LB	Link Board
LO	Leading Order
LRB	Last Received Bit
LSB	Least Significant Bit
LUT	Look Up Table
LVDS	Low Voltage Differential Signal
LWL	Lichtwellenleiter
MG	Message Generator
MSB	Most Significant Bit
MUX	Multiplexer
NLL	Next-to-Leading Logarithm
NLO	Next-to-Leading Order
NRQCD	Nichtrelativistische QCD
ORC	Optical Readout Card
OTR	Outer Tracker
PCU	Pretrigger Coincidence Unit
PFEDS	Pretrigger FED Simulator
PIN	P-Intrinsic-N
PLB	Pretrigger Link Board
PLL	Phase Locked Loop
PMG	Pretrigger Message Generator
POL	Pretrigger Optical Link
PTB	Pretrigger Board
QCD	Quantenchromodynamik
QED	Quantenelektrodynamik
QFD	Quantenflavordynamik
QGP	Quark Gluon Plasma
rhp	Remote Hisogramming Package
RICH	Ring-Imaging Cherenkov Hodoscope
rpm	Really Powerful Messaging
SCL	Serial Clock Line
SDA	Serial Data Line

Fortsetzung auf der nächsten Seite

Fortsetzung von vorheriger Seite

Abkürzung	Bedeutung
SLB	Second Level Buffer
SLT	Second Level Trigger
SNO	Sudbury Neutrino Observatory
TDU	Trigger Decision Unit
TFU	Track Finding Unit
TLT	Third Level Trigger
TPU	Track Parameter Unit
TRD	Transition Radiation Detector
TTL	Transistor Transistor Logic
VB	Veto-Board
VBTC	Veto Board Test Card
VCSEL	Vertical Cavity Surface Emitting LASER
VDIS	Veto Distributor
VDS	Vertex Detector System
VME	Versa Modul Eurocard
WCLK	Write Clock

Anhang B

Die Online-Software des RICH-Multiplizitätsveto-Systems

Ein wichtiger Aspekt der Inbetriebnahme des RICH-Multiplizitätsveto-Systems ist die Einbindung des Systems in die existierende HERA – B Datennahme-Umgebung. Die Initialisierung und Steuerung des Systems, die Bereitstellung von Monitorfunktionen und -informationen und der Austausch von Daten über Schnittstellen zu anderen Systemen des HERA – B Experiments sind Aufgaben der Online-Software. Sie ist modular aus mehreren Prozessen aufgebaut. Die Prozesse kommunizieren miteinander über die HERA – B spezifischen Protokolle. Im folgenden Abschnitt wird die Implementation der Online-Software [Hus 02] beschrieben.

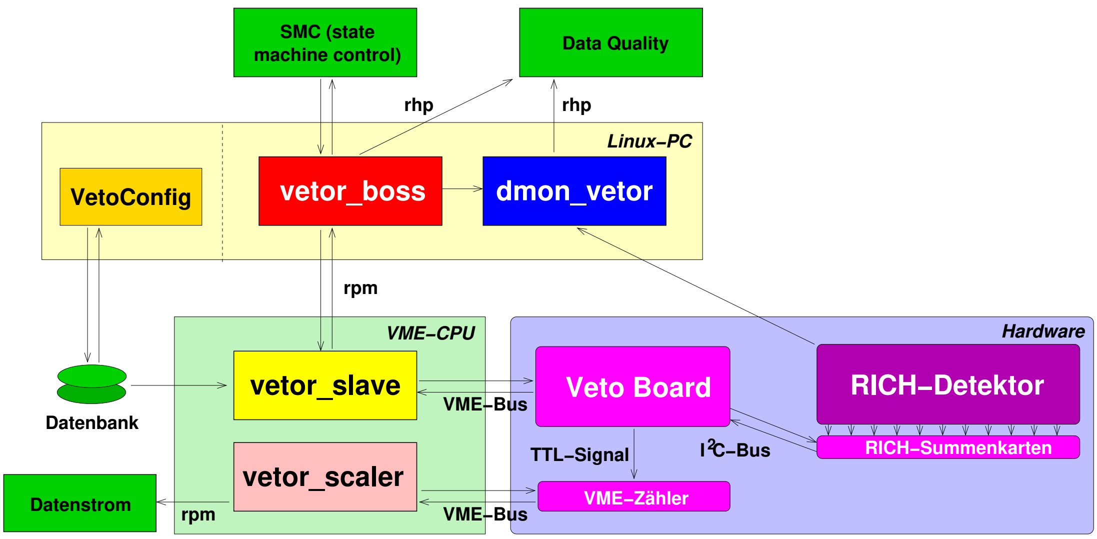

Abb. B.1: Schematische Darstellung der Online-Umgebung des RICH-Multiplizitätsveto-Systems. Die Interaktion der einzelnen Prozesse sowie die Bezeichnungen in der Darstellung werden im Text beschrieben. [Hus 02]

B.1 Beschreibung der Online-Software

In Abbildung B.1 ist die Architektur der Online-Software schematisch dargestellt. Die Ausdrücke in Klammern beziehen sich im Folgenden auf diese Abbildung.
Auf unterster Ebene befindet sich die Hardware, bestehend aus dem RICH-Detektor, den RICH-Multiplizitätsveto-System-Komponenten (RICH-Summenkarten, Veto Board) und einem VME-Zähler, der die Veto-Signale des RICH-Multiplizitätsveto-Systems und des EEIs zählt (VME-Zähler). Das Veto-Board kommuniziert mit den RICH-Summenkarten, den BSCs und FSCs, über den I^2C-Bus. Die BSCs und FSCs besitzen keine direkte Schnittstelle zur Online-Software.
Auf der VME-CPU laufen Prozesse, die die Treiberfunktionen für die Zugriffe auf die VME-Register des Veto Boards und des VME-Zählers aufrufen. Ein Prozess (vetor_slave) dient der Steuerung des Veto Boards und der Kommunikation mit den RICH-Summenkarten über den I^2C-Bus. Wird das RICH-Multiplizitätsveto-System initialisiert, werden vom *vetor_slave*-Prozess die Initialisierungsparameter aus der Datenbank (Datenbank) ausgelesen und an das Veto Board bzw. die RICH-Summenkarten weitergeleitet. Zu den Parametern gehören u. a. die Werte der Kommandoregister auf den Summenkarten, die Schwellen, die Masken, der Veto-Modus sowie die Einstellung, ob das EEI-Veto-Signal berücksichtigt werden soll. Die Monitorfunktionen werden ebenfalls vom *vetor_slave*-Prozess aufgerufen. Die Monitordaten werden über das *rpm*[1]-Protokoll (rpm), ein spezielles Protokoll des HERA – B Experiments zur Datenübertragung, an den übergeordneten Prozess (vetor_boss) weitergeleitet, der die Daten in Form von Histogrammen der Datenqualitätsüberprüfung (Data Quality) zur Verfügung stellt. Die Trefferinformationen werden vom Monitorprozess (dmon_vetor) aus dem Datenstrom (Datenstrom) ausgelesen und ebenfalls zur Datenqualitätskontrolle (Data Quality) publiziert. Ein weiterer Prozess (vetor_scaler), der ebenfalls auf der VME-CPU gestartet wird, initialisiert den VME-Zähler und liest den Zählerstand aus. Über das *rpm*-Protokoll werden die Informationen dem Datennahmesystem (Datenstrom) zur Verfügung gestellt.
Die State Machine Control (SMC) ist für die Initialisierung des gesamten HERA – B Experiments und den Start der Datennahme verantwortlich. Sie teilt dem das RICH-Multiplizitätsveto-System kontrollierenden Prozess (vetor_boss) mit, wann das Veto-System initialisiert oder gestoppt werden soll und wann die Monitorprogramme aufgerufen werden sollen. Der *vetor_boss*-Prozess läuft, im Gegensatz zum *vetor_slave*-Prozess, auf dem PC, der speziell zur Steuerung der Datennahme im HERA – B Experiments verwendet wird. Er veranlasst den *vetor_slave*-Prozess die erforderlichen Funktionen aufzurufen. Die beiden Prozesse sind getrennt, damit immer die Möglichkeit eines Zugriffs durch die SMC auf das RICH-Multiplizitätsveto-System besteht, auch wenn gerade Funktionen auf der VME-CPU abgearbeitet werden. So wird gewährleistet, dass das System immer ansprechbar ist.
Es existiert eine graphische Benutzeroberfläche (VetoConfig) über die die Parameter zur Konfiguration des RICH-Multiplizitätsveto-Systems in die Datenbank eingetragen werden können.

[1] really powerfull messaging engl. für wirklich leistungsfähige Nachrichtenübermittlung

Literaturverzeichnis

[Abr 99] M. C. Abreu et al. *Latest Results from NA50 on* J/ψ *Suppression in Pb-Pb Collisions*. Nucl. Phys. **A661** (1999) 93.

[Abt 93] I. Abt et al. *The H1 Detector at HERA*. Technical report, DESY–93–103, Juli 1993.

[Abt 02] I. Abt et al. *Measurement of the* $\mathrm{b\overline{b}}$ *Production Cross Section in 920 GeV Fixed-Target Proton-Nucleus Collisions*. DESY Report 02–75, hep-ex/0205106.

[Ada 01] M. Adams. *Study of Hit Multiplicities*. HERA–B Note 01 – 059, 2001.

[Ada 02] M. Adams. *Entwicklung eines Simulationsprogramms für das Myon Pretrigger System des HERA–B Experiments und Untersuchungen zum Systemverhalten*. Doktorarbeit, Universität Dortmund, 2002.

[Agi 00] Agilent Technology. *Agilent HDMP-1032/1034 Transmitter/Receiver Chip Set*, 2000. Data Sheet.

[Ale 97] T. Alexopoulos et al. *Differential Cross Section of* J/ψ *and* ψ' *in 800 GeV Proton-Silicon Interactions*. Phys. Rev. **D55** (1997) 3927.

[Ale 99] T. Alexopoulos et al. *Measurement of the* $\mathrm{b\overline{b}}$ *Cross Section in 800 GeV Proton-Silicon Interactions*. Phys. Rev. Lett. **82** (1999) 41.

[Alt 77] G. Altarelli und G. Parisi. *Asymptotic Freedom in Parton Language*. Nucl. Phys **B126** (1977) 298.

[Alt 82] G. Altarelli. *Partons in Quantum Chromodynamics*. Phys. Rept. **81** (1982) 217.

[ALT 00] ALTERA. *FLEX 10k Embedded Programmable Logic Family*, May 2000. Application Note, ver 4.02.

[Arn 94] M. Arneodo. *Nuclear Effects in Structure Functions*. Phys. Rept. **240** (1994) 301.

[Avo 01] G. Avoni et al. *The Electromagnetic Calorimeter of the HERA–B Experiment*. Nucl. Instr. Methods **A461** (2001) 332.

[Avo 02] G. Avoni, Februar 2002. Private Mitteilung.

[Bai 83] B. Baier und R. Rückl. *Hadronic Collisions: A Quarkonium Factory.* Z. Phys. **C19** (1983) 251.

[Bal 00] V. Balagura et al. *High-P_{T} Pretrigger for HERA–B Experiment.* Nucl. Instr. Methods **A453** (2000) 412.

[Bau 00] C. Bauer et al. *The HERA–B Vertex Detector System.* Nucl. Instr. Methods **A453** (2000) 103.

[Böc 01] M. Böcker et al. *The Muon Pretrigger System of the HERA–B Experiment.* IEEE Trans. Nucl. Sci. **48** (2001) 1207, TNS-00118-2000.

[Ben 96] M. Beneke und I. Z. Rothstein. *Hadro-Production in Fixed Target Experiments.* Phys. Rev. **D54** (1996) 2005.

[Boc00] R. K. Bock et al. *Data-analysis techniques for high-energy physics.* Camebridge Univ. Press, second edition, 2000.

[Bod 95] G. T. Bodwin, E. Braaten, und G. P. Lepage. *Rigorous QCD Analysis of Inclusive Annihilation and Production of Heavy Quarkonium.* Phys. Rev. **D51** (1995) 1125.

[Bon 98] R. Bonciani, S. Catani, M. L. Mangano, und P. Nason. *NLL Resummation of the Heavy-Quark Hadroproduction Cross-Section.* Nucl. Phys. **B529** (1998) 424.

[BOS 91] Robert BOSCH GmbH. *CAN Specification*, 1991. Technical Specification, Version 2.0.

[Bou 95] D. Boutigny et al. *BABAR – Technical Design Report.* Design report, SLAC-R-457, March 1995.

[Brü 02a] M. Brüggemann, Juli 2002. Private Mitteilung.

[Brü 02b] M. Brüggemann, August 2002. Private Mitteilung.

[Brü 02c] M. Brüggemann. *Erste Erfahrungen mit einem neuen HERA–B Multiplizitätsveto*, März 2002. DPG-Frühjahrstagung, Leipzig.

[Brü 02d] M. Brüggemann. *Status Report on RICH Veto Studies*, May 2002. HERA–B Collaboration Week.

[Brü 02e] M. Brüggemann. *Untersuchungen zum RICH-Vetosystem des HERA–B Experiments.* Diplomarbeit, Universität Dortmund, September 2002.

[Buc 02] P. Buchholz. *Trigger Group Meeting am 29.11.2000*, Mai 2002. Private Mitteilung.

[Ca 99] H. Calção, J. Carvalho, M. Gronçalves, Y. Ivaniouchenkov, und F. Moita. *Monitoring of the RICH Photo Detector.* HERA–B Note 99 – 009, 1999.

[Cap 00] M. Capeans et al. *Status of the Outer Tracker for the HERA–B Experiment.* Nucl. Instr. Methods **A446** (2000) 317.

[CET 00] CETIA. *CETIA Power Engine – 4th Generation VMPC4b*, January 2000. Product Description, ver 3e.

[Che 95] M. T. Cheng et al. *BELLE – Technical Design Report.* Design report, KEK-Report 95-1, April 1995.

[Col 88] C. Collins, D. E. Soper, und G. Sterman. *Factorization of Hard Processes in QCD.* Adv. Ser. Direct. High Energy Phys. **5** (1988) 1.

[Cru 98] C. Cruse. *Entwicklung und Untersuchung von Komponenten zur Datenübertragung für den Myon-Pretrigger des HERA–B Experiments.* Diplomarbeit, Universität Dortmund, März 1998.

[DES 00] DESY. Abteilung Presse und Öffentlichkeitsarbeit, Hamburg 2000.

[Duj 99] D. Dujmic et al. *Measuring Momentum with the HERA–B RICH and ECAL.* HERA–B Note 99 – 100, 1999.

[Ehr 00] K. Ehret et al. *Commissioning of the HERA–B Internal Target: Using the HERA Proton Ring as a B-Factory.* Nucl. Instr. Methods **A446** (2000) 190.

[Ein 05] A. Einstein. *Zur Elektrodynamik bewegter Körper.* Annalen der Physik **17** (1905) 891.

[Erl 00] J. Erler und S. Heinmeyer. *GIGAZ: High Precision Tests of the SM and MSSM.* 5th International Symposium on Radiative Corrections, Carmel, California, 11-15 September 2000, hep-ph/0102083.

[Fer 34] E. Fermi. *Trends to a Theory of Beta Radiation.* Z. Phys. **88** (1934) 161.

[Fey 49] R. P. Feynman. *Space-Time Approach to Quantum Electrodynamics.* Phys. Rev. **76** (1949) 769.

[Fri 77] H. Fritzsch. *Producing Heavy Quark Flavors in Hadronic Collisions: A Test of Quantum Chromodynamics.* Phys. Lett. **B67** (1977) 217.

[Fri 98] S. Frixione, M. L. Mangano, P. Nason, und G. Ridolfi. *Heavy-Quark Production.* Adv. Ser. Direct. High Energy Phys. **15** (1998) 609 .

[Ful 98a] T. Fuljahn et al. *Concept of the First Level Trigger for HERA–B .* Trans. Nucl. Sci. **45** (1998) 1782.

[Ful 98b] T. Fuljahn und D. Reßing. *FCS Documentation.* HERA–B 98 – 256, November 1998.

[Ful 99] T. Fuljahn. *Aufbau und Charakterisierung des schnellen Kontrollsystems für den Detektor HERA–B*. Doktorarbeit, Universität Hamburg, August 1999.

[Gav 95] R. Gavai et al. *Quarkonium Production in Hadronic Collisions.* hep-ph/9502270 v2.

[Ger 00] E. Gerndt. *HERA–B Pretrigger and FLT Latency.* HERA–B Note 00 – 013, 2000.

[Gla 61] S. L. Glashow. *Partial Symmetries of Weak Interactions.* Nucl. Phys. **22** (1961) 579.

[GM64] M Gell-Mann und Y. Ne'eman. *The Eightford Way.* Benjamin, New York, 1964.

[Gur 00] A. Gurtu. *Precision Tests of the Electroweak Gauge Theory.* Talk given at the XXXth Internationsl Conference on High Energy Physics (ICHEP), July 27 – August 2, Osaka.

[Har 95] E. Hartouni et al. *HERA–B An Experiment to Study CP Violation in the B System Using an Internal Target at the HERA Proton Ring.* Design Report, DESY–PRC 95/01, January 1995.

[HERA–B 00a] The HERA–B Collaboration. *Report on Status and Prospects.* Technical report, DESY–PRC 00/04, Oktober 2000.

[HERA–B 00b] The HERA–B Collaboration. *HERA–B – Report on Status and Prospects, Executive Summary.* Technical report, DESY–PRC 00/04, Oktober 2000.

[HERA–B 01] The HERA–B Collaboration. *Update on Status and Plans for 2001/2.* HERA–B Note 01 – 064, 2001.

[Hee 01] K. M. Heeger et al. *Resolving the Solar Neutrino Problem: Evidence for Massive Neutrinos in the Sudbury Neutrino Observatory.* Europhys. News **32** (2001) 180.

[Hei 26] W. Heisenberg. *Über quantentheoretische Umdeutung kinematischer und mechanischer Beziehungen.* Z. Phys. **33** (1926) 879.

[Hei85] W. Heinlein. *Grundlagen der faseroptischen Übertragungstechnik.* B.G. Teubner, Stuttgart, 1985.

[HER 90] The HERMES Collaboration. *A Proposal to Measure the Spin Dependent Structure Function of the Neutron and the Proton at HERA.* Proposal, DESY–PRC 90–01, 1990.

[Hes 97] W. Hessenberger. *Giga–Strahl.* Elektronik Praxis.

[Hon 98] Honeywell Inc. *Modulating VCSELs*, February 1998. Application Note.

[Hus 01] U. Husemann. *Prospects of Drell-Yan Physics with the HERA–B Detector.* Diplomarbeit, Universität Dortmund, März 2001.

[Hus 02] U. Husemann. *Integration des RICH-Veto-Systems.* HERA–B Doktorandentreffe in Dortmund.

[Int 00] Integrated Device Technology Inc. *IDT74FCT388915T70 3.3V Low Skew PLL-Based CMOS Clock Driver*, Oktober 2000. Data Sheet.

[İşse 01] S. İşsever. *Entwicklung des Target-Steuersystems für das HERA–B Experiment und Untersuchung der Eigenschaften des Targetbetriebs am HERA-Speicherring.* Doktorarbeit, Universität Dortmund, Januar 2001.

[Jan 95] D. M. Jansen et al. *Measurement of the Bottom-Quark Production Cross Section in 800 GeV/c^2 Proton-Gold Collisions.* Phys. Rev. Lett. **74** (1995) 3118.

[JTA 88] Joined Test Action Group JTAG. *IEEE Standard Test Access Port and Boundary Scan Architecture*, 1988. IEEE 1149.1.

[Kid 96] N. Kidonakis und J. Smith. *Bottom Quark Production Cross Section at HERA–B* . hep-ph/9606275 v1.

[Kid 01] N. Kidonakis, E. Laenen, S. Moch, und R. Vogt. *Sudakov Resummation and Finite Order Expansions of Quark Hadroproduction Cross Sections.* Phys. Rev. **D64** (2001) 114001.

[Kla 00] E. Klaus. *Untersuchung zur Inbetriebnahme des HERA–B Myon-Pretriggers und Monte-Carlo-Studien zum Zerfall $B^0 \to K^{0*}\mu^+\mu^-$.* Diplomarbeit, Universität Dortmund, November 2000.

[Kol 99] Y. Kolotaev. *Pretrigger Front End Driver Simulation Board.* Internes Dokument, Lehrstuhl Experimentelle Physik V, Universität Dortmund, 1999.

[Kol 00] Y. Kolotaev. Die Optical Readout Card wurde von Y. Kolotaev zum Test einer optischen Übertragungsstrecke entwickelt. 2000.

[Kol 01a] Y. Kolotaev. Der I^{2}C-Bus-Distributor wurde nach den technischen Vorgaben des Autors von Y. Kolotaev entwickelt. 2001.

[Kol 01b] Y. Kolotaev. Die Base Sum Test Card wurde nach den technischen Vorgaben des Autors von Y. Kolotaev entwickelt. 2001.

[Lüd 96] J. Lüdemann, D. Reßing, R. Wurth, und J. Zweizig. *A SHARC DSP Cluster as HERA–B DAQ Building Block.* HERA–B Note 96 – 256, 1996.

[Lei 00] M. J. Leitch et al. *Measurement of Differences between* J/ψ *and* ψ' *Suppression in* $p - A$ *Collisions.* Phys. Rev. Lett. **84** (2000) 3256.

[Leu 94] A. Leuschner. *SHARC-Modul Documentation*, Juli 1994.

[Loh 94] T. Lohse et al. *HERA–B An Experiment to Study CP Violation in the B System Using an Internal Target at the* **HERA** *Proton Ring.* Proposal, DESY–PRC 94/02, May 1994.

[Lum 02] Luminosity Working Group. *Luminosity Measurement in HERA–B* . HERA–B Note *in preparation*, 2002.

[Lut86] D. Lutzke. *Lichtwellenleiter–Technik.* Pflaum Verlag München, München, 1986.

[MAX 00a] MAXIM. *Interfacing Maxim Laser Drivers with Laser Diodes*, May 2000. Application Note, HFAN-2.0 Rev0.

[MAX 00b] MAXIM. *MAXIM Dual 256-Tap, Low Drift, Digital Potentiometers in 10µMAX*, 2000. Data Sheet.

[MSC98a] MSC Vertriebs GmbH. *Daughter Board for DESY HERA–B Myon Chamber System – DES UT–0000*, 1998. Technical Documentation.

[MSC98b] MSC Vertriebs GmbH. *Mother Board for DESY HERA–B Myon Chamber System – DES UM–0000*, 1998. Technical Documentation.

[NA 87] B. Nilsson-Alqvist und E. Stenlund. *The FRITIOF Event Generator.* Compt. Phys. Commun.**43** (1987) 387.

[Nas 88] P. Nason, S. Dawson, und R. K. Ellis. *The Total Cross Section for the Production of Heavy Quarks in Hadronic Collisions.* Nucl. Phys. **B303** (1988) 607.

[Nör 99] M. Nörenberg. *Objektorientierte Simulation derTrigger Decision Unit des HERA–B First Level Trigger.* Diplomarbeit, Universität Hamburg, August 1999.

[Pet93] Wade D. Peterson. *The VMEbus Handbook.* VFEA International Trade Association, Scottsdale, AZ 85253 USA, third edition, 1993.

[Phi 93] Philips Semiconductor. *I^2C-Bus Expander*, Oktober 1993. Application Note AN 036.

[Phi 95] Philips Semiconductor. *The I^2C-Bus and how to use it*, April 1995. Specifications.

[Phi 97] Philips Semiconductor. *PCF8584 I^2C-Bus Controller*, Oktober 1997. Data Sheet.

[Pi 92] H. Pi. *An Event Generator for Interactions between Hadrons and Nuclei – FRITIOF Version 7.0.* Compt. Phys. Commun. **71** (1992) 173.

[Pla 00] M. Planck. Verhandlungen der Deutschen Physikalischen Gesellschaft **2** (1900) 237.

[Pyr 00] J. Pyrlik et al. *The HERA–B Ring Imaging Cherenkov System - Design and Performance.* Nucl. Instr. Methods **A446** (2000) 299.

[Rie98] H. Riege und R. van Staa. *HERA–B Pretrigger System – VETO Distribution Box*, 1998. Technical Documentation.

[Rie01] H. Riege, J. Schütt, und R. van Staa. *High Pt Pretrigger Electronics - Pretrigger Board*, 2001. Technical Documentation.

[Sal 68] A. Salam. Proc. 8th Nobel Symposium, Stockholm 1968, ed. N. Svatholm (Almquist and Wiksells, Stockholm 1968) 367.

[Sch 26] E. Schrödinger. *Quantisierung als Eigenwertproblem.* Annalen der Physik **79** (1926) 361.

[Sch 48] J. Schwinger. *Quantum Electrodynamics I-III.* Phys. Rev. **75** (1948) 1439, Phys. Rev. **75** (1948) 651, Phys. Rev. **76** (1949) 790 .

[Sch 94] G. A. Schuler. *Quarkonium Production and Decay.* hep-ph/9403387.

[Sch 95] M. H. Schub et al. *Measurement of* J/ψ *and* ψ' *in 800 GeV Proton-Gold Collision.* Phys. Rev. **D52** (1995) 1307.

[Sch 01] B. Schwingenheuer. *Documentation for the HERA–B Fast-Control-System.* HERA–B Note 00 – 106, 2001.

[Som 00a] A. Somov. *Interaction Rate Calibration of the HERA–B Detector.* HERA–B Note 00 – 075, 2000.

[Som 00b] A. Somov und Yu. Vassiliev. *Interaction Rate Calibration and Luminosity Determination using ECAL Energy Sum.* HERA–B Note 00 – 075, 2000.

[Spe 01] J. Spengler. *Technical Review.* HERA–B Note 01 – 029, 2001.

[Sta 02] M. Starič, Mai 2002. Private Mitteilung.

['t 72] G. 't Hooft und M. Veltman. *Regularization and Renormalization of Gauge Fields.* Nucl. Phys. **B44** (1972) 189.

[Tek 00] Tektronix. *P6701B, P6703B, P6723, O/E Converters*, 2000. Instructions.

[Tex 00] Texas Instriments. *PT6501C Power Trends Products from Texas Instruments*, 2000. Data Sheet.

[Tit 00] M. Titov et al. *The Muon System in the* HERA−B *Experiment.* Nucl. Instr. Methods **A446** (2000) 355.

[Tom 46] S.-I. Tomonaga. *On a Relativistically Invariant Formulation of the Quantum Theory of Wave Fields I-V.* Prog. Theor. Phys. **1** (1946) 27, Prog. Theor. Phys. **2** (1947) 101, 198, Prog. Theor. Phys. **1** (1948) 1, 101.

[Vog 00] R. Vogt. *The x_F Dependence of Psi and Drell-Yan Production.* Phys. Rev. **C61** (2000) 025203.

[Vog 01a] R. Vogt. *Are the* J/ψ *and* χ_c *A Dependencies the Same?* hep-ph/0107045.

[Vog 01b] R. Vogt. *Shadowing Effects on Vector Boson Production.* hep-ph/0011242 v2.

[Vog 01c] R. Vogt. *The A Dependence of Open Charm and Bottom Production.* hep-ph/0111271v1.

[Wag 00] G. Wagner. *Aufbau und Test der mit Digitalen-Signal-Prozessoren realisierten Komponenten des Datennahmesystems von* HERA−B . Doktorarbeit, Universität Hamburg, September 2000.

[Wei 67] S. Weinberg. *A Model of Leptons.* Phys. Rev. Lett. **19** (1967) 1264.

[Ynd 02] F. J. Yndurain. *Basic Parameters and some Precision Tests of the Standard Model.* 30th International Meeting of Fundamental Physics, Huesca, Spain, 28 January - 1 February 2002, hep-ph/0202020.

[ZEU 86] The ZEUS Collaboration. *The ZEUS Detector: Technical Proposal.* Proposal, DESY–HERA–ZEUS–1, March 1986.

[Zeu 00] T. Zeuner et al. *The MSGC-GEM Inner Tracker for the* HERA−B *Experiment.* Nucl. Instr. Methods **A446** (2000) 324.

[Zoc 00] A. Zoccoli et al. *The Electromagnetic Calorimeter of the* HERA−B *Experiment.* Nucl. Instr. Methods **A446** (2000) 246.

Index

Index

Danksagung

An dieser Stelle möchte ich ganz besonders meinem Doktorvater, Herrn Prof. Dr. P. Buchholz, für die interessante und abwechslungsreiche Aufgabenstellung danken. Er hat es mir ermöglicht, während meiner Zeit am Lehrstuhl EV b verantwortungsvolle Aufgaben zu übernehmen, und hat mir den Freiraum gewährt, die Entwicklung, Installation sowie die Integration des RICH-Multiplizitätsveto-Systems selbständig zu leiten. Dadurch konnte ich viele wertvolle Erfahrungen sammeln und vielfältige Kenntnisse erwerben.
Herrn Prof. Dr. D. Wegener danke ich für die Bereitschaft, die Zweitkorrektur meiner Arbeit zu übernehmen. Die interessanten Diskussionen im Kafferaum – nicht nur über physikalische Themen – waren immer sehr anregend und haben die angenehme Atmosphäre am Lehrstuhl geprägt.

Für die sehr gute Zusammenarbeit, die vielen fruchtbaren fachlichen Diskussionen und das gute Arbeitsklima möchte ich besonders Markus Kolander und Yury Kolotaev danken. Auch Ulrich Husemann gebührt mein Dank, der nicht nur das Manuskript dieser Arbeit korrekturgelesen hat, sondern auch maßgeblich an der Integration des RICH-Multiplizitätsveto-Systems in die Online-Umgebung der Datennahme des HERA – B Experiments beteiligt war.
Desweiteren danke ich Dr. Markus Adams und Marc Brüggemann für das Korrekturlesen einiger Kapitel dieser Arbeit.
Für die gute Zusammenarbeit und die schöne Zeit am Lehrstuhl danke ich M. Domke und den Kollegen in der Arbeitsgruppe PREFEcT – auch ehemaligen – M. Brüggemann, Dr. M. Adams, P. Bechtle, M. Böcker, E. Klaus und Dr. B. Schwenninger.
Stellvertretend für alle Mitglieder der HERA – B Kollaboration, die zum Gelingen dieser Arbeit beigetragen haben, möchte ich Herrn Dr. B. Schwingenheuer meinen Dank aussprechen. Er hat stets Zeit gefunden, die Funktion des Fast Control Systems, FED-Systems und der ersten Triggerstufe mit mir zu diskutieren.
Bei allen Mitgliedern des Lehrstuhls für Experimentelle Physik V möchte ich mich für kleine und große Hilfestellungen bedanken.
Nicht zuletzt danke ich meinen Eltern, Schwiegereltern, Großeltern, meinem Bruder und meiner Schwägerin für die Unterstützung, die sie mir während meiner Promotionsvorbereitungszeit haben zukommen lassen.

Meiner Frau, Alexandra, gebührt mein ganz besonderer Dank für ihre Geduld und unermüdliche Hilfe und dafür, dass sie mich immerwieder daran erinnert hat, was wirklich wichtig ist im Leben. Ohne sie wäre dies niemals möglich gewesen. Ihr ist diese Doktorarbeit in allererster Linie gewidmet. Meinem Sohn, Lukas, danke ich für die Freude, die er mir schenkt.

Diese Arbeit wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter der Nummer 5HB1PEA/7 gefördert.