Entwicklung und Untersuchung von Komponenten zur Datenübertragung für den Myon–Pretrigger des **HERA-B** Experimentes

Diplomarbeit
im Studiengang Physik

am Lehrstuhl für
Experimentelle Physik V
im Fachbereich Physik der
Universität Dortmund

vorgelegt von
Carsten Cruse

März 1998

Inhaltsverzeichnis

Kapitel 1

Einleitung

Eine der interessantesten Beobachtungen in der Elementarteilchenphysik ist die Verletzung der *CP*–Symmetrie im System der neutralen Kaonen. Das System der neutralen B–Mesonen bietet, nach Voraussage des Standardmodells der Elementarteilchenphysik, ebenfalls die Möglichkeit *CP*–Verletzung zu beobachten. Viele Experimente beschäftigen sich daher mit der Messung der *CP*–Verletzung im B–Mesonen–System. Im folgenden Kapitel wird die Bedeutung der *CP*–Verletzung für die moderne Physik erläutert und die Grundlagen des **HERA-B**–Experimentes, in dessen Rahmen diese Arbeit entstand, aufgezeigt.

1.1 *CP*–Verletzung

Die Herleitung von Naturgesetzen aus Symmetrie– bzw. Invarianzüberlegungen ist ein zentraler Bestandteil der modernen Physik. Das Noether–Theorem [Noe18] besagt, daß zu jeder kontinuierlichen Symmetrietransformation, die die Bewegungsgleichungen invariant läßt, eine Erhaltungsgröße und ein Erhaltungssatz gehören. Beispiele für kontinuierliche Symmetrietransformationen, die aus infinitesimalen Transformationen zusammengesetzt werden können, sind zeitliche bzw. räumliche Translation sowie Rotation. Aus ihnen folgt Energie–, Impuls–, und Drehimpulserhaltung. Neben den kontinuierlichen Symmetrien existieren die diskreten Symmetrien, auf die sich das Noether–Theorem nicht anwenden läßt. Die Paritätstransformation P, die einer Raumspiegelung entspricht, oder die Zeitumkehrtransformation T, die ein einlaufendes Teilchen in ein auslaufendes überführt, weshalb sie auch Bewegungsumkehroperation genannt wird, sind Beispiele für diskrete Symmetrien. Auch die Ladungskonjugation C, die die Vorzeichen aller ladungsartigen Quantenzahlen umkehrt, gehört in diese Gruppe. Es ist jedoch falsch C als Teilchen–Antiteilchen–Operation zu bezeichnen [Jar89]. Wird die Ladungskonjugation auf ein Neutrino angewendet, so führt das zu einem Zustand, der nicht existiert oder zumindest an keiner Wechselwirkung teilnimmt. Die als „Eigentliche Teilchen–Antiteilchen–Operation" [Sch96] bezeichnete *CP*–Transformation hingegen überführt ein Neutrino in ein Antineutrino. Das *CPT*–Theorem besagt, daß unter *CPT*–Transformation alle lokalen, lorentzinvarianten und kausalen Feldtheorien invariant sind [Lü57, Pau55].

Während C, P, T in der elektromagnetischen und starken Wechselwirkung erhalten sind, sind sie in der schwachen Wechselwirkung verletzt [W$^+$57, GLW57, FT57]. Die

Kombination von C– und P–Transformation galt jedoch lange auch hier als erhalten [LY56, Lan57]. Christenson, Cronin, Fitch und Turlay [C^+64], die eigentlich die Gültigkeit der CP–Invarianz im System der neutralen Kaonen durch eine neue experimentelle Grenze untermauern wollten, fanden genau das Gegenteil heraus.

Gell–Mann und Pais hatten Jahre vor dieser experimentellen Entdeckung postuliert, daß die CP–Eigenzustände der schwachen Wechselwirkung, $|K_1>$ und $|K_2>$, Linearkombinationen der $|K^0>$ und $|\overline{K^0}>$ seien [GMP55]:

$$|K_1> \sim (|K^0> + |\overline{K^0}>)$$

$$|K_2> \sim (|K^0> - |\overline{K^0}>)$$

mit $CP|K_1> = +|K_1>$ und $CP|K_2> = -|K_2>$. Das $|K_1>$–Meson zerfällt in zwei Pionen ($CP = +1$) und das $|K_2>$–Meson in drei Pionen ($CP = -1$). Aufgrund des kleineren Phasenraums ist der Zerfall in drei Pionen unterdrückt, weshalb das $|K_2>$–Meson eine längere Lebensdauer besitzt als das $|K_1>$–Meson.

Mit ihrem Experiment zeigten Christenson, Cronin, Fitch und Turlay, daß die langlebigen Kaonen mit einem Verzweigungsverhältnis von $2,27 \cdot 10^{-3}$ CP–verletzend in zwei Pionen zerfallen. Diese geringe Verletzung der CP–Symmetrie führte dazu, daß die kurzlebigen neutralen Kaonen als $|K_S^0> \sim |K_1> + \epsilon|K_2>$ und die langlebigen als $|K_L^0> \sim |K_2> + \epsilon|K_1>$ bezeichnet werden.

Ein weiteres Beispiel für die Bedeutung von CP–Verletzung findet man in der Asymmetrie zwischen Baryonen und Antibaryonen im Universum. Das Phänomen ist auch als „Baryogenese“ bekannt. Eine Folgerung aus dem CPT–Theorem ist die Gleichheit der Massen und Lebensdauern von Teilchen und Antiteilchen. Dem Standardmodell der Elementarteilchenphysik zufolge erwartet man heute, wenn Baryonen und Antibaryonen in gleicher Anzahl N bei der Entstehung des Universums produziert worden sind, ein Verhältnis der Baryonen zu Photonen, gemittelt über das Universum, von $\frac{N_{baryon}}{N_\gamma} \simeq 10^{-18}$. Es wird jedoch ein Verhältnis von $\frac{N_{baryon}}{N_\gamma} \simeq 10^{-9}$ gemessen. Sakharov entwickelte eine Theorie [Sak67], mit der er die Asymmetrie zwischen Materie und Antimaterie erklären konnte. Notwendige Bedingungen dafür sind C–, CP– und Baryonenzahlverletzung sowie ein thermisches Ungleichgewicht bei Enstehung des Universums.

Eine Klärung der theoretischen Gründe für CP–Verletzung im K–Mesonen–System ist noch offen, obwohl es einige theoretische Erklärungsmodelle gibt. Eine Erklärung liefert Wolfenstein [Wol64], wonach die CP–Verletzung aufgrund von Mischung der $|K^0>$ und $|\overline{K^0}>$, hervorgerufen durch eine superschwache Wechselwirkung, nur im System der neutralen Kaonen zu beobachten ist.

Eine Erklärung für CP–Verletzung im Rahmen des Standardmodells ist dagegen eng mit der Form der CKM–Matrix[1] verknüpft [Cab63, KM73]. Die CKM–Martix ist eine unitäre 3×3 Matrix, die die Übergangswahrscheinlichkeiten für Übergänge eines Quark q in ein Quark q' beschreibt.

$$\mathbf{V_{CKM}} = \begin{pmatrix} V_{ud} & V_{us} & V_{ub} \\ V_{cd} & V_{cs} & V_{cb} \\ V_{td} & V_{ts} & V_{tb} \end{pmatrix}$$

[1] **C**abibbo–**K**obayashi–**M**askawa–Matrix.

Dabei ist die Übergangswahrscheinlichkeit proportional zum Quadrat der Matrixelemente $V_{qq'}$. Die Diagonalelemente beschreiben Übergänge in die gleiche Familie, $u \to d$, $c \to s$, $t \to b$. Die Abb. 1.1 verdeutlicht die Stärke der einzelnen Kopplungen. Dabei ist deutlich zu sehen, wie schwach die Quarks der dritten Familie an die der beiden anderen koppeln.

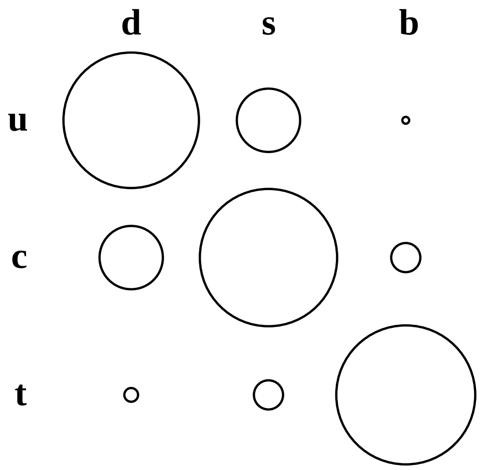

Abb. 1.1: Darstellung der CKM–Matrix. Die Kreisflächen sind proportional dem Betrag der Übergangsamplitude eines Quarks auf der linken Seite in ein Quark auf der oberen Seite. [B+96]

Um die Bedeutung der CKM–Matrix für die Erklärung der CP–Verletzung im Standardmodell der Elementarteilchenphysik zu verdeutlichen, wird der Grundgedanke kurz skizziert[2]. Abb. 1.2 zeigt die schwache und die hermitesch konjugierte Amplitude eines schwachen Quarkstreuprozesses. Man vergleicht die Amplitude eines schwachen

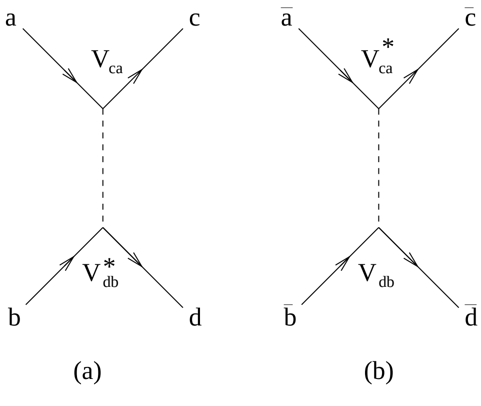

Abb. 1.2: Quarkstreuprozess, der durch die schwache Amplitude $M(ab \to cd)$ (a) und die hermitesch konjugierte Amplitude (b) beschrieben wird. [HM84]

Quarkstreuprozesses $ab \to cd$ mit der Amplitude der Antiteilchenreaktion $\bar{a}\bar{b} \to \bar{c}\bar{d}$. Es

[2]Das ausführliche Verfahren ist z.B. in [HM84] nachzulesen.

ergibt sich, daß $M \sim V_{ca}V_{bd}^*$ ist. M beschreibt dabei entweder $ab \rightarrow cd$ oder $\bar{c}\bar{d} \rightarrow \bar{a}\bar{b}$[3]. Für die Amplitude des Antiteilchenprozesses erhält man $M' = M^+ \sim V_{ca}^*V_{bd}$. Wäre CP–Invarianz gegeben, so gälte für den CP–transformierten Prozeß : $M_{CP} = M^+$. Die Rechnung zeigt jedoch, daß $M_{CP} \sim V_{ca}V_{bd}^*$ ist. Das bedeutet, daß M_{CP} nur gleich M^+ ist, wenn die Matrixelemente der CKM–Matrix rein reell sind. Betrachtet man nur die linke obere 2×2–Submatrix, so ist diese Forderung erfüllt. Nimmt man die dritte Familie jedoch hinzu, so bekommt die CKM–Matrix eine komplexe Phase, und i. a. ist M_{CP} ungleich M^+. Dieser Mechanismus läßt also CP–Verletzung auch in anderen Systemen als dem der neutralen Kaonen zu. Auf die zwei interferierenden Amplituden, die im **HERA-B**–Experiment die Teilchen–Antiteilchen–Asymmetrie erzeugen, wird in Kap. 1.2 eingegangen. Der Nachweis der CP–Verletzung in einem anderen System, z. B. dem der neutralen B–Mesonen, würde demnach das Standardmodell der Elementarteilchenphysik untermauern.

Die CKM–Matrix wird oft in der von Wolfenstein [Wol83] vorgeschlagenen Form mit den reellen Parametern λ, A, ρ und η geschrieben, wobei Terme der Ordnung $\mathcal{O}(\lambda^4)$ vernachlässigt werden.

$$\mathbf{V_{CKM}} = \begin{pmatrix} 1-\frac{\lambda^2}{2} & \lambda & A\lambda^3(\rho - i\eta) \\ -\lambda & 1-\frac{\lambda^2}{2} & A\lambda^2 \\ A\lambda^3(1-\rho-i\eta) & -A\lambda^2 & 1 \end{pmatrix}$$

mit:

- $\lambda = 0,2205 \pm 0,0018$,
- $A = 0,808 \pm 0,058$,
- $(\rho^2 + \eta^2)^{1/2} = 0,363 \pm 0,073$. [Ros96]

Eine der Unitaritätsbedingungen lautet:

$$V_{ud}V_{ub}^* + V_{cd}V_{cb}^* + V_{td}V_{tb}^* = 0.$$

Diese Bedingung läßt sich als sog. Unitaritätsdreieck in der komplexen $(\rho - \eta)$–Ebene darstellen [L+94]. Die Darstellung des Unitaritätsdreiecks, siehe Abb. 1.3, läßt sich mit Hilfe der Wolfenstein–Parametrisierung besonders leicht interpretieren. Die Seitenlängen sind proportional zu V_{ub}^* und V_{td}. Ist die Fläche des Dreiecks ungleich Null, liegt CP–Verletzung vor [H+95].

Nach Voraussage des Standardmodells der Elementarteilchenphysik ist ein weiteres System, neben dem der neutralen Kaonen, in dem CP–Verletzung beobachtet werden könnte, das B–Mesonen–System. Daher beschäftigen sich viele geplante und im Aufbau befindliche Experimente mit Messungen auf diesem Gebiet. Das **HERA-B** Experiment ist eines davon.

[3] wie man mittels Crossing sehen kann.

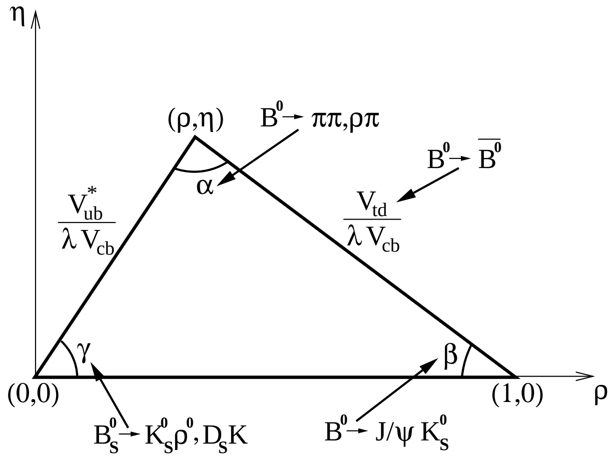

Abb. 1.3: Unitaritätsdreieck und Prozesse, mit denen sich die Winkel bestimmen lassen [H+95]

1.2 Grundlagen des HERA-B Experimentes

Das neutrale B–Mesonen–System bietet gute Voraussetzungen, den vom Standardmodell vorausgesagten Mechanismus der *CP*–Verletzung zu überprüfen. Anders als im Kaon–System, werden für einige B–Meson–Zerfälle große *CP*–Asymmetrien vorausgesagt [L+94]. Zerfälle in *CP*–Eigenzustände, die unabhängig von relativ ungenau bekannten hadronischen Matrixelementen sind, sind besonders interessant. Ein Zerfall, der diese Voraussetzungen erfüllt, ist der sog. „Goldene Zerfall“ des **HERA-B** Experimentes, wie er in Abb. 1.4 dargestellt ist, sog. „Pinguin“–Amplituden treten nicht auf [L+94]. Mit Hilfe dieses Zerfallskanals kann der Winkel β des Unitaritätsdreiecks, siehe Abb. 1.3, bestimmt werden.

$$B^0/\overline{B^0} \to J/\psi K_s^0 \to l^+ l^- \pi^+ \pi^-$$

- l ist dabei ein Elektron oder Myon.

Durch den leptonischen Endzustand des J/ψ läßt sich dieser Zerfallskanal besonders gut von hadronischem Untergrund unterscheiden. Die zwei interferierenden Amplituden, die die Teilchen–Antiteilchen–Asymmetrie erzeugen, gehören zum direkten Zerfall $B^0 \to J/\psi K_s^0$ und dem gemischten Zerfall $B^0 \to \overline{B^0} \to J/\psi K_s^0$. Die Asymmetrie der Zerfallsraten ist gegeben durch:

$$A_{CP} = \frac{\Gamma(B^0 \to J/\psi K_s^0) - \Gamma(\overline{B}^0 \to J/\psi K_s^0)}{\Gamma(B^0 \to J/\psi K_s^0) + \Gamma(\overline{B}^0 \to J/\psi K_s^0)} = \sin(2\beta)\sin(xt).$$

- $x = \frac{\Delta M}{\Gamma} \simeq 0{,}67$ [L+94] ist der Mischungsparameter zwischen B^0 und $\bar{B}^0$.
- ΔM ist die Differenz der Masseneigenzustände der B–Mesonen.
- $\Gamma = \frac{1}{Lebenszeit}$ der B–Mesonen.
- t wird in Einheiten der Lebenszeit der B–Mesonen angegeben.

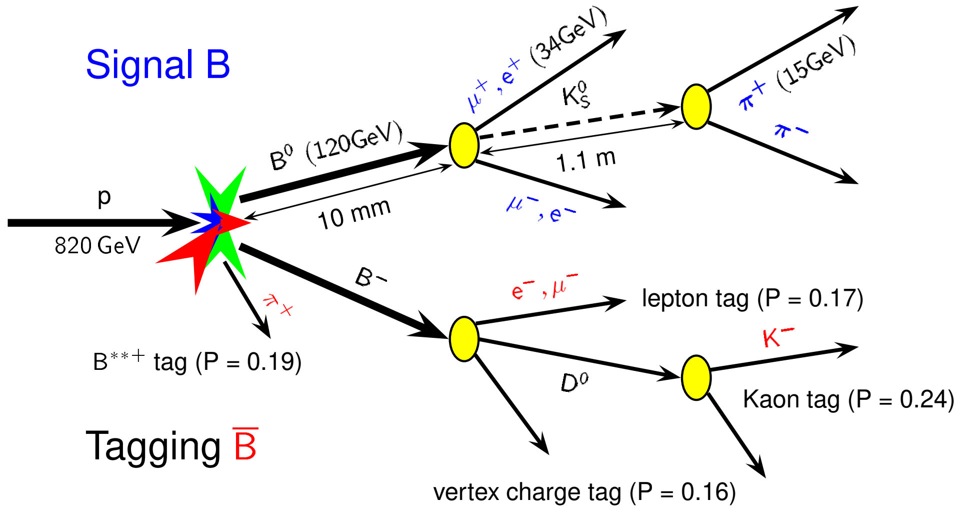

Abb. 1.4: Der „Goldene Zerfall“ des HERA-B Experimentes und die Taggingmethoden mit Tagging–Vermögen P [Spe96]

Aus der Asymmetrie läßt sich direkt der Winkel β des Unitaritätsdreiecks bestimmen.

Im **HERA-B** Experiment werden die B–Mesonen durch tiefinelastische Proton–Nukleon–Wechselwirkung erzeugt, die an einem internen Drahttarget im Halo[4] des Protonstrahls des **HERA**[5]–Speicherringes stattfindet.

$$pN \rightarrow b\overline{b} + X \rightarrow B^0 + \overline{B} + Y$$

$$pN \rightarrow b\overline{b} + X \rightarrow \overline{B^0} + B + Y$$

X und Y bezeichnen den hadronischen Rest und $B/\overline{B}$ beliebige B–Mesonen. Um die *CP*–Asymmetrie zu messen, ist es notwendig, zu wissen, ob ein B^0– oder ein $\overline{B^0}$–Meson zerfallen ist. Bei der als „Tagging“ bezeichneten Methode wird das zweite bei dem Zerfall entstehende B–Meson rekonstruiert und daraus auf das neutrale B–Meson aus der primären Wechselwirkung geschlossen. So kann z. B. aus der Art des Leptons oder der geometrischen Rekonstruktion des Zerfallsvertex des zweiten B–Mesons und der Bestimmung der Ladung der Sekundärspuren das neutrale B–Meson ermittelt werden [L+94]. Die Bestimmung des zu untersuchenden B–Mesons ist aufgrund von Mischung des zu taggenden B–Mesons oder durch Teilchenmisidentifikation nicht perfekt. Das Tagging–Vermögen $P = D_M D_T \sqrt{\epsilon_{Tag}}$ beschreibt den Sensitivitätsverlust verglichen mit einer idealen Taggingmethode. In Abb. 1.4 sind Werte für P eingetragen. D_M ist der Verdünnungsfaktor aufgrund der Mischung. D_T ist der Abschwächungsfaktor, der Tags berücksichtigt, die nicht aus dem zu untersuchenden Zerfall herrühren. ϵ_{Tag} ist die Wahrscheinlichkeit einen Tag zu finden.

Der Wirkungsquerschnitt $\sigma(pN \rightarrow b\overline{b} + X)$ bei einer Schwerpunktsenergie von $\sqrt{s} = 39,2\,\mathrm{GeV}$ liegt im Bereich von 2 nb bis 20 nb [IA95]. Das Verzweigungsverhältnis für den „Goldenen Zerfall“ liegt bei $4{\cdot}10^{-5}$ [L+94]. Berücksichtigt man die endliche

[4] äußerer Bereich des Protonenstrahls.
[5] **H**adron–**E**lektron–**R**ing–**A**nlage.

Akzeptanz und Effizienz des Detektors und das Tagging–Vermögen, kommt man zu dem Schluß, daß ca. $3 \cdot 10^{11}$ primäre Wechselwirkungen nötig sind, um einen „Goldenen Zerfall“ zu rekonstruieren. Für eine angestrebte Genauigkeit von $\Delta \sin(2\beta) \simeq 0,1$ bei einer Laufzeit von drei Jahren bedeutet das, daß im Mittel 3 Protonen pro Protonpaket im **HERA**–Speicherring zur Wechselwirkung mit dem internen Drahttarget gebracht werden müssen.

Auf weitere Möglichkeiten, B–Physik im Rahmen des **HERA-B** Experimentes zu untersuchen, wird in dieser Arbeit nicht eingegangen.

1.2.1 Ziel dieser Arbeit

Die Rekonstruktion von Myonen aus dem Zerfall des J/ψ ist für das **HERA-B** Experiment besonders interessant, da die Myonen eine relativ klare Signatur bei hohem hadronischen Untergrund besitzen [L$^+$94].

Der Myon–Pretrigger liefert Startpunkte für die Rekonstruktion von Myon–Spuren. Eine Datenmenge von ca. 10 GByte/s muß dazu von der zentralen Recheneinheit des Myon–Pretriggersystems verarbeitet werden. Im Rahmen dieser Diplomarbeit wurde ein Prototyp des Pretrigger–Link–Boards (PLB), dessen Aufgabe die Datenübertragung zur zentralen Recheneinheit des Myon–Pretriggersystems ist, und die Empfangsschaltung der Datenübertragung entwickelt und getestet.

Nach einem Überblick über das **HERA-B** Experiment und Triggersytem in Kapitel 2 wird das Myon–Pretriggersystem beschrieben. Auf das Konzept der Datenübertragung wird in Kap. 4 eingegangen. In Kapitel 5 werden die einzelnen Komponenten des PLB–Prototypen erläutert und Ergebnisse aus Testmessungen präsentiert. Das folgende Kapitel beschäftigt sich mit der Realisierung und dem Test der Empfangsschaltung, während das 7. Kapitel auf die optische Datenübertragung eingeht. In Anhang B sind die in dieser Arbeit verwendeten Abkürzungen aufgelistet.

Kapitel 2

Das HERA-B Experiment

Das **HERA-B** Experiment wird am **HERA**–Speicherring des **D**eutschen **E**lektronen **SY**nchrotron **DESY** aufgebaut. Im folgenden Kapitel werden die Komponenten des Detektors und das Triggersystem kurz beschrieben. Das Myon–System wird etwas ausführlicher behandelt, da es von besonderer Bedeutung für diese Arbeit ist.

2.1 Der HERA–Speicherring

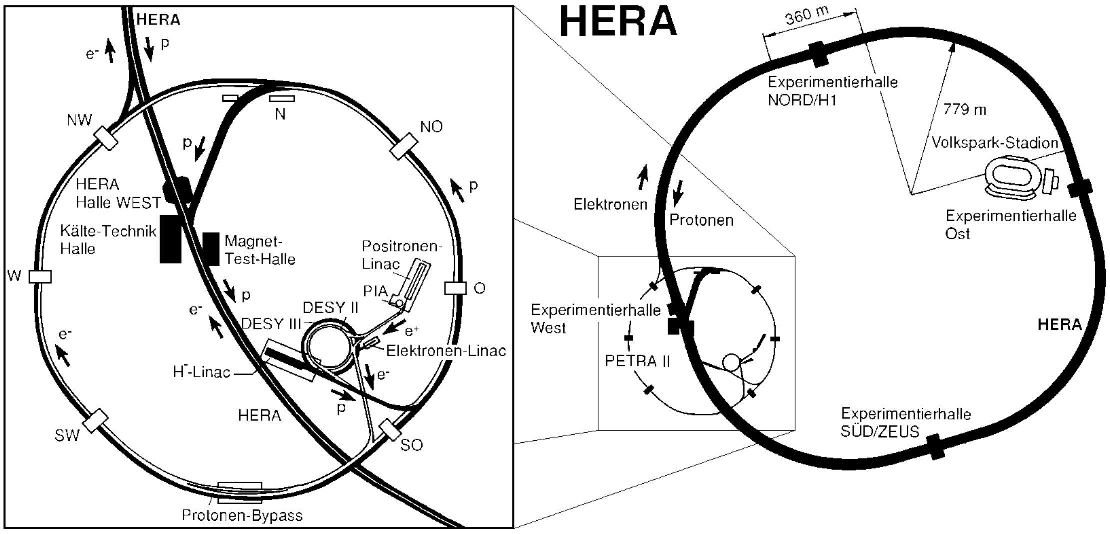

Abb. 2.1: Der HERA–Speicherring am **DESY** und seine Vorbeschleuniger.

Der **HERA**–Speicherring besitzt eine Länge von 6335,8 m. Ein Proton– und ein Elektronstrahl laufen in entgegengesetzter Richtung um. Der Protonstrahl besitzt eine Energie von 820 GeV und der Elektronstrahl[1] eine von 27,5 GeV. Die Strahlen bestehen

[1] Wenn nicht besonders darauf hingewiesen wird, wird „Elektron“ als Synonym für Elektronen und Positronen benutzt.

aus Teilchenpaketen[2], die alle 96 ns aus den Vorbeschleunigern in den Speicherring injiziert werden, bis der Speicherring gefüllt ist[3]. Abb. 2.1 zeigt den **HERA**–Speicherring mit seinen Vorbeschleunigern. Wie man der Abbildung entnehmen kann, existieren vier Wechselwirkungszonen, in denen die Proton– und Elektronpakete des Speicherringes wechselwirken können. Hier befinden sich die Experimente **H1** (Halle Nord), **HERMES** (Halle Ost), **ZEUS** (Halle Süd) und **HERA-B** (Halle West). Bei H1 und ZEUS handelt es sich um Experimente, bei denen die Proton– und Elektronpakete zur Kollision gebracht werden. Das HERMES Experiment benutzt ein Gastarget, dessen Nukleonen mit den Elektronen des Speicherringes wechselwirken und das **HERA-B** Experiment ein Drahttarget, an dem Protonen zur Wechselwirkung gebracht werden.

2.2 Komponenten des HERA-B Detektors

Eine ausführliche Beschreibung des **HERA-B** Detektors befindet sich im Design Report [H$^+$95], weshalb die einzelnen Komponenten des Detektors hier nur kurz vorgestellt werden. Den Schwerpunkt der Übersicht bildet das Myon–System, da es von besonderer Bedeutung für das Triggersystem ist. Abb. 2.2 zeigt eine schematische Ansicht des Detektors. Die Ausdrücke in Klammern beziehen sich auf Abb. 2.2. Das Target (**Target Wires**) besteht aus acht Drähten, die um den Protonstrahl angeordnet sind. Sie sind in zwei Gruppen zu vier Drähten unterteilt. Jeder Draht läßt sich separat positionieren, um die Wechselwirkungsrate variabel einstellen zu können [İ96]. Auf den Drähten werden nur die Protonen zur Wechselwirkung gebracht, die sich im Halo des Protonstrahls aufhalten. Der Protonstrahl wird nur begrenzt durch die Existenz des Drahttargets beeinträchtigt [Spr96], da die Protonen des Halos auch ohne das Drahttarget durch Wechselwirkung mit Kollimatoren oder dem Strahlrohr verloren gingen. Die Schwerpunktenergie liegt mit $\sqrt{s} = 39{,}2\,\mathrm{GeV}$ oberhalb der Schwellenenergie von 10 GeV [B$^+$96] zur Erzeugung von $B^0/\overline{B^0}$–Paaren. Hinter dem Target befindet sich das Vertex–Detektor–System (**Si–Strip Vertex Detector**). Es besteht aus Siliziumstreifendetektoren, die bis zu 1 cm Radius an den Strahl heranreichen. Das Vertex–Detektor–System liefert die Spurkoordinaten für die Rekonstruktion des $J/\psi \to l^+l^-$ Zerfalls und die Stoßparameter aller Taggingteilchen. Zur Impuls– und Ladungsbestimmung der geladenen Teilchen des „Goldenen Zerfalls“ werden diese in dem Magneten (**Magnet**) abgelenkt. Der Magnet besitzt ein Feldintegral von 2,2 Tm, woraus eine B–Meson–Massenauflösung für den Zerfall $J/\psi \to \mu^+\mu^-$ von 8 MeV resultiert. Da der Elektronstrahl auch durch den Magneten geführt wird, muß er von dem Magnetfeld abgeschirmt werden, damit die Spinpolarisation der Elektronen nicht zerstört wird. Das Spurkammersystem (**Inner/Outer Tracker**) ist in einen inneren und einen äußeren Bereich aufgeteilt. Es ist geplant, den inneren Bereich aus Siliziumstreifendetektoren und Mikrostreifen–Gasdetektoren aufzubauen. Das Spurkammersystems soll im äußere Bereich durch Strohhalm[4]– und Honigwaben[5]–Driftkammern realisiert werden. Bei der Produktion der Honigwabenkammern sind gravierende Probleme aufgetreten, die zu

[2]engl.: Bunch.

[3]Es existieren auch leere Bunche. Beim Protonstrahl wird z.B. ein leerer Bunch benutz um den Kickermagneten bei einem „Beamdump“ einschalten zu können

[4]engl.: straw tube chamber.

[5]honeycomb drift chamber.

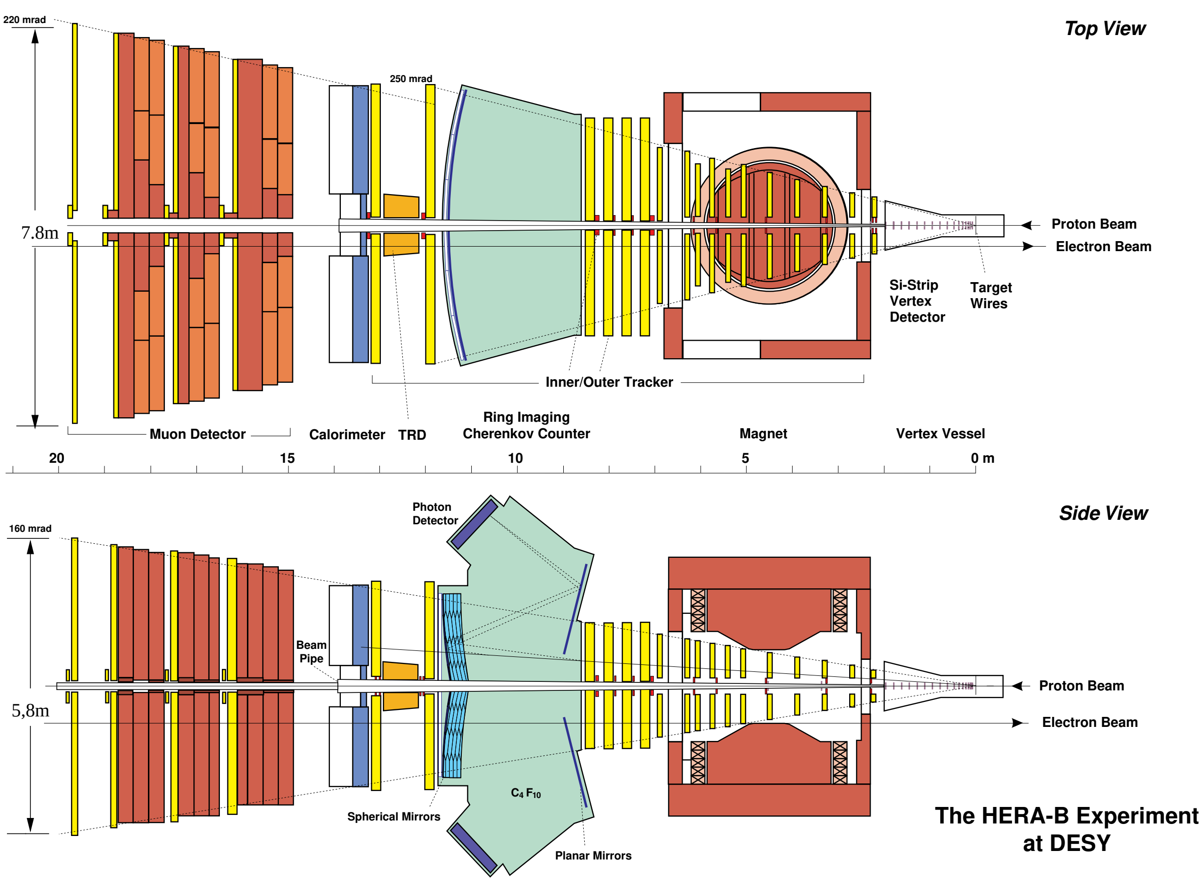

Abb. 2.2: Auf– und Seitenansicht der **HERA-B** Detektors. [L+94]

einem frühzeitigen Altern der Kammern führen. Als Hauptursache scheint das Kammermaterial ausgemacht zu sein [Sch98]. Die Lösung dieses Problems steht noch offen. Die Unterscheidung von Kaonen und Pionen bzw. Elektronen geschieht mit Hilfe des RICH–Detektors (**Ring–Imaging–Čerenkov–Counter**). Der Übergangsstrahlungsdetektor (**TRD**) dient zur Trennung von Elektronen und Hadronen in der Nähe des Protonstrahlrohres. Das elektromagnetische Kalorimeter (**Calorimeter**) hat die Aufgabe, Elektronen nachzuweisen und ihre Energie zu messen.

2.2.1 Myon–System

Die Hauptaufgabe des Myon–Systems[6] (**Muon Detector**) besteht im Myon–Nachweis, um Daten für den Myon–Pretrigger zu liefern und Myonen von Hadronen zu unterscheiden. Abb. 2.3 zeigt das Myon–System. Es besteht aus drei Myon–Filtern (MF1-MF3) und vier Myon–Lagen (MU1-MU4), die aus Drift– bzw. Pad– und Pixel–Kammern aufgebaut sind. MU1 und MU2, die sich zwischen den Absorbern befinden, bestehen jede aus drei Doppellagen von Driftkammern. In Abb. 2.4 ist ein Querschnitt durch die x–z–Ebene einer Driftkammer dargestellt. Um die Wahrscheinlichkeit, Teilchen nicht nachzuweisen zu minimieren, bilden zwei Lagen von Driftzellen, die um 7 mm gegenein-

[6] Angaben aus [H+95].

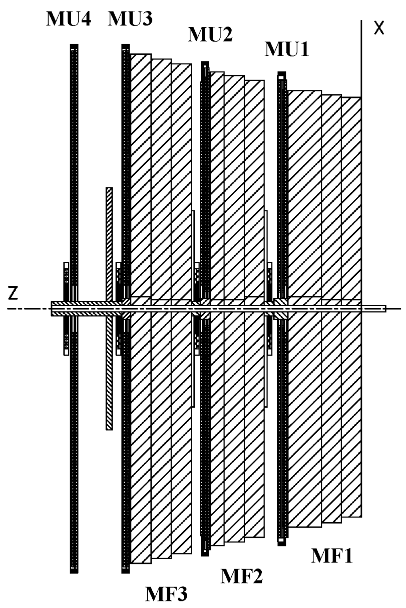

Abb. 2.3: Aufsicht auf die Myonkammern MU1-MU4 und die Absorber MF1-MF3 [H+95]

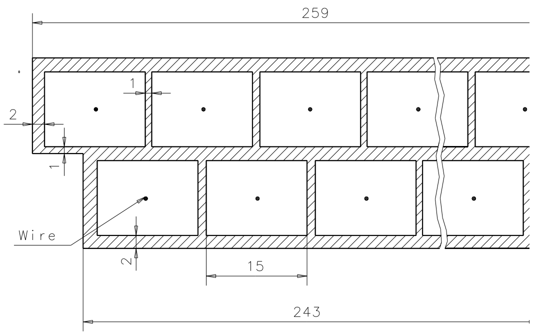

Abb. 2.4: Querschnitt durch die x–z–Ebene einer Driftkammer. Eine Zelle der Driftkammer besitzt eine Fläche von $15 \times 12\,\mathrm{mm}^2$. Im Zentrum jeder Zelle befindet sich ein Auslesedraht. [H+95]

ander verschoben sind, eine Doppellage. Eine Driftzelle besitzt eine Querschnittsfläche von $15{\times}12\,\mathrm{mm}^2$. Goldbeschichtete Wolfram–Auslesedrähte mit einem Durchmesser von $40\,\mu$m sind zentral, längs der Zelle gespannt. Die Ausleseelektronik ist am oberen bzw. unteren Ende der Kammer angebracht. Die Doppellagen sind um $\pm 20°$ gegenüber der 0°–Lage, deren Drähte parallel zur y-Achse verlaufen, gedreht. Dies ermöglicht die Bestimmung der Ortskoordinate in y–Richtung. Die Driftzeit in einer Zelle ist, wegen des Abstandes der Protonpakete im **HERA**–Speicherring, auf 90 ns beschränkt. Die Kammern besitzen deshalb eine Länge von maximal 3,1 m. Aus diesem Grund sind die Superlagen MU1 und MU2 in einen oberen und einen unteren Bereich unterteilt. Die Hadronabsorber MF1-MF3 bestehen im inneren Bereich, der sich direkt am Strahlrohr befindet, aus Stahl, da die Dicke des Absorbers begrenzt ist und in der Nähe des Strahlrohres die größte Teilchendichte zu erwarten ist. Der äußere Bereich besteht aus Beton. Da Myonen in Materie einen geringeren Energieverlust erfahren als andere Teilchen, nutzt man dies aus, um Myonen von Hadronen zu trennen. Die Wahrscheinlichkeit, daß Hadronen die Absorber durchdringen, liegt unter 1 % [Tit96]. Zwischen den Lagen MU3 und MU4 befindet sich ein Eisenabsorber in der Nähe des Protonstrahlrohrs, der eine Länge von 5 cm in Richtung des Protonstrahlrohres besitzt. Aus montagetechnischen Gründen deckt der Absorber nur den Bereich in der Nähe des Protonstrahlrohres ab, siehe Abb. 2.3 [For98]. MU3 und MU4 sind aus Driftkammern mit

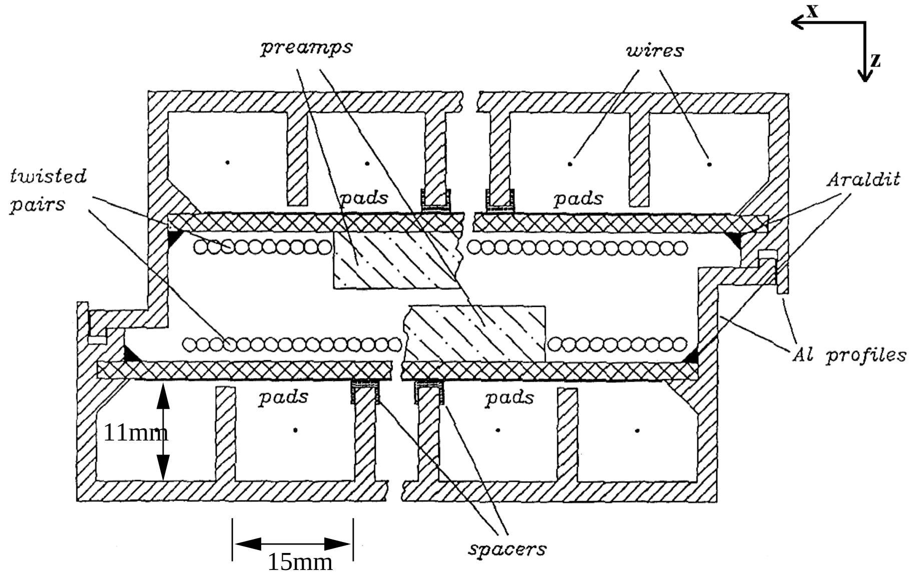

Abb. 2.5: Querschnitt durch die x-z–Ebene einer Padkammer [H+95]

zusätzlichen Kathodenpads aufgebaut, weshalb die Kammern Padkammern genannt werden. Abb. 2.5 zeigt einen Querschnitt durch die x-z–Ebene einer Padkammer. Jede Kammer besteht aus 2×16 offenen Zellen der Fläche 15×11 mm^2, die um eine halbe Zellenbreite gegeneinander verschoben sind. Wie bei den Driftkammern befindet sich ein goldbeschichteter Auslesedraht im Zentrum jeder Zelle. Die Ausleseelektronik der Drähte ist oberhalb bzw. unterhalb der Kammer angebracht. Die Kathodenpads bestehen aus kupferbeschichtetem Phenolpapier. Die Pads der MU3–Lage besitzen eine Fläche von 12,2×10 cm^2, die der MU4–Lage 12,2×10,2 cm^2 [Zai95]. Die Pads sind mit Abstandshaltern aus Plastik auf dem Aluminiumprofil fixiert. Der Abstand zwischen den Pads beträgt 2 mm. Die Vorverstärker sind direkt auf den Pads angebracht und über Kabel (twisted flat) mit der Ausleseelektronik verbunden, die sich am Ende der Kammer befindet. Jeweils zwei hintereinanderliegende Pads werden gemeinsam ausgelesen, um den nicht sensitiven Bereich der Kammer zu minimieren. In der Nähe des Strahlrohres befinden sich bei allen vier Myon–Lagen Gas–Pixel–Kammern. Sie sind in vier Quadranten angeordnet, die sich etwas überlappen. Quadratische Zellen werden durch einen Signaldraht und vier Potentialdrähte gebildet. Die Drähte, die parallel zur Protonstrahlachse verlaufen, haben eine Länge von 30 mm. Die Grundfläche einer

Zelle beträgt 9×9 mm^2 bei den Lagen MU1-MU3 und 9,4×9,4 mm^2 bei der Lage MU4. Testmessungen haben gezeigt, daß die Drift– und Pixel–Kammern die an sie gestellten Anforderungen erfüllen [A$^+$96, Bal95].

2.3 Das Triggersystem des HERA-B Experimentes

Alle 96 ns passiert ein Protonpaket[7] das Drahttarget. Es werden mit einer Rate von 10,4 MHz Ereignisse im Detektor auftreten, mit jeweils $\mathcal{O}(200)$ geladenen Teilchen. Um aus der großen Anzahl der erzeugten Teilchen und der damit verbundenen Informationsfülle der Detektorkomponenten den „Goldenen Zerfall“ zu selektieren, ist ein mehrstufiges Triggersystem notwendig. Im folgenden wird das fünfstufige Triggersystem und das Datenauslesesystem des **HERA-B** Experimentes kurz vorgestellt. Die in dieser Arbeit entwickelte Komponente ist ein Teil des Datenauslesesystems.

Um schnelle Entscheidungen treffen zu können, nutzen die ersten Triggerstufen für ihre Entscheidungen nicht sämtliche Informationen die vom Detektor kommen aus. Die Aufgabe der ersten Triggerstufe ist es, nach Ereignissen mit Leptonspuren und High-p_T–Hadronen zu suchen, die aus dem Zerfall eines J/ψ Mesons herrühren. Die Startpunkte für die Suche liefern die Pretrigger, die auch als nullte Triggerstufe bezeichnet werden. Der Myon–Pretrigger, der die Kandidaten für Myonspuren an die erste Triggerstufe weiterleitet, erhält seine Informationen von den Myon–Pad–Kammern. Der Elektron–Pretrigger nutzt Informationen des elektromagnetischen Kalorimeters, um Elektronkandidaten zu selektieren. Pad–Kammern und Pixel–Kammern innerhalb des Magneten werden vom High-p_T–Pretrigger genutzt, um Spurkandidaten zu suchen, die einen hohen Transversalimpuls besitzen. Diese Startpunkte der ersten Triggerstufe sollen möglichst weit vom Target entfernt sein, da die Spurdichte geringer wird, je weiter man vom Target entfernt ist, und die Rekonstruktion der Spuren bei geringerer Spurdichte effektiver ist.

Ausgehend von den Startpunkten werden in der ersten Triggerstufe die Spuren durch die Spurkammern in Richtung Target zurückverfolgt. Es werden die Impulse der gefundenen Leptonkandidaten und die invariante Masse für alle Kombinationen von Leptonpaaren berechnet. Dann werden Schnitte auf die Masse der J/ψ–Mesonen gemacht. Durch die Rekonstruktion der J/ψ–Masse schon in der ersten Triggerstufe kann eine große Untergrundunterdrückung um einen Faktor 200 erreicht werden. Um Totzeit zu vermeiden, bleiben den Pretriggern und der ersten Triggerstufe für die oben erwähnten Berechnungen maximal 12 μs Zeit, da sonst die zwischengespeicherten Detektordaten überschrieben werden. Die Parameter der Spurkandidaten, die die erste Triggerstufe passieren, werden an die zweite weitergegeben. Die zweite Triggerstufe nutz die Informationen des Vertex–Detektors zur Spurverfeinerung und unterdrückt die Datenrate nochmals um einen Faktor 25. Die dritte Triggerstufe nutzt erstmals alle Detektordaten, um genaue Schnitte auf die Masse und Vertices zu machen und Vielfachstreuung zu berücksichtigen. Die vollständige Rekonstruktion der Ereignisse erfolgt in der vierten Triggerstufe. Die Tab. 2.1 gibt einen Überblick über die Triggerstufen, die benutzten Detektorkomponenten und jeweiligen Unterdrückungsfaktoren.

Das Trigger– und Datenauslesesystem ist schematisch in Abb. 2.6 dargestellt. Die

[7] engl.: bunchcrossing BX.

Tab. 2.1: Triggerstufen des **HERA-B** Experimentes [Res96]

Triger-stufe	Eingangs-rate	Benutzte Detek-torkomponenten	Zahl der Auslesekanäle	Latenz-zeit	Unterdrük-kungsfaktor
0	10MHz	Myon-Pads ECAL High-p_T–Pads	$0,7 \cdot 10^5$	$\mathcal{O}(1\,\mu$s)	—
1	10MHz	Myon-System Spurkammern (teilw.)	$1,5 \cdot 10^5$	(12-x)μs $\mathcal{O}(11\,\mu$s)	200
2	50kHz	Spurkammern Vertexdetektor	$4 \cdot 10^5$	5-50ms	25
3	2kHz	alle	$6 \cdot 10^5$	100ms	20
4	100Hz	alle	$6 \cdot 10^5$	2s	—

Abbildung ist in vier Spalten gegliedert. In der linken Spalte mit der Überschrift CONTROL sind die Kontrolleinheiten eingezeichnet. Die Spalte PROCESSORS beinhaltet die Trigger bzw. Pretrigger. Die rechte Spalte, BUFFER, zeigt die Speicher bzw. Zwischenspeicher, die über die Komponenten des Datentransportes, dargestellt in der Spalte NETWORK, mit den anderen Komponenten des Systems verbunden sind. Bei den Einheiten, die sich über mehrere Spalten erstrecken, ist keine klare Trennung vorhanden. L1–L4 geben die Triggerstufen 1 bis 4 wieder. Der unterlegte Bereich ist detektorspezifisch und variiert bei den einzelnen Detektorkomponenten. Die Ausdrücke in Klammern beziehen sich auf Abb. 2.6. Die Daten des Detektors werden von der Front–End–Elektronik (**FEE**) ausgelesen und verarbeitet. Dann werden sie zum Front–End–Treiber (**FED**) übertragen, wo sie nach einigen weiteren Verarbeitungsschritten zwischengespeichert werden. Die Pretrigger–Link–Boards (**PRE LINK**) und Trigger–Link–Boards (**TR LINK**) übernehmen die in den Front–End–Treibern gespeicherten Daten und transferieren sie zu den Pretriggern (**PRETRIGGER**) bzw. der ersten Triggerstufe (**FLT**). Die Zeitreferenz und aktuelle BX–Nummer[8], die zur Markierung der Daten benutzt wird, erhalten die Pretrigger- bzw. Trigger–Link–Boards und der Front–End–Treiber vom Fast–Control–System (**FCS**). Die Pretrigger liefern die Startpunkte für die erste Triggerstufe. Der ersten Triggerstufe stehen insgesamt, inklusive der Berechnung der invarianten Massen der J/ψ–Zerfallsteilchen, 12,3 μs bis zur Triggerentscheidung zur Verfügung. Dies entspricht der Zeit, die die Ereignisse im Front–End–Treiber gespeichert bleiben, bevor sie überschrieben werden. Eine positive Entscheidung der ersten Triggerstufe wird mit der FLT–Nummer gekennzeichnet. Das Fast–Control–System gibt diese Nummer an den Front–End–Treiber weiter. Ist der Speicher des Front–End–Treiber leer, wird das Ereignis nicht akzeptiert, andernfalls gelangen die Daten vom Front–End–Treiber zum Second–Level–Buffer (**SLB**). Der Event–Controler (**EVC**) überwacht die Datenauslese der zweiten (**SLT**) und dritten (**TLT**) Triggerstufe. Ein Schaltnetzwerk (**Switch**) ermöglicht der als Prozessorfarm aufgebauten zweiten Triggerstufe den Zugriff auf die Daten des Second–Level–Buffers. Die dritte Triggerstufe

[8] Jedes Bunchcrossing wird mit einer 8–bitcodierten Nummer versehen.

wird ebenfalls als Prozessorfarm realisiert. Es ist geplant, hierfür ca. 50 PCs mit Pentium II Prozessoren zu verwenden. Über einen Ethernetrouter (**ROUTER**) gelangen die Daten zur vierten Triggerstufe (**L4T**). Der Datenverkehr wird vom Level–4–Controler (**L4C**) kontrolliert. Die vierte Triggerstufe wird aus einer ca. 100 Pentium II PCs umfassenden Prozessorfarm bestehen [Ful97a]. In der vierten Triggerstufe wird das gesamte Ereignis rekonstruiert und anschließend dauerhaft gespeichert (**Tape**).

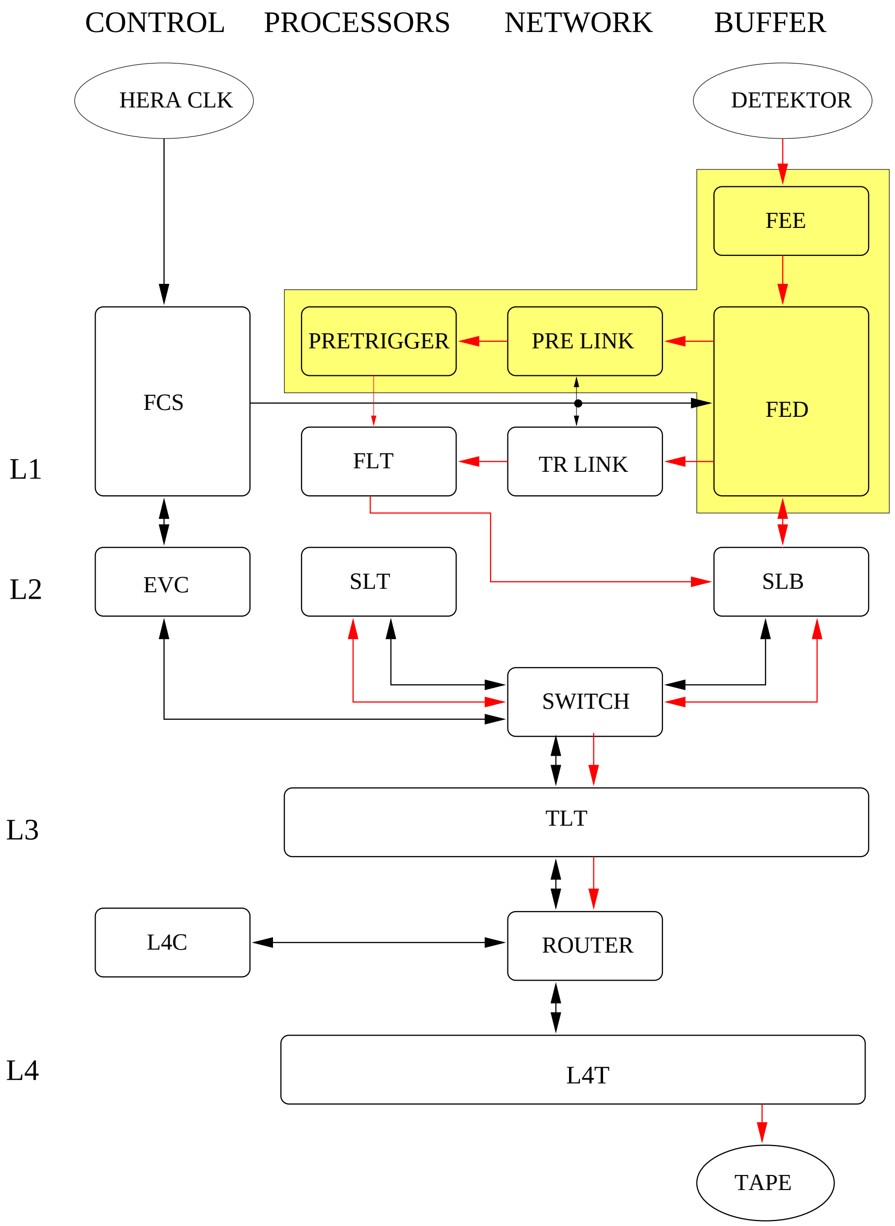

Abb. 2.6: Darstellung des Datenauslesesystems. In der Spalte Control sind die Kontrolleinheiten, in der Spalte Processors die Trigger, in der Spalte Network die Komponenten des Datentransports und in der Spalte Buffer die Speicher eingetragen. L1–L4 geben die Triggerstufen an. [Ful97b]

Kapitel 3

Das Myon–Pretrigger–System

Im folgenden Kapitel wird das Myon–Pretrigger–System vorgestellt. Dabei wird das System in den Datenfluß der am Detektor erzeugten Daten, bis hin zur Track Finding Unit (TFU) der ersten Triggerstufe, integriert. Die Funktionen der einzelnen Komponenten werden nur soweit vorgestellt, wie es für diese Arbeit von Belang ist. Das Pretrigger–Link–Board wird im Kapitel 5 ausführlich behandelt. Die Schnittstelle zur Pretrigger–Coincidence–Unit wird in Kapitel 6 erläutert. Die Ausdrücke, die in den folgenden Abschnitten in Klammern stehen, beziehen sich auf Abb. 3.1.

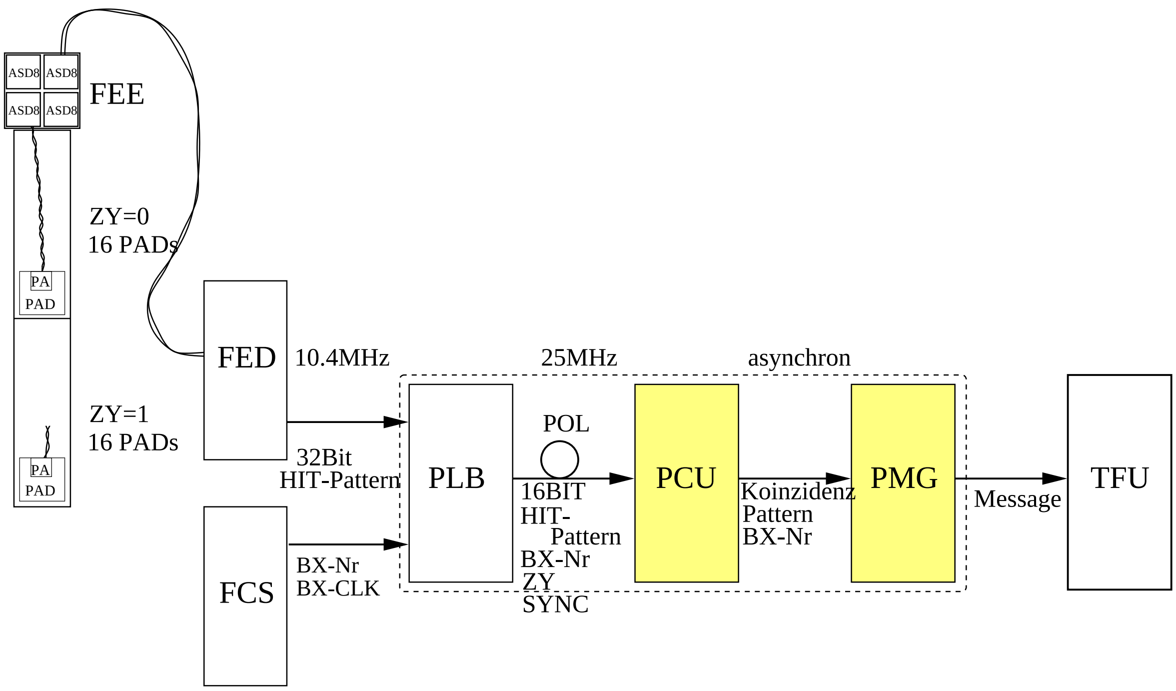

Abb. 3.1: Das Myon–Pretrigger–System mit der Datenauslese der Padkammern. Schematisch ist der Datenfluß von den Pad–Kammern bis zur ersten Triggerstufe dargestellt. Die Erläuterungen zu den dargestellten Einheiten finden sich im Text.

3.1 Datenauslese der Myon–Pad–Kammern

Der Myon–Pretrigger berechnet die Startpunkte für die Spurrekonstruktion von Myonkandidaten in der ersten Triggerstufe. Er verwendet Informationen der Myon–Lagen MU3 und MU4. Wie bereits in Kap. 2.2.1 beschrieben, bestehen die Myon–Lagen aus Pad–Kammern. Die obere und die untere Hälfte jeder Lage umfaßt 66 Spalten mit jeweils 30 Pads[1] bei MU3 und 29 Pads bei MU4, wobei das unterste und oberste Pad etwas größer sind als die anderen [Zai97]. Auf jedem Pad ist ein Vorverstärker (**PA**[2]) angebracht, von dem aus die Signale über „twisted pair"–Kabel an das Kammerende gelangen, an dem die Front–End–Elektronik (**FEE**) angebracht ist. Vier ASD8–Bausteine (**ASD8**) verarbeiten die Signale einer Spalte: ein ASD8–Baustein besitzt acht differentielle Eingangskanäle mit bipolaren Verstärkern, Pulsformern und Diskriminatoren [AHKP95].

Die vier Bausteine liefern 32 Bit digitaler Information, wobei jedem Bit ein logisches Pad zugeordnet wird. Nicht jedem logischen Pad entspricht ein Pad der Kammer. Die Bits, denen kein Pad entspricht werden als Auffüllbits (Dummys) bezeichnet. Tab. 3.1 gibt an, welchen Bits kein Pad entspricht. Im weiteren werden mit einer Spalte immer

Tab. 3.1: Auflistung der Auffüllbits [Zai97]

Myonlage	Dummys/Spalte
MU3	Bit 00
	Bit 31
MU4	Bit 00
	Bit 16
	Bit 31

die 32 logischen Pads bezeichnet.

Die differentiellen ECL[3]–Ausgangssignale der ASD8–Bausteine, gelangen über 34–polige „twisted pair"–Kabel zum Front–End–Treiber (**FED**). Dieser besteht aus zwei verschiedenen Komponenten, den Mutterkarten und mehreren Tochterkarten [Wur96]. Die Karten befinden sich in speziell angefertigten Steckplatzschränken, den sog. Crates. Jedes Crate besitzt 20 Steckplätze, in die die Karten hineingeschoben werden können. An der Rückwand des Crates befinden sich die Stromversorgung und die Backplanes[4], über die die Karten miteinander kommunizieren. In jedem Crate befindet sich eine FED–Mutterkarte, vier FED–Tochterkarten, eine FCS–Tochterkarte und vier Pretrigger–Link–Boards. Die Crates werden in Racks[5] unterhalb der Myonplattform, also in direkter Nähe zum Detektor, aufgestellt. Dies ist nötig, damit der Abstand der Front End–Elektronik zum Front–End–Treiber nicht zu groß wird. Die Aufgabe der FED–Tochterkarten ist es die digitalisierten Daten, die über sechzehn Kabel zu

[1] Die zwei hintereinander liegenden Pads, die gemeinsam ausgelesen werden, werden im weiteren als ein Pad bezeichnet (vergl. Kap. 2.2.1).

[2] **P**re**A**mplifier.

[3] **E**mitter **C**oupled **L**ogic.

[4] Am Crate angebrachte Steckverbindungen, die mehrere Karten miteinander verbinden können.

[5] Schränke, in die mehrere Crates übereinander montiert werden können.

jeder Karte gelangen, auf TTL[6]–Niveau zu transformieren, zu speichern und zu ordnen [AHKP95]. Jede FED–Tochterkarte verarbeitet 256 Kanäle, was acht Spalten mit 32 Bit entspricht. Die FCS–Tochterkarte versorgt jedes Crate über die Backplane mit der BX–Nummer und dem **HERA**–Takt.

3.2 Die Pretrigger–Komponenten

Der Myon–Pretrigger besteht aus drei Komponenten, dem Pretrigger-Link-Board (**PLB**), der Pretrigger-Coincidence-Unit (**PCU**) und dem Pretrigger-Message-Generator (**PMG**). In Abb. 3.1 ist das System gestrichelt umrandet. Das PLB übernimmt alle 96 ns, also mit einer Frequenz von 10,4 MHz, synchron zum **HERA**–Takt die BX–Nummer vom FCS und die HIT–Daten vom FED. Ein PLB verarbeitet dabei die Daten von acht Spalten, d.h. 8×32 Bit. 32 Bit werden in zwei Zyklen zu 16 Bit mit einer Frequenz von 25 MHz übertragen. Mit diesem Übertragungsschema kann zunächst erst die obere und dann die untere Halbspalte übertragen werden. Jeder Zyklus wird mit einem Zyklusbit (**ZY**) gekennzeichnet; ZY=0 markiert die obere Halbspalte, ZY=1 die untere. Um die Daten unterschiedlicher Spalten synchronisieren zu können, wird in jedem Zyklus die BX–Nummer übertragen. Außerdem werden noch vier Kontrollbits (**SYNC**) pro Zyklus transferiert, auf deren Bedeutung in Kapitel 6 eingegangen wird. Zentraler Baustein der Datenübertragung ist der AUTOBAHN^{TM}–Baustein[7], der zur Serialisierung der Daten verwendet wird. Dadurch wird die Anzahl der Leitungen von 25 auf eine reduziert[8]. Die serialisierten Daten werden mit dem Pretrigger–Optical–Link (**POL**) über ca. 40 m zur PCU, die sich im Elektronik–Container befindet, übermittelt, wo sie von einem weiteren AUTOBAHN–Baustein wieder parallelisiert werden.

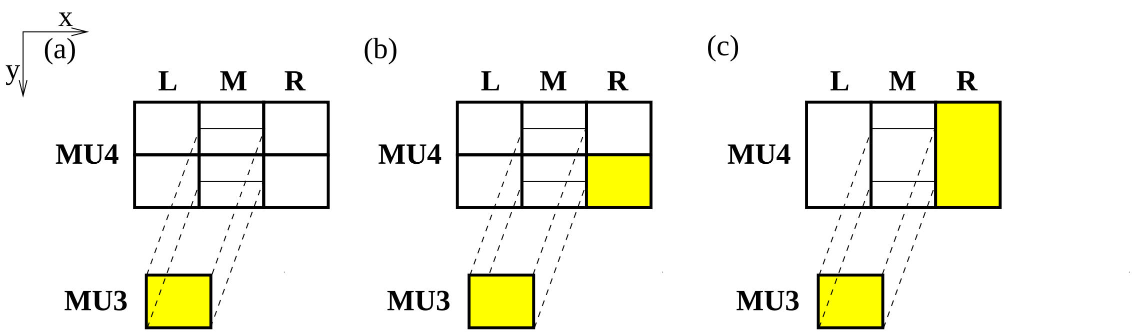

Abb. 3.2: Projektion eines MU3 Pads auf sechs Pads von MU4 (a), das Koinzidenzschema (b) und die Pattern nach der paarweisen Veroderung der MU4 Pads (c) [Sch97]

Der Pretrigger berechnet Startpunkte für die Spurensuche der ersten Triggerstufe. Der PCU stehen die Daten der Pad–Kammern als spaltenweise geordnete Bitinformationen zur Verfügung. Eine **1** markiert ein getroffenes Pad, eine **0** bedeutet, daß kein

[6]**T**ransistor **T**ransistor **L**ogic.
[7]AutoBahn Spanceiver MC100SX1451FI100 der Firma Motorola; Trademark der Firma Motorola.
[8]25 Leitungen: 16 Daten, 8 BX–Nummer, 1 Zyklusnummer.

geladenes Teilchen das Pad getroffen hat. Um einen Startpunkt zu definieren, wird jedem Pad auf MU3, gemäß Abb. 3.2 (a), eine Gruppe von 2×3 Pads auf MU4 zugeordnet. Wird ein Pad auf MU3 und mindestens eines der sechs Pads auf MU4 bei einem Ereignis getroffen, so wird dies als Koinzidenz bezeichnet, siehe Abb. 3.2 (b). Zentraler Baustein der PCU ist ein programmierbarer Logikbaustein, der FLEX10k^{TM}–Baustein[9]. Je ein FLEX10k–Baustein übernimmt die Berechnung der Koinzidenzen einer Spalte von MU3. Es ist geplant, daß eine PCU vier Spalten von MU3 verarbeitet. Aus dem Koinzidenzschema ist ersichtlich, daß für die Berechnung der Koinzidenzen einer Spalte von MU3 die Daten von drei Spalten MU4 zur Verfügung stehen müssen. Aufgrund der Limitierung der Anzahl der Ein– und Ausgangspins des FLEX10k–Bausteins, wird die Berechnung in zwei Zyklen durchgeführt, woraus sich das Datenformat für das PLB ergibt. Zur einfacheren Verarbeitung der MU4–Daten, werden diese paarweise verodert[10]. Die veroderten Daten, wie in Abb. 3.2 (c) dargestellt, werden Pattern genannt. Die gefundenen Koinzidenzen und Pattern werden serialisiert und über die Backplane an den Pretrigger–Message–Generator gesendet. Ab diesem Zeitpunkt ist die Übertragungsrate datenabhängig, also vollkommen asynchron zum BX–Takt.

Der Pretrigger–Message–Generator benutzt die Koinzidenz– und Patterninformationen als Adressen einer LuT[11]. In einer LuT sind Informationen unter bestimmten Adressen gespeichert, die immer wieder abgefragt werden können. Inhalt der LuT und die BX–Nummer bilden mit einigen statischen Bits die Mitteilung, die an die Track–Finding–Units (**TFU**) der ersten Triggerstufe übermittelt wird.

[9] FLEX10k–Baustein der Firma ALTERA; Trademark der Firma ALTERA.

[10] damit ist die logische ODER–Verknüpfung der Daten gemeint.

[11] Look up Table.

Kapitel 4

Datenübertragung mit AUTOBAHN–Bausteinen

In diesem Kapitel wird auf die Datenübertragung mit AUTOBAHN–Bausteinen eingegangen, da eine Randbedingung für die Entwicklung des PLB die Verwendung dieser Bausteine ist. Die Funktionsweise des AUTOBAHN–Bausteins wird beschrieben und anhand der Informationen des Datenblattes ein Konzept entwickelt, mit dem die übertragenen Daten ausgelesen und gespeichert werden können. Zur Überprüfung des Konzeptes wird ein Testsystem aufgebaut. Es werden Meßergebnisse diskutiert und Schlußfolgerungen für die Entwicklung des PLB aufgezeigt.

4.1 Der AUTOBAHN–Baustein

Bevor die Funktion des AUTOBAHN–Bausteins erläutert wird, wird ein kurzer Überblick über wichtige Kenngrößen von TTL– und PECL[1]–Bausteinen und dem Begriff des „Busses“ gegeben.

Man spricht von einem Bus, wenn wahlweise mehrere Gatter den logischen Zustand einer Signalleitung bestimmen. Gatter sind die Grundbausteine der Digitaltechnik: Jede logische Schaltungsfunktion läßt sich auf das UND, das ODER oder die NEGATION zurückführen bzw. aus diesen Grundfunktionen realisieren [Kü93]. Gatter besitzen nur einen Ausgang. Ausnahmen bilden einige Gattertypen mit zueinander komplementären Ausgängen. Ein logisches Signal, das aus zwei komplementären Signalen besteht, bezeichnet man als differentielles Signal.

In der Digitaltechnik gibt es verschiedene Arten die beiden logischen Niveaus ‘L’ und ‘H’ zu kodieren. Bei TTL–Signalen z. B. wird eine Eingangsspannung $\mathrm{U} \leq 0{,}8\,\mathrm{V}$ als logisches ‘L’ (LOW) gewertet, eine Eingangsspannung $\mathrm{U} \geq 2\,\mathrm{V}$ als logisches ‘H’ (HIGH)[2]. Am Ausgang bezeichnet eine Spannung $\mathrm{U} \leq 0{,}4\,\mathrm{V}$ ein ‘L’ und eine Spannung $\mathrm{U} \geq 2{,}4\,\mathrm{V}$ ein ‘H’. Daraus folgt, daß bei beiden logischen Zuständen ein statischer Störabstand von $0{,}4\,\mathrm{V}$ [3] besteht. Als Umschaltpunkt wird die Eingangsschwellspannung bezeichnet, bei der sich die Richtung des Eingangsstromes umkehrt. Bei TTL–Bausteinen liegt der

[1] **P**ositive **E**mitter **C**oupled **L**ogic.

[2] I.a. gilt bei logischen Bausteinen, daß ‘L’das niedrigere Spannungsniveau beschreibt und ‘H’ das höhere.

[3] $2,4\,V - 2,0\,V = 0,4\,V$ und $0,8\,V - 0,4\,V = 0,4\,V$.

Umschaltpunkt zwischen 1,2 V und 1,5 V [Kü93]. Er definiert den Schaltpunkt bei flankengesteuerten Bausteinen, die nicht auf Niveaus, sondern Änderung der Niveaus, d. h. den Übergang von ‘L’ nach ‘H’ oder von ‘H’ nach ‘L’, reagieren. Bei einem Übergang von ‘L’ nach ‘H’ spricht man von einer positiven Flanke, bei einem Übergang von ‘H’ nach ‘L’ von einer negativen.

PECL–Logik ist ECL–Logik, bei der V_{CC}[4] von Masse nach +5 V und V_{EE} von −5, 2 V nach Masse verschoben ist. Dies ermöglicht die Benutzung von ECL–Bausteinen und TTL–Bausteinen bei Verwendung einer gemeinsamen Spannungsquelle. Die Umrechnung der ECL–Spannungsniveaus in PECL–Niveaus efolgt auf folgende Weise [PP96]:

$$PECLNiveau = V_{CCneu} - |ECLNiveau|$$

Die PECL–Eingangsniveaus sind $U \geq 4{,}12$ V (‘H’) und $U \leq 3{,}00$ V (‘L’), die Ausgangsniveaus sind $U \geq 4{,}25$ V (‘H’) und $U \leq 3{,}00$ V (‘L’). ECL ist dafür ausgelegt, 50 Ω Last bei −2 V zu treiben. Bei PECL liegt die Referenzspannung V_{TT} bei 3,00 V.

Der AUTOBAHN–Baustein ist zur Implementierung eines schnellen seriellen Datenbusses konzipiert worden. Jeder AUTOBAHN–Baustein ist in der Lage, als Sender und als Empfänger von Daten zu fungieren. Die serielle Datentransferrate beträgt 800 MBit/s. In Tab. 4.1 ist eine Kurzbeschreibung der Eingangs– und Ausgangspins zusammengestellt. Der AUTOBAHN–Baustein besitzt eine 32–Bit breite TTL–kompatible bidirektionale Schnittstelle zum Datenbus, kann jedoch optional mit einer 16–Bit breiten Schnittstelle betrieben werden. Die Steuer– und Kontrollsignale sind ebenfalls TTL–kompatibel. Die serielle Schnittstelle dagegen besitzt PECL–Niveaus. Die seriellen Ausgänge des AUTOBAHN–Bausteins bestehen aus „offenen Emitter“–Emitterfolgern. Um PECL–Niveaus zu erhalten, wird ein „pull–down“[5] Widerstand bei vorgegebener Referenzspannung benötigt. Der Widerstand wird der charakteristischen Impedanz Z_0 der Übertragungsleitung angepaßt. Dies läßt sich mit einem Spannungsteiler realisieren. Abb. 4.1 zeigt die Terminierung der Übertragungsleitung auf 50 Ω bei $V_{TT} = 3$ V. Die Widerstände lassen sich wie folgt berechnen:

$$R_1 = R_2 \frac{V_{CC} - V_{TT}}{V_{TT} - V_{EE}},$$

$$R_2 = Z_0 \frac{V_{CC} - V_{EE}}{V_{CC} - V_{TT}},$$

$$V_{TT} = V_{CC} \frac{R_2}{R_1 + R_2},$$

mit: $V_{CC} = 5$ V, $V_{EE} = \mathrm{GND}$, $V_{TT} = 3$ V, $Z_0 = 50\Omega$

Schwankungen der Versorgungsspannung werden gänzlich auf die Signalhöhe der Logikniveaus übertragen.

Bei der Erstellung eines Leiterplattenlayouts muß daher auf folgende Punkte besonders geachtet werden: Die Versorgungsspannung muß auf den Karten über zwei

[4]Die Indizes geben den Transistoranschluß an. CC bedeutet Kollektor, EE bedeutet Emitter.

[5]engl.: herunterziehen.

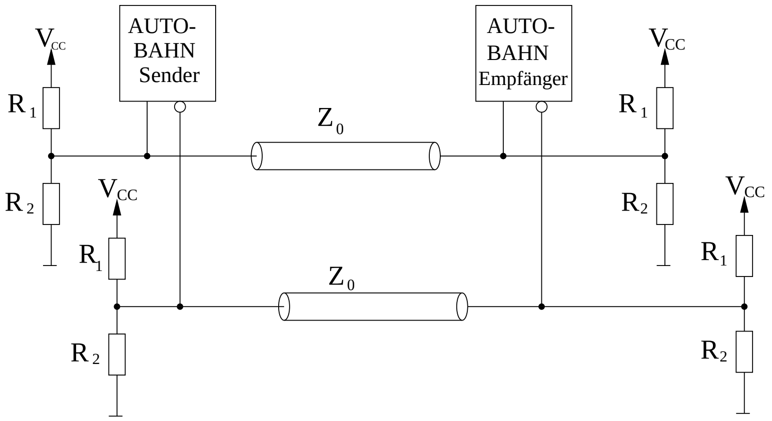

Abb. 4.1: Terminierung der Übertragungsleitungen mit Spannungsteilern. Der invertierende Ein–/Ausgang der AUTOBAHN–Bausteine ist mit einem Kreis gekennzeichnet. [Mot97]

separate Versorgungsspannungsebenen zu den Bauteilen geführt werden. Eine Ebene an die die PECL–Versorgungsspannungspins angeschlossen werden, und eine für die TTL–Versorgungsspannungspins. Um den AUTOBAHN–Baustein gegen hochfrequente Störsignale, die über die Versorgungsspannungsebenen an die Bausteine gelangen können, abzusichern, werden Kondensatoren zwischen die Versorgungsspannung und Masse gelegt. Sie bilden für hochfrequente Signale Wege niedrigsten Widerstandes. Die Kondensatoren müssen in direkter Nähe der Versorgungsspannungspins plaziert werden.

Abb. 4.2 zeigt schematisch den Aufbau des AUTOBAHN–Bausteins. Die fett gedruckten Ausdrücke beziehen sich im folgenden auf Abb. 4.2. Die Resetlogik (**RESET LOGIC**) versetzt, bei Erhalten des Reset–Signals ($\overline{\textbf{RES}}$[6]), den AUTOBAHN–Baustein in den Grundzustand, wenn das Reset–Signal mindestens 125 ns gesetzt ist. Das $\overline{\textbf{STRB}}$–Signal, mit dem die Daten in die Register geschrieben bzw. aus den Registern ausgelesen werden, darf erst 500 ns nachdem das Reset–Signal zurückgesetzt wurde, gesetzt werden. Diese Zeit wird benötigt, damit der Grundzustand sicher eingenommen wird. Das Reset–Signal löscht die Kontroll– und Fehlerregister und versetzt das Kontrollregister in den Grundzustand und die **PISO**[7]– und **SIPO**[8]–Kontrollogik in den Anfangszustand. Das Kontrollregister (**CONTROL REGISTER**) wird nach dem Reset konfiguriert, um die Operationsart des AUTOBAHN–Bausteins, beispielsweise den Betrieb im 16– oder 32–Bitmodus, festzulegen. Tab. 4.2 zeigt die Bitdefinition des Kontrollregisters. Die Register–Lese/Schreibe–Kontrollogik (**REGISTER READ/WRITE LOGIC**) legt fest, ob aus den Registern ausgelesen oder in sie hineingeschrieben wird. Die Ansteuerung geschieht mit dem **R/$\overline{\textbf{W}}$**–Signal. Die Selektion der Register wird mit dem **REG**[9]–Signal gesteuert. Ein logisches ‘H’ selektiert die Datenregister, ein logisches ‘L’ die Kontroll– und Fehlerregister. Das Sendere-

[6]Ein Balken über dem Signalnamen gibt an, daß das Signal ‘L’ aktiv ist.
[7]parallel in / serial out.
[8]serial in / parallel out.
[9]Register Select.

Tab. 4.1: Kurzbeschreibung der Eingangs– (I) und Ausgangspins (O) des AUTOBAHN–Bausteins. [Mot97]

Name	I/O	Beschreibung
$\overline{RES}$	I	asynchrones Resetsignal, das den AUTOBAHN–Baustein in den Grundzustand versetzt.
$R/\overline{W}$	I	Lese–/Schreibsignal: bestimmt, ob in den AUTOBAHN–Baustein geschrieben oder aus ihm ausgelesen wird
REG	I	Registerselect–Signal: selektiert die Daten– oder Kontroll– bzw. Fehlerregister
$\overline{STRB}$	I	Strobesignal: steuert die Eingabe oder Ausgabe der Daten
D00–D31	I/O	bidirektionale TTL–Dateneingänge bzw. –ausgänge
$FULL$	O	FULL–Signal: zeigt an, ob Daten im Sende– bzw. Empfangsregister sind
$\overline{BUSY}$	O	$\overline{BUSY}$–Signal: zeigt an, daß der serielle Bus aktiv ist
$\overline{ERR}$	O	Fehlersignal: zeigt an, daß der AUTOBAHN–Baustein eine Fehlerbedingung registriert hat
$SER/\overline{SER}$	I/O	differentielle, serielle PECL–Dateneingänge bzw. –ausgänge

Tab. 4.2: Bitdefinition des Kontrollregisters. RESERVED– und FACTORY TEST–Bits müssen bei der Konfiguration auf 'H'–Niveau liegen. [Mot97]

Bit	Definition
0	CLEAR
3	16–/32–Bit–Modus
5	Timeout–Timer
1,2,4,6,7	FACTORY TEST
8–15	RESERVED

gister (**TRANSMIT REGISTER**) ist ein 32 Bit breites parallel zu ladendes Register, welches die Eingangssignale (**D00–D31**) der bidirektionalen Busschnittstelle aufnimmt. Das PISO–Schieberegister (**PISO SHIFT REGISTER**) übernimmt die Daten des Senderegisters und konvertiert sie in ein serielles Datenpaket. Abhängig von der Einstellung im Kontrollregister arbeitet es im 16– oder 32–Bitmodus. Der Synchronisationsbitgenerator (**SYNC BIT GENERATOR**) erzeugt Synchronisationsbits, die für die Takt– bzw. Zeitinformation des empfangenden AUTOBAHN–Bausteins benötigt werden. Jeweils ein Synchronisationsbit wird vor acht Datenbits eingefügt, bevor diese zum Seriellen–Bus–Sender/Empfänger (**SERIAL BUS TRANSCEIVER**) gelangen. Daraus resultiert eine „eigentliche" Transferrate von 900 MBit/s. Die PISO–Kontrollogik (**PISO CONTROL LOGIC**) überwacht den Datentransfer der Daten zum seriellen Bus. Mittels des Seriellen–Bus–Sender/Empfängers ist es

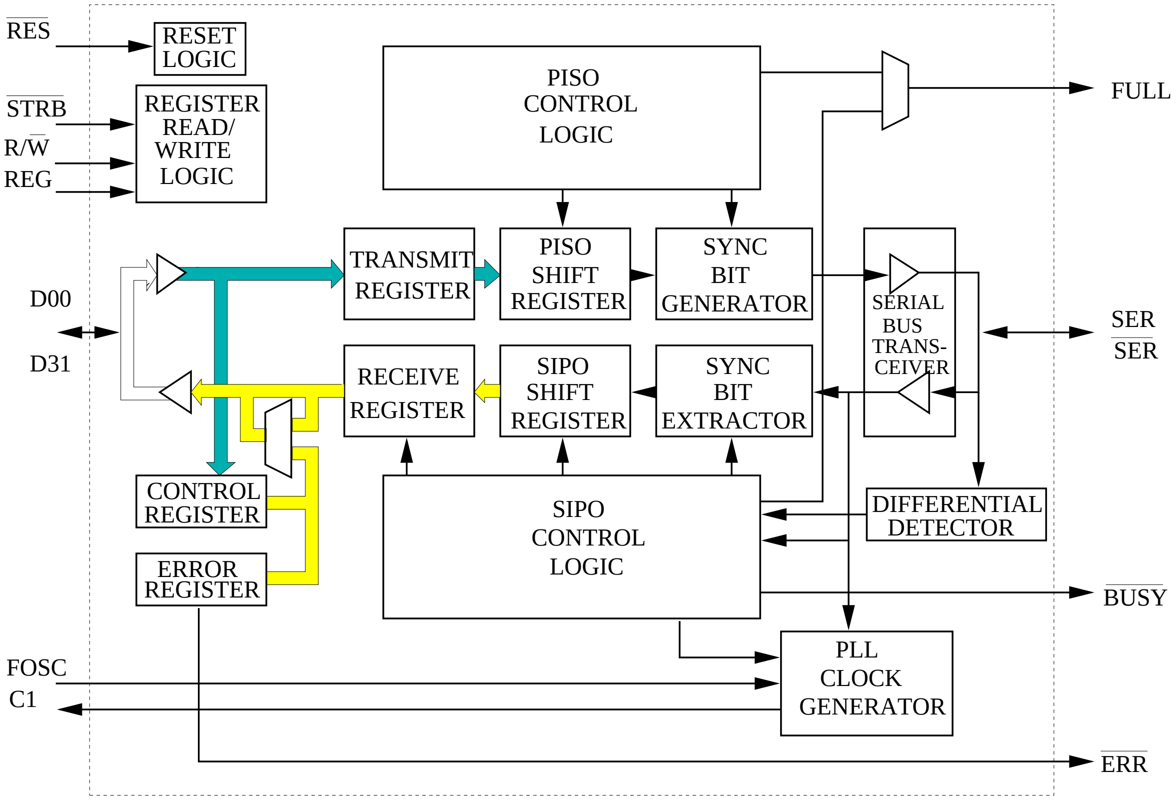

Abb. 4.2: Schematische Darstellung des AUTOBAHN–Bausteins [Mot97]

möglich, einen bidirektionalen Bus aufzubauen. Die Sender/Empfänger–Schaltung besteht aus einem hochsensitiven differentiellen Empfänger[10] und einem Cutoff–Treiber. Der Cutoff–Treiber wird benutzt, um serielle Daten auf den Bus zu geben. Im Cutoff–Zustand besitzen beide Ausgangsemitterfolger des differentiellen Busses ‘L’–Niveau und stellen somit einen hohen Widerstand für den Bus dar, wodurch dieser von anderen AUTOBAHN–Bausteinen benutzt werden kann. Der Differenzdetektor (**DIFFERENTIAL DETECTOR**) erkennt, wenn der serielle Bus aus dem Cutoff–Zustand in den differentiellen Zustand übergeht. Der Differenzdetektor wird nur bei der allerersten Übertragung benötigt. Seine Aufgabe ist es, die SIPO–Kontrollogik (**SIPO CONTROL LOGIC**) zu informieren, daß „Aktivität“ auf dem Bus ist. Die Takterzeugung (**PLL CLOCK GENERATOR**) generiert den internen Takt, der eine Frequenz von 450 MHz besitzt, mit Hilfe des Referenzsignals am **FOSC**–Eingang. Zur Filterung der Bandbreite ist ein Kondensator nötig (**C1**), dessen Kapazität 2700 pF beträgt. Die Takterzeugung liefert die Zeitreferenz für die SIPO– und PISO–Kontrollogikblöcke. Der Syncbitextraktor (**SYNC BIT EXTRACTOR**) entfernt die Synchronisationsbits aus dem empfangenen Datenpaket. Wird ein Synchronisationsbit in einem bestimmten Zeitfenster nicht beobachtet, wird ein Bit im Fehlerregister (**ERROR REGISTER**) gesetzt. Das SIPO–Schieberegister (**SIPO SHIFT REGISTER**) parallelisiert die Daten vom Syncbitextraktor und gibt sie an das Empfangsregister weiter (**RECEIVE REGISTER**), von wo sie an die TTL–Schnittstelle des AUTOBAHN–Bausteins

[10] Eingangssensitivität $V_{pp} = 150\,mV$.

gelangen. Die SIPO–Kontrollogik überwacht den Datentransfer in den AUTOBAHN–Baustein, das SIPO–Schieberegister und den Syncbitextraktor und erkennt etwaige Übertragungsfehler, die mit Fehlerbits im Fehlerregister markiert werden.

4.1.1 Operationsmodi des AUTOBAHN–Bausteins

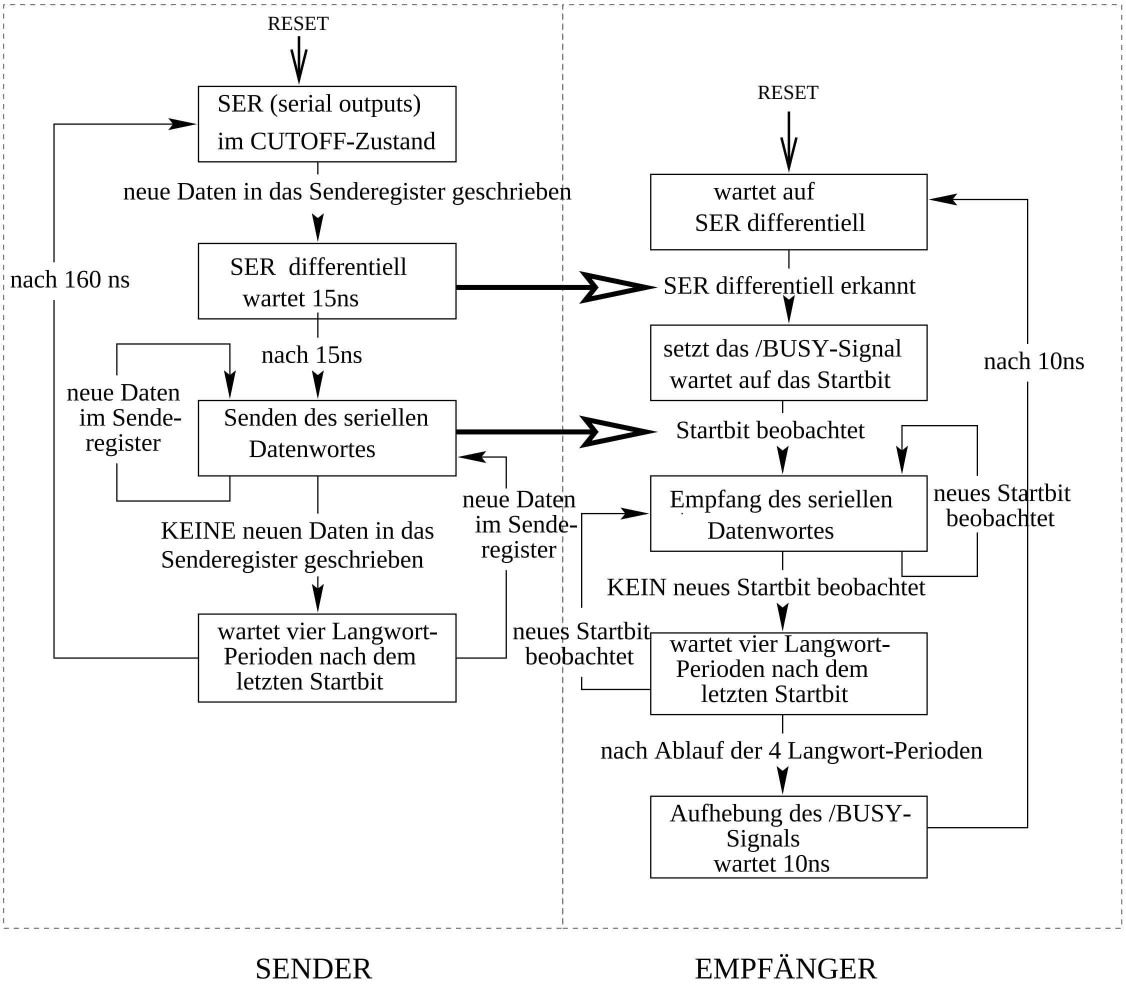

Abb. 4.3: Zustandsdiagramme des sendenden und empfangenden AUTOBAHN–Bausteins sowie Abhängigkeiten des Übertragungsprotokolls [Mot97]

Der AUTOBAHN–Baustein besitzt drei Operationsmodi: den Idlemodus[11], den Sendemodus und den Empfangsmodus. Nach einem Reset befindet er sich im Idlemodus. Die seriellen Ausgänge sind im Cutoff–Zustand, d. h. beide Ausgänge besitzen ‘L’–Niveau. Der Differenzdetektor achtet auf den Übergang des Busses in den differentiellen Zustand, um den Beginn der Datenübertragung zu erkennen.

Der Sendemodus beginnt, wenn Daten mit der negativen Flanke des $\overline{STRB}$–Signals in das Senderegister geschrieben werden, siehe Abb. 4.4. Dieses Ereignis startet einen

[11] Grundmodus

internen Timeout–Timer. Die Bedeutung des Timeout–Timers wird später erklärt. Das $FULL$–Signal zeigt an, daß sich Daten im Senderegister befinden. Die Zeitabhängigkeit des $FULL$–Signals von den Flanken des $\overline{STRB}$–Signals sowie die Setup– und Hold–Zeiten der Steuersignale und Daten sind in Abb. 4.4 eingetragen. Der AUTOBAHN–Baustein serialisiert die Daten und fügt ein Synchronisationsbit vor jedem zu übertragenden Byte ein. Da der AUTOBAHN–Baustein die Daten im NRZ[12]–Code überträgt ist die maximale Frequenz 450 MHz und nicht 900 MHz. 15 ns vor der Übertragung des ersten Datenpaketes gehen die seriellen Ausgänge des AUTOBAHN–Bausteins in den differentiellen Zustand[13]. Diesen Übergang muß der Differenzdetektor des empfangenden AUTOBAHN–Bausteins registrieren. Die Spannung am invertierten Eingang des empfangenden Bausteins muß dazu um 0,6 V höher sein als die Cutoff–Spannung am nichtinvertierten Eingang [NS95]. Wenn neue Daten in das Senderegister geschrieben werden, beginnt die nächste Übertragung. Falls keine neuen Daten in das Senderegister geschrieben werden, geht der AUTOBAHN–Baustein nach 160 ns, d. h. nach vier Langwortperioden, wieder in den Cutoff–Zustand. Eine Langwortperiode entspricht der Zeit, die der AUTOBAHN–Baustein benötigt, um 36 Bits[14] zu transferieren. Man kann verhindern, daß die seriellen Ein–/Ausgänge des AUTOBAHN–Bausteins nach Überschreiten des Zeitlimits das der Timeout–Timer vorgibt, in den Cutoff–Zustand gehen. Dazu muß bei der Konfiguration des AUTOBAHN–Bausteins das Bit, das den Timeout-Timer deaktiviert, im Kontrollregister gesetzt werden. Im Sendemodus muß das REG–Signal für die Setup–Zeit (T_S) vor und die Hold–Zeit (T_H) nach der negativen Flanke des $\overline{STRB}$–Signals auf 'H'–Niveau und das $R/\overline{W}$–Signal auf 'L'–Niveau liegen. Die Setup–Zeit gibt an, wie lange das Signal vor der Schaltflanke mindestens anliegen muß, während die Hold–Zeit angibt, wie lange das Signal noch nach der Schaltflanke anliegen muß. In Abb. 4.4 sind die Setup– (T_S) und Hold–Zeiten (T_H) eingetragen.

Der AUTOBAHN–Baustein geht in den Empfangsmodus, wenn der Differenzdetektor den Übergang des Busses in den differentiellen Zustand registriert. Im Empfangsmodus streift der AUTOBAHN–Baustein dem seriellen Datenpaket die Synchtronisationsbits ab, die von der Takterzeugung zur Synchronisation verwendet werden, und taktet die Daten in das serielle Register. Wenn das Register voll ist, werden die Daten parallelisiert und in das Empfangsregister geschrieben. Das $FULL$–Signal wird gesetzt, um anzuzeigen, daß Daten im Empfangsregister sind. Da der AUTOBAHN–Baustein eine elastische Speichertiefe von nur einer Stufe besitzt, muß die externe Ausleseelektronik auf das $FULL$–Signal reagieren und mit der negativen Flanke des $\overline{STRB}$–Signals die Daten auf die Ausgänge des AUTOBAHN–Bausteins geben, da sonst die Daten im Speicher überschrieben werden. Das REG–Signal muß im Empfangsmodus für die Setup– und Hold–Zeiten auf 'H' liegen und das $R/\overline{W}$–Signal auf 'L'. Der Timeout–Timer ist auch im Empfangsmodus aktiv und versetzt die seriellen Ausgänge des AUTOBAHN–Bausteins vier Langwortperioden nach Erhalt des letzten Datenpaketes in den Cutoff–Zustand. In Abb. 4.5 sind die Setup– (T_S) und Holdzeiten (T_H) eingetragen. Nach der negativen Flanke des $\overline{STRB}$–Signals vergeht die Zeit T, bis das $FULL$–Signal wieder zurückgesetzt wird. Die Zeit T_1 vergeht nach der negativen Flanke des $\overline{STRB}$–Signals

[12]**N**o **R**eturn to **Z**ero

[13]dieser Zustand entspricht einem differentiellen 'L'. SER ist 'L', $\overline{SER}$ ist 'H'.

[14]32 Datenbits und 4 Synchronisationsbits.

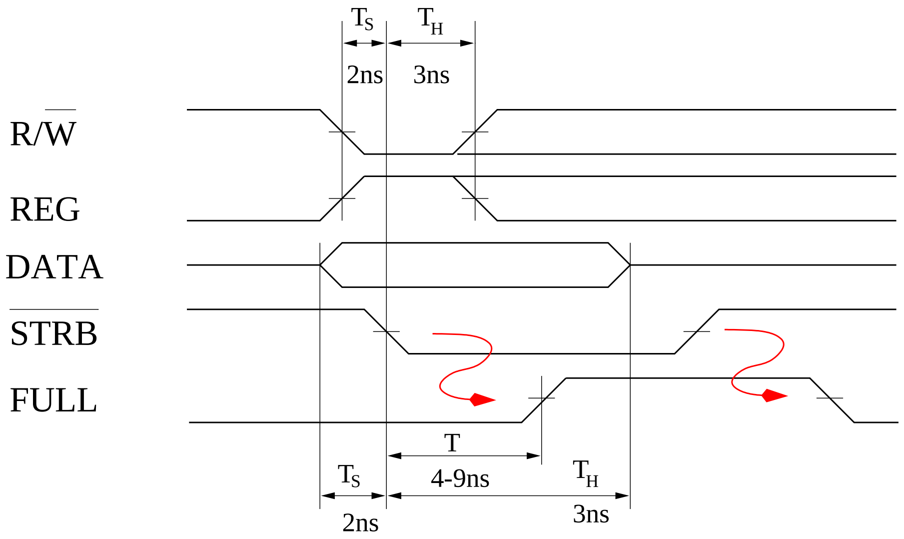

Abb. 4.4: Sendemodus. Es sind die Setup– (T_S) und Hold–Zeiten (T_H), die die Daten und Steuersignale vor bzw. nach der negativen Flanke des $\overline{STRB}$–Signals mindestens anliegen müssen, eingetragen und die Zeit T, nach der das $FULL$–Signal gesetzt wird. Die Pfeile zeigen die Abhängigkeit der logischen Niveaus des $FULL$–Signals von den Flanken des $\overline{STRB}$–Signals an. [Mot97]

bis die Daten an den Ausgängen des AUTOBAHN–Bausteins gültig werden. Bis zur Zeit T_2, nach der positiven Flanke des $\overline{STRB}$–Signals, liegen die Daten gültig an.

4.2 Konzept der Datenauslese und Speicherung

Der zeitkritische Teil der Datenübertragung ist der Empfangsteil. Es muß schnell auf das $FULL$–Signal reagiert werden, damit das $\overline{STRB}$–Signal gesetzt werden kann, bevor die Daten im Empfangsregister, das nur ein Datenwort speichern kann, überschrieben werden. Eine einfache Möglichkeit das $\overline{STRB}$–Signal zu erzeugen, ist es, das $FULL$–Signal zu invertieren und auf den Eingangspin des $\overline{STRB}$–Signals zu führen [Neu96]. Dies geschieht mit Hilfe eines Inverters. Abb. 4.6 zeigt die Zeitabhängigkeiten der Empfangsschaltung[15]. Das Ausgangssignal des Inverters ist um die Gatterlaufzeit T_P gegenüber dem Eingangssignal verzögert. Die Dauer des $\overline{STRB}$–Signals T_{STRB} ergibt sich aus der Zeit T_P und der Zeit T, die vergeht bis das $FULL$–Signal aufgrund der negativen $\overline{STRB}$–Flanke zurückgesetzt wird.

$$T_{STRB} = T_P + T$$

Die Zeit T_D, während der die Daten gültig am Ausgang des AUTOBAHN–Bausteins anliegen, errechnet sich wie folgt:

$$T_D = T_{STRB} - T_1 + T_2$$

[15] Die Zeitabhängigkeiten, die für diese Überlegungen benutzt worden sind, sind [Mot96a] entnommen. Das Konzept geht nach den neuesten Zeitabhängigkeiten in [Mot97] nur dann auf, wenn die „typischen“ Zeiten und nicht die Zeiten für die Grenzfälle benutzt werden.

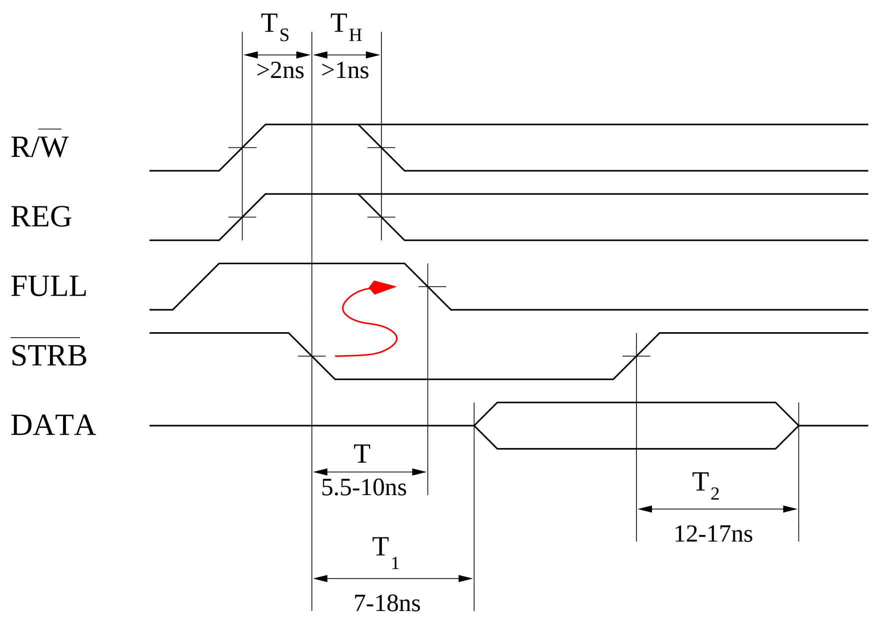

Abb. 4.5: Empfangsmodus. Es sind die Setup– (T_S) und Hold–Zeiten (T_H) eingetragen. Die Zeit T vergeht, bis das $FULL$ Signal zurückgesetzt wird. Nach der Zeit T_1 liegen die Daten gültig am Ausgang an. Die Zeit T_2 gibt an, wie lange die Daten nach dem $\overline{STRB}$–Signal noch anliegen. [Mot97]

Die Zeit T_1 vergeht nach der negativen Flanke des $\overline{STRB}$–Signals, bis die Daten gültig sind. Die Daten liegen für die Zeit T_2 nach der positiven Flanke des $\overline{STRB}$–Signals an den Ausgängen an. Die Flanke des Signals, das die Ausgangsdaten des AUTOBAHN–Bausteins in die anschließenden Speicherbausteine taktet, und die Setup– und Hold–Zeiten der Speicherbausteine müssen innerhalb des Zeitfensters T_D liegen. Um dies sicherzustellen, werden die Daten mit der positiven Flanke des $\overline{STRB}$–Signals gespeichert. Zur Speicherung der 32 Ausgangsbits werden vier D–Flip–Flops des Typs 74AS374 benötigt. Das D–Flip–Flop besitzt 8 Dateneingänge. Daten, die in dem Zeitfenster, das durch die Setup– und Hold–Zeit vorgegeben ist, an den Eingängen anliegen, werden mit der positiven Taktflanke gespeichert, und stehen nach einer Verzögerungszeit von maximal 4 ns an den Ausgängen des Bausteins gültig an. Von diesem Zeitpunkt an sind die Daten an den Ausgängen des Bausteins bis zum nächsten Takt gültig. Diese Zeit ist viel länger, als die, die die Daten an den Ausgängen des AUTOBAHN–Bausteins gültig sind. Die Daten lassen sich problemlos weiterverarbeiten. Die TTL–Bausteinfamilie AS[16] besitzt extrem kurze Setup–, Hold–Zeiten und Gatter–Laufzeiten. Als Inverter wird der Baustein 74ALS04 aus der TTL–familie ALS[17] benutzt.

$$T_{STRBmin} = T_{Pmin} + T_{min} = 2\,ns + 9,5\,ns = 11,5\,ns$$

und für

[16] **A**dvanced **S**chottky.
[17] **A**dvanced **L**ow power **S**chottky.

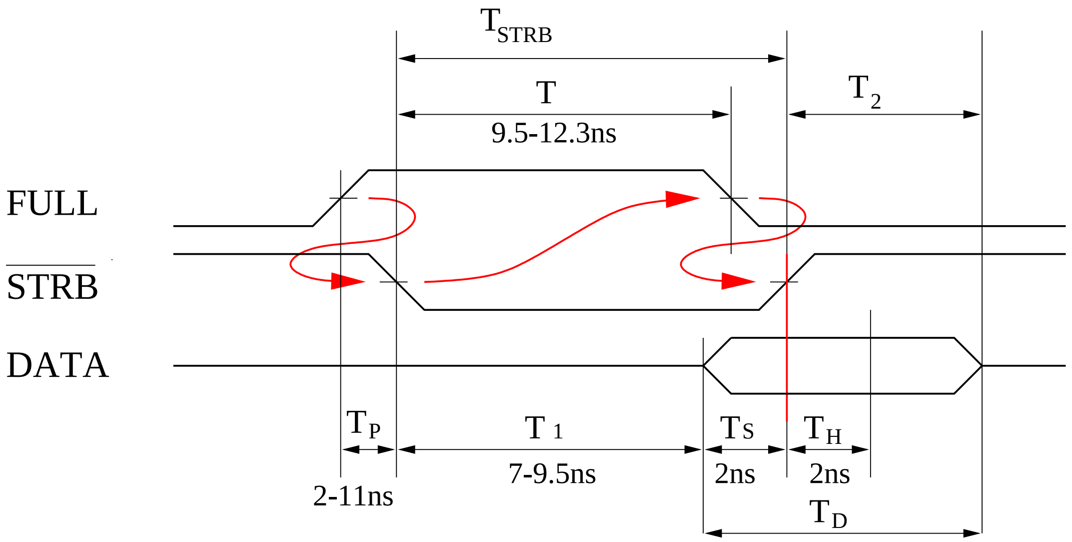

Abb. 4.6: Zeitabhängigkeit der Empfangsschaltung. Das $\overline{STRB}$–Signal wird aus dem invertierten $FULL$–Signal erzeugt. Die positive Flanke des $\overline{STRB}$–Signals ist die Taktflanke, mit der die Daten in die nachfolgenden Speicherbausteine getaktet werden. T_P ist die Gatterlaufzeit des Inverters. Die Zeit T vergeht, bis das $FULL$–Signal zurückgesetzt wird. T_S und T_H sind die Setup– und Hold–Zeit der Speicherbausteine. Nach der Zeit T_1 sind die Daten am Ausgang des AUTOBAHN–Bausteins gültig. Für die Zeit T_2 liegen die Daten gültig am Ausgang an. T_D ist die Zeit, die die Daten insgesamt gültig sind. [Mot96a]

$$T_{Dmin} = T_{STRBmin} - T_{1max} + T_{2min} = 11,5\,ns - 9,6\,ns + 9,6\,ns = 11,5\,ns.$$

4.3 Testaufbau der Datenübertragung

Bei dem in Kap. 4.2 vorgestellten Konzept zur Speicherung der übertragenen Daten ist die zeitliche Abhängigkeit der Signale sehr kritisch. Zur Überprüfung der prinzipiellen Überlegungen wird ein Testsystem aufgebaut, das in Abb. 4.7 schematisch dargestellt ist. Die fett gedruckten Ausdrücke im nachfolgenden Text beziehen sich auf diese Abbildung. Das Testsystem besteht aus zwei Testkarten, auf denen sich die Logikbausteine, die diskreten Bauelemente und die Steckverbinder für die Kabel befinden. Als Signalquelle dient ein Wortgenerator (**WG**), als Analysegerät wird ein Logikanalysator (**LA**) eingesetzt. Details zu diesen Geräten werden in Kap. 4.5.1 beschrieben. Die seriellen Daten werden mit Koaxialkabeln[18] von der Senderkarte zur Empfängerkarte übertragen. Auf der Senderkarte befinden sich ein AUTOBAHN–Baustein, Pfostenleisten, an die die Kabel der Tastköpfe (**Probe**) von Wortgenerator und Logikanalysator angeschlossen werden, Kondensatoren und die Widerstände der Spannungsteiler. Auf der Empfängerkarte sind zusätzlich vier D–Flip–Flops (**DFF**) des Typs 74AS374 und ein Inverter (**INV**) des Typs 74ALS04 untergebracht. Die Koaxialkabel sind über **SMA**–

[18] RG 58.

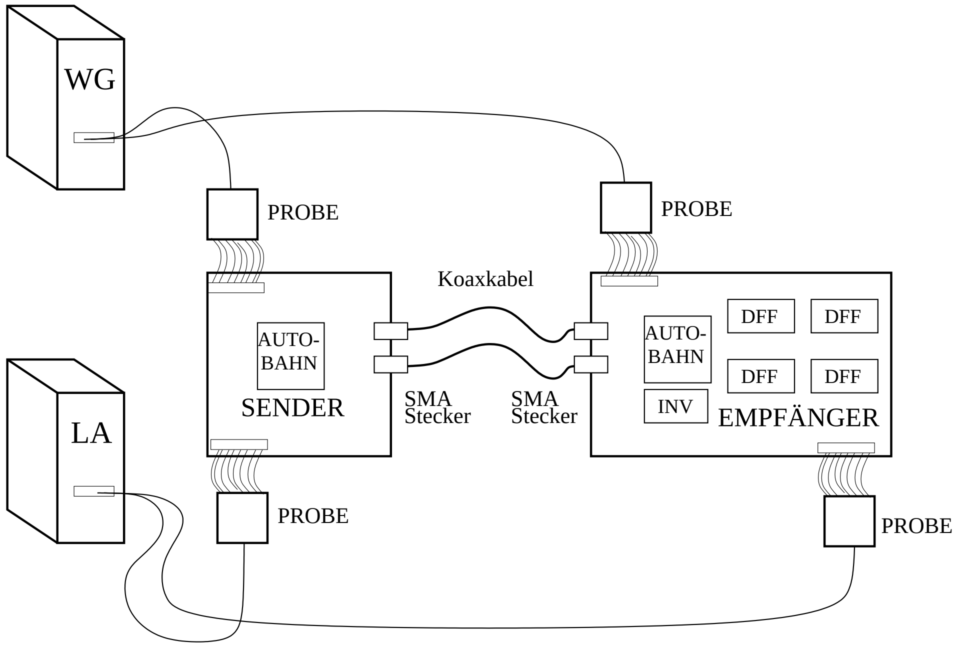

Abb. 4.7: Schematische Darstellung des Testsystems. Die Abkürzungen werden im Text erläutert.

Stecker mit den Leiterbahnen auf den Karten verbunden. Die Testkarten sind speziell für den Test der Datenübertragung in dieser Arbeit entwickelt worden. Die Entwicklung der Karten dient außerdem der Einarbeitung in die CAD[19]–Programme, mit denen die Schaltpläne und Layouts der Leiterplatten erstellt werden. Die Schritte, die zur Entstehung eines Leiterplattenlayouts führen, werden im folgenden Abschnitt erläutert.

4.4 Layouterstellung einer Leiterplatte

Eine Leiterplatte besteht aus einer isolierenden Trägerplatte (Substrat), auf deren Oberfläche sich die Leiterbahnen zur elektrischen Verbindung der Bauelemente befinden. Neben den organischen Werkstoffen mit anorganischer Verstärkung werden keramische und anorganische sowie nichtkeramische Werkstoffe als Trägersubstrat verwendet. Zur Herstellung der Leiterbahnen gibt es zwei Methoden: Bei der Additiven–Methode werden die Leiterbahnen auf der isolierenden Oberfläche des Substrats angebracht. Dazu existieren mehrere Verfahren [Sau88]. Bei der stromlosen chemischen Verkupferung entsteht das Leiterbild durch chemische Abscheidung. In der Dünnfilmtechnik wird das Leiterbild im Vakuum durch Aufdampfen bzw. Ionenzerstäubung aufgebracht. Eine leitende Paste wird bei der Dickfilmtechnik auf dem Substrat aufgetragen und anschließend eingebrannt. Das Substrat ist bei der Subtraktiven–Methode mit Kupferfolie kaschiert, woraus das Leiterbild durch Wegätzen des überschüssigen Kupfers entsteht [Sau88]. Die in dieser Arbeit verwendeten Leiterplatten sind mit der Subtraktiven–Methode hergestellt worden.

[19]**C**omputer **A**ided **D**esign.

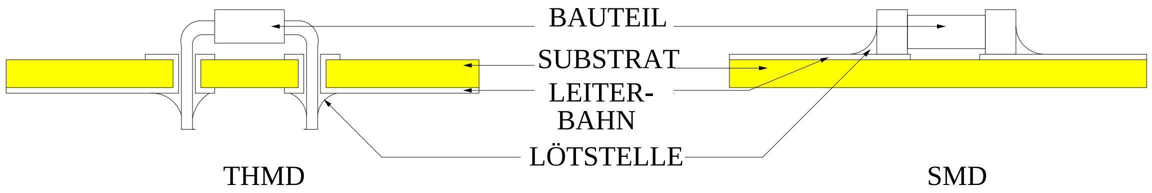

Abb. 4.8: Konventionell angebrachtes THMD–Bauelement und oberflächenmontiertes SMD–Bauelement. [Sau88]

Bedrahtete Bauteile (THMD)[20] werden durch Löcher in der Leiterplatte gesteckt, durch Weichlöten mit der Leiterbahn elektrisch leitend verbunden und mechanisch befestigt. Die zur Oberflächenmontage bestimmten Bauelemente (SMD)[21] mit metallischen Anschlußflächen werden mit Lötpaste vorfixiert, durch Weichlöten endfixiert und elektrisch leitend mit der Leiterbahn verbunden. Abb. 4.8 zeigt ein konventionell angebrachtes und ein oberflächenmontiertes Bauelement. Die Verwendung von oberflächenmontierten Bauelementen bietet einige Vorteile: Aufnahmelöcher für Bauelemente entfallen; die Miniaturisierung der Bauelemente erlaubt höhere Packungsdichten auf der Ober– und Unterseite der Leiterplatte; die maschinelle Bestückung der Leiterplatte mit Bauelementen wird erleichtert.

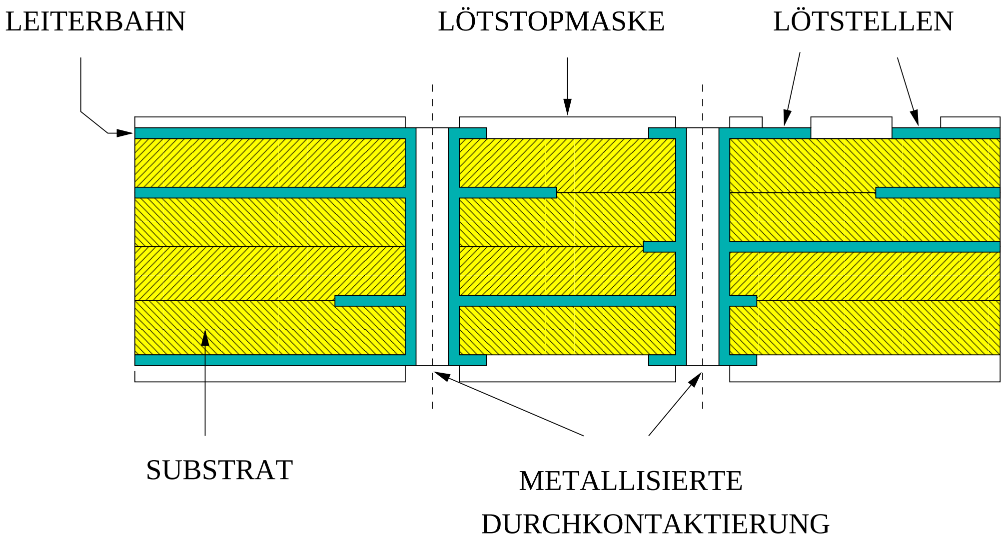

Abb. 4.9: Querschnitt durch eine Mehrlagen–Leiterplatte. SMD–Lötstellen sind eingezeichnet. Die Lötstopmaske läßt nur die Lötstellen frei. [Sau88]

Aufgrund hoher Leiterbahndichten sind Mehrlagen–Leiterplatten üblich. Sie bestehen aus mehreren Schichten Leiterplatten, die durch Isolatorschichten getrennt werden. Die Leiterbahnen der unterschiedlichen Lagen (Layer) sind mittels Durchkontaktierungen (Vias), die aus durchmetallisierten Bohrungen bestehen, leitend verbun-

[20] **T**hrough **H**oles **M**ounted **D**evices.
[21] **S**urface **M**ounted **D**evices.

den. Abb. 4.9 zeigt schematisch einen Querschnitt durch eine Mehrlagen–Leiterplatte. Das Verfahren zur Durchmetallisierung liefert nur bei Epoxid–Glasgewebe–Substrat, das der Gruppe der organischen Werkstoffe mit anorganischer Verstärkung zugeordnet wird, befriedigende Ergebnisse. Die Lötstellenqualität bei bedrahteten Bauelementen ist bei durchmetallisierten Lötstellen besser als bei nichtmetallisierten. Das Epoxid–Glasgewebe–Substrat hat sich daher als Trägermaterial für Mehrlagenkarten durchgesetzt [Sau88]. Auf der Ober– und Unterseite der Leiterplatte wird eine Lötstopmaske aufgebracht, die alle Kupferflächen bis auf die Lötstellen der Bauteile bedeckt. Die Lötpaste fließt beim Erwärmen vorwiegend auf die Lötstellen, was die Wahrscheinlichkeit einer Brückenbildung zwischen den Lötstellen durch erstarrendes Lötzinn minimiert. Ein Bestückungsaufdruck erleichtert die manuelle Bestückung der Karten und die Bestückungskontrolle.

Die Entwicklung eines Leiterplattenlayouts läßt sich in mehrere Entwicklungsabschnitte einteilen. Abb. 4.10 zeigt einen hierarchisch gegliederten Überblick der Entwicklungsschritte. An erster Stelle steht die konzeptionelle Planung der Schaltung, die auf abstraktem Niveau, beispielsweise mit einer Verhaltensbeschreibung der Schaltung, beginnt. Ist die Planung abgeschlossen, werden Bauteile, die die Voraussetzungen des Schaltungsentwurfes erfüllen, aus Datenbüchern ausgewählt. Es wird die Bauform, SMD oder THMD, und die Baugröße der Bauteile festgelegt. Im nächsten Abschnitt wird die Schaltung am Computer mit Hilfe eines CAD–Programms[22], das einen grafischen Schaltungsentwurf ermöglicht, entworfen. Die Bauteile sind symbolisch mit Eingangs– und Ausgangsbeinchen (PINs) dargestellt.

In der Produktdatenbank ist zu jedem Bausteinsymbol ein Decal[23] gespeichert, das die tatsächliche, physikalische Größe und Bauform sowie die Anordnung der Lötstellen der Bausteine wiedergibt. Die Lötstellen der SMD–Bauteile bestehen aus Flächen (Pads), die etwas größer sind als die Anschlußflächen der SMD–Bauteile. Bei THMD–Bauteilen werden die Lötstellen von Durchkontaktierungen gebildet. Die Decals werden im nächsten Arbeitsabschnitt, dem CAD–Leiterplattenlayout benötigt.

Bauteile, die nicht in der Datenbank vorhanden sind, müssen anhand der Informationen in entsprechenden Datenblättern eingegeben werden. Dazu muß ein Bauteilsymbol, ein Decal und die Pinbelegung des entsprechenden Bausteins erstellt und in die Datenbank aufgenommen werden. Im CAD–Schaltungsentwurf werden die Bausteinsymbole gemäß der gewünschten späteren Verdrahtung verknüpft. Diese Verbindungen werden Netze genannt. Den Netzen können Namen gegeben werden, was eine bessere Kontrolle des Schaltplans ermöglicht. Mehrere Netze können zu Bussen zusammengefaßt werden. Sind die Bauteile verknüpft, wird eine ASCII[24]–Netzliste des gesamten Schaltplans erstellt. Darin werden alle Netze und Decals der Bausteine in einem festgelegten Dateiformat angegeben.

Das CAD–Programm[25], mit dem das Layout der Leiterplatte erstellt wird, liest die ASCII–Netzliste ein und stellt die Decals graphisch dar. Innerhalb des Leiterplattenumrisses werden die Decals plaziert. Die schwierigste Aufgabe ist das Verlegen der Lei-

[22] Für diese Arbeit wurde PADS PowerLogic verwendet.
[23] engl: Abziehbild.
[24] **A**merican **S**tandard **C**ode for **I**nformation **I**nterchange.
[25] Für diese Arbeit wurde PADS PowerPCB verwendet.

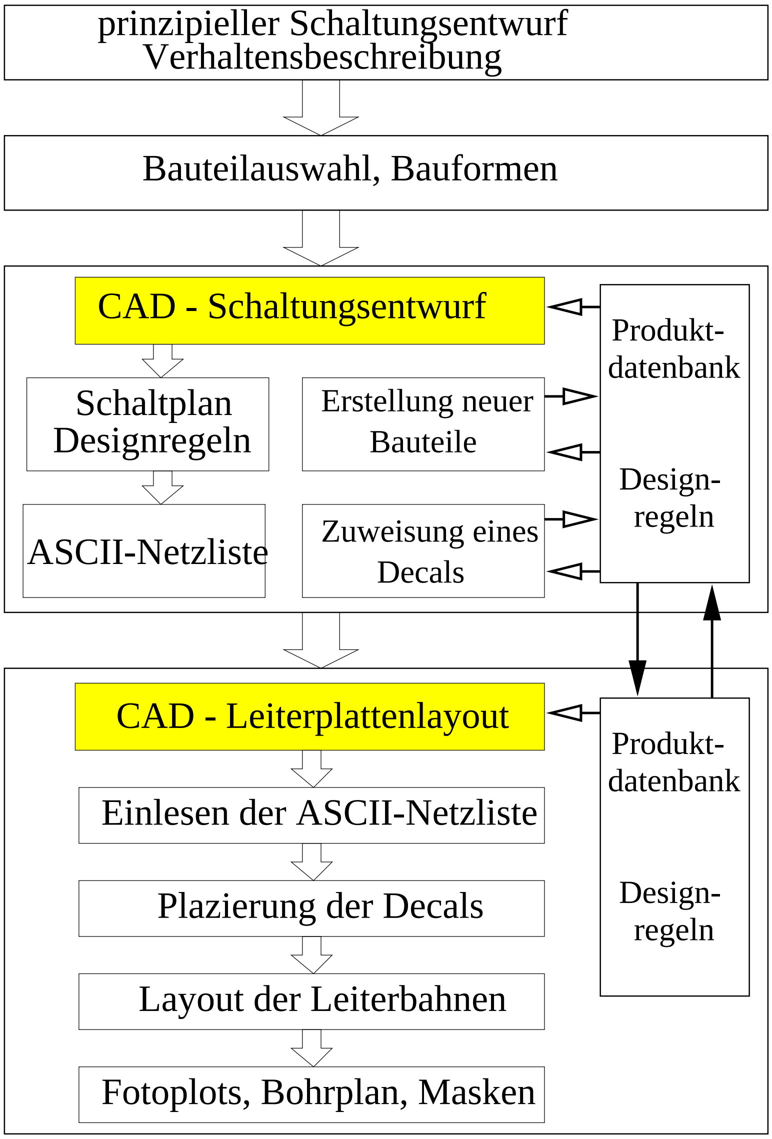

Abb. 4.10: Entwicklungsprozess eines Leiterplattenlayouts im hirarchischen Überblick

terbahnen, die gemäß den Netzen die Lötstellen der Bausteine miteinander verbinden. Um Überschneidungen der Leiterbahnen zu vermeiden, ist es unumgänglich, die Leiterbahnen auf verschiedenen Leiterplattenlagen zu verlegen. Nach Kontrolle des Layouts mit vom jeweiligen Leiterplattenhersteller vorgegebenen Designregeln wird von jeder Leiterplattenlage ein Fotoplot erstellt. Zudem werden in Dateiform ein Bohrplan für die Durchkontaktierungen, eine Lötstopmaske und ein Bestückungsaufdruck für die Ober– und Unterseite der Leiterplatte angefertigt. Diese Unterlagen erhält der Hersteller zur Fertigung.

4.5 Messungen

Ziel der Testmessungen ist es, die konzeptionellen Überlegungen der Datenübertragung zu überprüfen, um aus den Meßergebnissen Erkenntnisse für das Design des PLB zu ziehen oder gar ein geändertes Konzept der Datenübertragung zu erstellen, falls sich dies als nötig erweisen sollte.

4.5.1 Wortgenerator und Logikanalysator

Für die Testmessungen der Datenübertragung wird eine Quelle digitaler Daten auf $\mathcal{O}(60)$ Kanälen bei einer Zeitskala von 20 ns benötigt[26]. Das Analysegerät muß $\mathcal{O}(40)$ Kanäle besitzen, die eine um einen Faktor 4 größere Zeitauflösung haben als das schnellste aufzunehmende Signal, um Signale noch sicher auflösen zu können. Als Datenquelle steht ein Wortgenerator zur Verfügung und als Analysegerät ein Logikanalysator. Beide Geräte werden im folgenden kurz vorgestellt.

Der Wortgenerator besteht aus mehreren Modulen, die in einem Einschubrahmen eingebaut sind. Diese können über eine Schnittstellenkarte von einem PC aus gesteuert werden. Über den PC werden die Daten eingegeben, die an den Ausgängen der Tastköpfe (Probes) erscheinen sollen. Mit einem internen oder externen Taktsignal werden die Daten aus dem Datenspeicher auf die Treiber–Tastköpfe gegeben. Es ist möglich, mit einem intern erzeugten Taktsignal alle 20 ns einen neuen Zustand zu generieren, was einer Taktfrequenz von 50 MHz entspricht. Extern kann der Wortgenerator mit einer Maximalfrequenz von 20 MHz getaktet werden. Es kann eingestellt werden, ob mit positiver, negativer oder beiden Taktflanken des externen Taktsignals die Datenausgabe stattfinden soll. Die Datenausgabe erfolgt über bis zu 8 Treiber–Tastköpfe, die jeweils 8 Datenausgänge und zwei Masseanschlüsse besitzen. Die Ausgangsdaten entsprechen den Spezifikationen von TTL–Signalen. Die Spezifikationen des verwendeten Wortgenerator–Moduls sind Tab. A.1 und Tab. A.3 zu entnehmen.

Der Logikanalysator ist ebenfalls modular aufgebaut und über eine Schnittstellenkarte mit dem PC verbunden. Ein Modul besitzt eine Abtastrate von maximal 100 MHz, ein anderes von maximal 500 MHz. Die zu untersuchenden analogen Signale werden über Anschlußkabel zu den Eingangs–Tastköpfen geleitet, in denen sie digitalisiert werden. Ein Eingangs–Tastkopf besitzt 8 Eingangskanäle und zwei Masseanschlüsse. Der Umschaltpunkt kann für jeden Tastkopf separat eingestellt werden. Es besteht die Möglichkeit, den Logikanalysator extern zu takten. Dem schnellen Logikanalysator–Modul stehen 6 Eingänge zur Verfügung. Alle Meßergebnisse dieser Arbeit zeigen Aufnahmen des schnellen Meßmoduls bei TTL–Eingangsniveaus. Der Startpunkt der Datenaufnahme wird durch eine Triggerbedingung markiert. Es kann auf ein Bitmuster bzw. auf Niveaus eines Eingangskanals getriggert werden. Bei asynchronem Trigger wird mit einem von den Meßdaten unabhängigen Takt aufgezeichnet. Bei der Darstellung der Meßergebnisse muß immer von einem Abtastfehler in der Größenordnung des Abtastintervalls ausgegangen werden. Eine gemessene Zeitdifferenz von x ns liegt daher im Bereich $](x-2)\,\mathrm{ns};(x+2)\,\mathrm{ns}[$. Es handelt sich hierbei also um systematische Fehler. Die Auflösung des Logikanalysators ist somit gleich dem Abtastintervall. Die

[26]Voraussetzungen siehe Kap. 4.5.2

Eigenschaften der Logikanalysator– und Wortgenerator–Module sind in [Sch97] untersucht worden und genügen den Anforderungen der Messungen. Die Spezifikationen des verwendeten Logikanalysator–Moduls sind Tab. A.2 und Tab. A.4 zu entnehmen.

4.5.2 Ansteuerung der AUTOBAHN–Bausteine

Bevor Messungen zur Datenübertragung gestartet werden können, müssen die AUTOBAHN–Bausteine initialisiert und die Kontrollregister konfiguriert werden. Der Wortgenerator fungiert als Zustandsmaschine, die die einzelnen Zustände sequentiell durchläuft. Jeder Zustand besitzt die gleiche Anzahl Ausgangssignale, deren Logikniveaus von Zustand zu Zustand geändert werden können. Die Taktfrequenz, mit der die Daten ausgegeben werden, beträgt 50 MHz. Diese Taktfrequenz muß so gewählt werden, damit das $\overline{STRB}$–Signal beim Schreiben in das Kontrollregister die zulässige Maximaldauer des Signals von 20 ns nicht überschreitet [Mot96a]. Daraus folgt, daß manche Zustände, sog. Wartezustände, mehrmals hintereinander eingenommen werden müssen, um die benötigte Signaldauer zu erreichen. Jeder AUTOBAHN–Baustein benötigt vier Steuersignale , RESET ($\overline{RES}$), REGSEL (REG), READ/WRITE ($R/\overline{W}$) und STROBE ($\overline{STRB}$). Zudem müssen jeweils 16 Bit zur Konfiguration der Kontrollregister bereitgestellt werden. Zur Erklärung der einzelnen Zustände wird die binäre Darstellung der Logikniveaus verwendet. Eine **1** beschreibt ein 'H'–Niveau, eine **0** ein 'L'–Niveau.

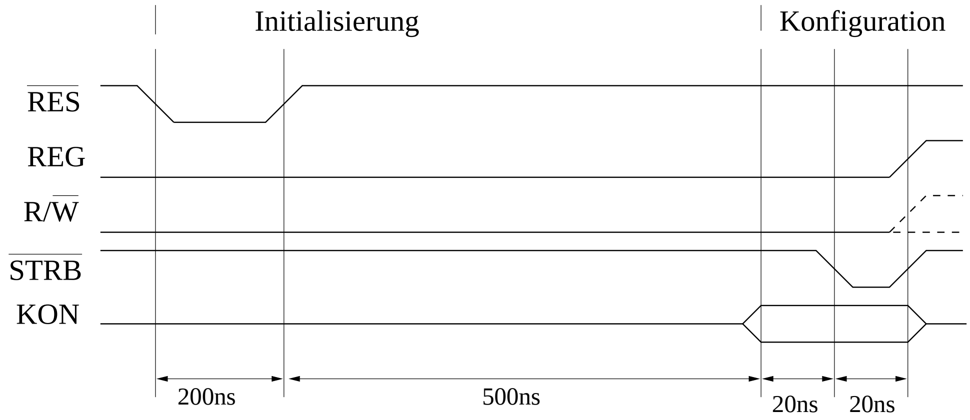

Abb. 4.11: Initialisierung und Konfiguration des AUTOBAHN–Bausteins. Die Steuersignale ($\overline{RES}$, REG, $R/\overline{W}$ und $\overline{STRB}$) sowie die Konfigurationsdaten (KON) werden vom Wortgenerator erzeugt. Das $R/\overline{W}$–Signal wird bei dem Empfänger nach der Konfiguration auf **1** gesetzt: Daten können ausgelesen werden. Bei dem Sender bleibt das $R/\overline{W}$–Signal auf **0**.

In Abb. 4.11 sind die für die Initialisierung und die Konfiguration des AUTOBAHN–Bausteins benötigten Steuersignale dargestellt. Die Initialisierung eines AUTOBAHN–Bausteins beginnt mit dem Setzen des $\overline{RES}$–Signals auf **0**. Das REG– und das $R/\overline{W}$–Signal liegen auf **0**, was bedeutet, daß das Kontrollregister selektiert ist und Daten in das Register geschrieben werden können, wenn das $\overline{STRB}$–Signal auf **0** gesetzt wird. Das $\overline{STRB}$–Signal ist **1**. Die 16 Konfigurationsbits sind **0**. Dieses Bitmuster wird während der folgenden 10 Zustände beibehalten. Das $\overline{RES}$–Signal ist also für 200 ns **0**. Im folgenden Zustand wird das $\overline{RES}$–Signal auf **1** gesetzt. Die Niveaus der anderen Signale bleiben unverändert. Für die folgenden 24 Zustände wird dieses Bitmuster beibehalten. Der AUTOBAHN–Baustein hat 500 ns Zeit, den Grundzustand einzunehmen. Im darauffolgenden Zustand werden die Konfigurationsbits gesetzt. Bei der Konfiguration des Senders ist das 6. Bit **0**, alle anderen **1**, was bewirkt, daß der Timeout–Timer deaktiviert ist. Die Konfigurationsbits des Empfängers liegen alle auf **1**. Für einen Zustand wird das $\overline{STRB}$–Signal auf **0** gesetzt, womit die Daten in das Kontrollregister geschrieben werden. Alle anderen Signale bleiben unverändert. Der nächste Zustand setzt die Konfigurationsbits zurück auf **0**. Die Daten liegen 40 ns an. Nach 20 ns werden sie in das Register geschrieben. Die Setup– und Hold–Zeiten, die deutlich kürzer als 20 ns sind, werden eingehalten. Zur Selektion des Datenregisters wird das REG–Signal auf **1** gesetzt. Das $R/\overline{W}$–Signal bleibt bei dem Sender **0**, da Daten in den AUTOBAHN–Baustein geschrieben werden sollen. Beim Empfänger wird es dagegen auf **1** gesetzt. Daten können aus dem Empfangsregister ausgelesen werden. Die Initialisierung und Konfiguration ist abgeschlossen.

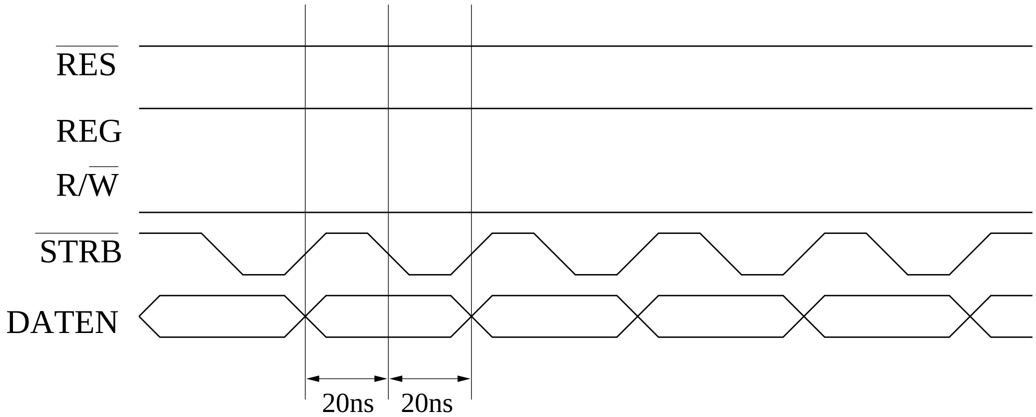

Abb. 4.12: Zwei Zustände werden im Sendebetrieb des AUTOBAHN–Bausteins benötigt. Die Daten liegen 40 ns an den Eingängen des Bausteins an. Das $\overline{STRB}$–Signal wird jeden zweiten Zustand auf **0** gesetzt. Mit der negativen Flanke des Signals werden die Daten in das Senderegister geschrieben.

In Abb. 4.12 sind die Signale eingezeichnet, die im Sendebetrieb zur Datenübertragung benötigt werden. Es sind zwei Zustände nötig, für deren gesamte Dauer die 32 Datenbits gesetzt bleiben, um die Setup– und Hold–Zeiten einzuhalten. Das $\overline{RES}$– und REG–Signal bleibt auf **1**, das $R/\overline{W}$–Signal auf **0**. Das $\overline{STRB}$–Signal ist im ersten Zustand **1** im zweiten **0**. Die Daten werden mit der negativen Flanke des $\overline{STRB}$–Signals in das Senderegister getaktet. Diese zwei Zustände wiederholen sich für jedes Datenmuster, das gesendet wird, womit alle 40 ns ein neues Datenwort übertragen wird.

Die Steuersignale des Empfängers ändern sich nicht. $\overline{RES}$, REG, $R/\overline{W}$ und $\overline{STRB}$ sind **1**. Die Konfigurationsbits sind **0**, weshalb sich die Datenleitungen der 16 Konfigurationsdaten wie bei einer Terminierung mit seriellen Widerständen gegen Masse verhalten.

Die Ausgangssignale des Empfänger–AUTOBAHN–Bausteins können vor und hinter den D–Flip–Flops des Typs 74AS374 gemessen werden. Die Kontrollsignale der AUTOBAHN–Bausteine und das $\overline{STRB}$–Signal des Empfängers werden abgegriffen. Die Masseanschlüsse der Tastköpfe sind mit der Masse der Testkarten verbunden.

4.5.3 Meßergebnisse

Zum Test der Datenübertragung werden ca. 20 verschiedene Meßreihen durchgeführt. Aus Gründen der Reproduzierbarkeit werden alle Meßreihen mehrmals wiederholt. Aus den Messungen sind einige ausgewählt, auf die näher eingegangen wird. Die Ergebnisse der anderen Messungen werden zusammengefaßt und die daraus resultierenden Erkenntnisse erläutert.

Bei den meisten Messungen werden die $FULL$–, $\overline{ERR}$– und $\overline{BUSY}$–Signale der AUTOBAHN–Bausteine zusätzlich zu den übertragenen Daten aufgezeichnet.
Das $FULL$–Signal zeigt an, daß sich Daten im Sende– bzw. Empfangsregister befinden. Der Nachweis beider $FULL$–Signale ist ein Hinweis dafür, daß eine Datenübertragung stattfindet. Das $\overline{BUSY}$–Signal dient ebenfalls diesem Zweck. Wenn das $\overline{BUSY}$–Signal **0** ist, wird angezeigt, daß die serielle Verbindung zwischen den AUTOBAHN–Bausteinen aktiv ist. Ist das $\overline{ERR}$–Signal auf **0** gesetzt, bedeutet dies, daß der AUTOBAHN–Baustein eine Fehlerbedingung registriert hat. Nach der Initialisierung und Konfiguration der AUTOBAHN–Bausteine sind die $FULL$–Signale **0**, die $\overline{ERR}$– und $\overline{BUSY}$–Signale **1**. Während der Datenübertragung wechseln die $FULL$–Signale mit jedem Datenpaket, das übertragen wird von **0** über **1** nach **0**. Die $\overline{ERR}$–Signale sind **1**, die $\overline{BUSY}$–Signale **0**.

Die ersten Messungen, bei denen die Datenbits hinter den D–Flip–Flops abgegriffen werden, zeigen annähernd gleiche Tendenzen. Das $\overline{ERR}$–Signal des Empfängers ist **0**. Bit–Fehler, bei denen einzelne Bits falsch gesetzt sind, treten bei den Datenbits D00 – D15 auf. Störsignale, die an Übersprecheffekte erinnern, treten häufig bei den Datenbits D16 – D31 auf.

Weitere Untersuchungen zeigen, daß die Störsignale nicht auf fehlerhafte Daten oder Übersprechen zwischen den Leitungen zurückzuführen sind, sondern auf einen sporadisch auftretenden Defekt des Logikanalysators, von dem drei Eingänge betroffen sind. An zwei der drei Eingänge sind die Tastköpfe für die Daten D16 – D31 angeschlossen. Messungen nach der Reparatur des Logikanalysators weisen keine Störsignale mehr auf. Zur Untersuchung von Bit–Fehlern der Datenbits D00 – D15, werden die Daten des Empfänger–AUTOBAHN–Bausteins vor und hinter den D–Flip–Flops abgegriffen. Dadurch wird festgestellt, ob die Daten fehlerhaft vom AUTOBAHN–Baustein kommen oder die Fehler beim Takten der Daten in die D–Flip–Flops auftreten. Die Messungen zeigen, daß die Zeit, die die Daten auf den Leitungen vom AUTOBAHN–Baustein zu den D–Flip–Flops gültig sind, sehr unterschiedlich ist. Die Daten auf den terminierten Leitungen D00 – D15 sind (10 ± 4) ns gültig. Die Daten auf den offenen Leitungen D16 – D31 dagegen (38 ± 4) ns. Auf den Leitungen, die nicht terminiert sind, liegen die Daten aufgrund der Leitungskapazitäten so lange an, bis neue Daten vom AUTOBAHN–Baustein auf die Leitungen gegeben werden. Bei den terminierten Leitungen sind die Daten nur für die Zeit gültig, die sie an den Ausgängen des AUTOBAHN–Bausteins anliegen. Durch unterschiedliche Laufzeiten auf den Leitungen werden die Setup– und

Hold–Zeiten der D–Flip–Flops nicht eingehalten, was zu Bit–Fehlern führt. Abb. 4.13 zeigt das zeitliche Verhalten der Daten mit Terminierung. Die Daten sind nur so lange gültig, wie die Ausgänge des AUTOBAHN–Bausteins die Leitungen mit Strom versorgen. Die Leitungskapazität wird über die Wortgeneratorkanäle entladen. Die Daten sind für 10 ns±4 ns gültig. Abb. 4.14 zeigt das zeitliche Verhalten der Daten ohne Terminierung. Die Leitungskapazität wird nicht entladen. Die Daten sind gültig, bis neue Daten vom AUTOBAHN–Baustein auf die Leitungen gegeben werden.

Auf die Terminierung der Datenleitungen wird deshalb verzichtet. Die Anschlußkabel der Wortgenerator–Tastköpfe für die Konfigurationsdaten werden nach der Konfiguration entfernt. Die Leitungen sind offen.

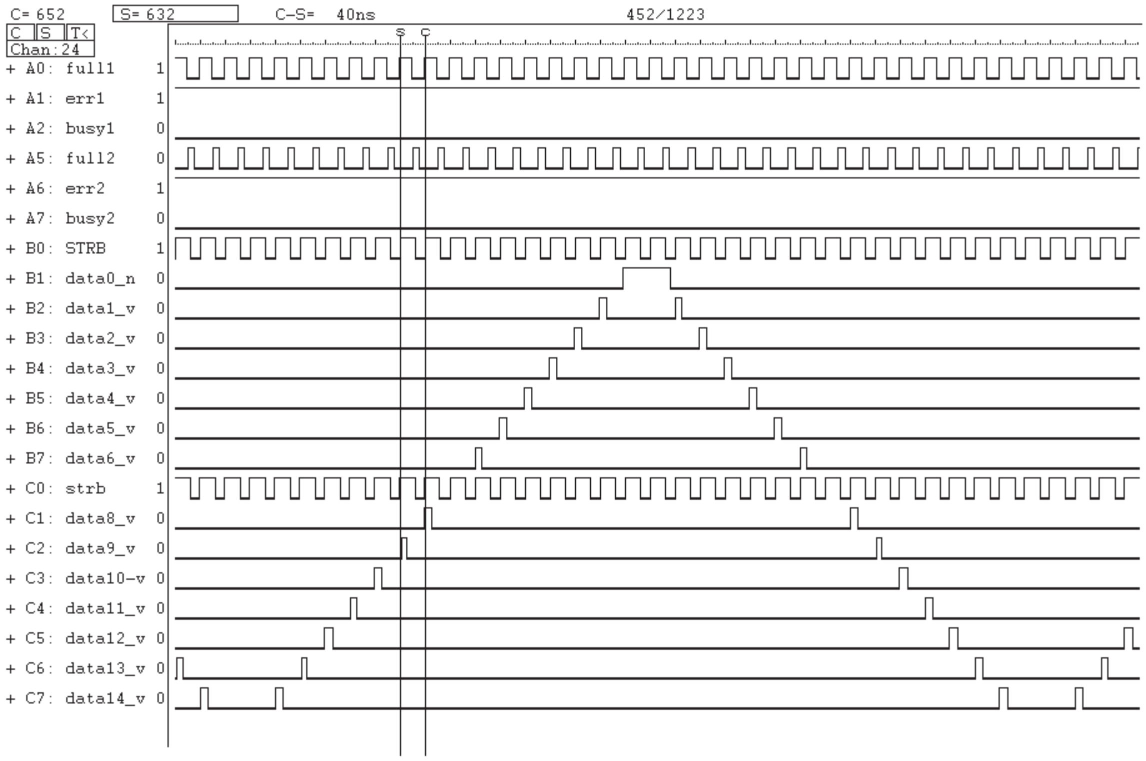

Abb. 4.13: Die Messung zeigt die Daten vor den D–Flip–Flops bei terminierten Datenleitungen. Die Signale sind für 10 ns±4 ns gültig. $data$0-n wird hinter dem D–Flip–Flop abgegriffen. STRB und strb sind das $\overline{STRB}$–Signal, das an den Takteingängen der D–Flip–Flops anliegt. Die mit 1 gekennzeichneten Kontrollsignale gehören zum Sender, die mit 2 gekennzeichneten zum Empfänger. Die Daten werden mit der positiven Flanke des $\overline{STRB}$–Signals gespeichert. Die vertikalen Striche liegen auf zwei Taktflanken, mit denen die Daten in die D–Flip–Flops getaktet werden.

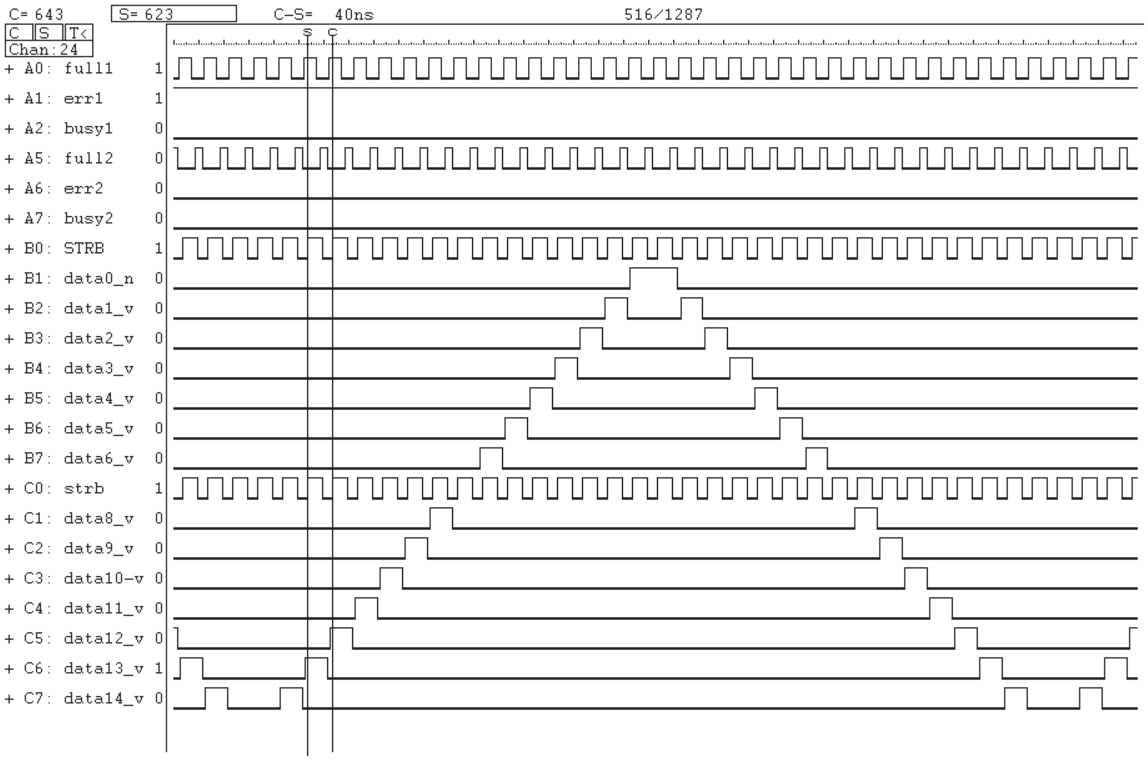

Abb. 4.14: Die Messung zeigt die Daten vor den D–Flip–Flops ohne Terminierung der Datenleitungen. Die Daten sind für 38 ns±4 ns gültig. Das $\overline{ERR}$–Signal des Empfängers ($err2$) ist 0. Der Fehler ist auf das Entfernen der $\overline{STRB}$–Leitung vom Wortgenerator zurückzuführen. STRB und strb sind das $\overline{STRB}$–Signal, das an den Takteingängen der D–Flip–Flops anliegt. Die mit 1 gekennzeichneten Kontrollsignale gehören zum Sender, die mit 2 gekennzeichneten zum Empfänger. Die Daten werden mit der positiven Flanke des $\overline{STRB}$–Signals gespeichert. Die vertikalen Striche markieren zwei Flanken, mit denen die Daten in die D–Flip–Flops gespeichert werden.

Vom Wortgenerator wird das $\overline{STRB}$–Signal auf **1** gehalten. Diesem Signal wird das $\overline{STRB}$–Signal, das der Inverter liefert, überlagert. Der Ausgang der Probe liefert Strom, während der Ausgang des Inverters Strom aufnimmt, wenn das $\overline{STRB}$–Signal **0** ist. Kurzzeitig entsteht ein Kurzschluß, der bei dem sehr sensiblen AUTOBAHN–Baustein zu einer Fehlerbedingung führt. Der Wortgeneratoranschluß der $\overline{STRB}$–Leitung wird ebenfalls entfernt, so daß die $\overline{STRB}$–Leitung auch offen ist. Gerade durch das Entfernen des Kabels, das das $\overline{STRB}$–Signal für die Konfiguration des Empfänger–AUTOBAHN–Bausteins liefert, wird jedoch oft eine Fehlerbedingung erzeugt, die zum Setzen des $\overline{ERR}$–Signals führt. Spannungsschwankungen auf dieser Steuerleitung sind besonders kritisch, da bei der Einstellung der übrigen Steuersignale nach der Konfiguration eine negative Flanke des $\overline{STRB}$–Signals die Auslese des Empfangsregisters bewirkt. Da sich jedoch zu diesem Zeitpunkt noch keine Daten im Empfangsregister befinden, wird das $\overline{ERR}$–Signal gesetzt.

Das Ergebnis einer Messung zum Durchzählen der BX–Nummer auf jeweils 8 Kanälen des AUTOBAHN–Bausteins ist in Abb. 4.15 dargestellt. Die Datenleitungen der Konfigurationsdaten und des $\overline{STRB}$–Signals sind offen. Die Daten werden hinter den D–Flip–Flops abgegriffen, wo sie für (40 ± 4) ns anliegen. Es treten keine Bitfehler auf. Die Daten werden korrekt in die D–Flip–Flops geschrieden. Die $\overline{ERR}$–Signale der AUTOBAHN–Bausteine sind **1**. Die Signalbreite des FULL–Signals beträgt (12 ± 4) ns. T_{STRB} beträgt (16 ± 4) ns.

4.5.4 Zusammenfassung der Meßergebnisse und Schlußfolgerungen

Die konzeptionellen Überlegungen zur Datenübertragung erweisen sich als korrekt. Die empfangenen Daten werden mit der positiven Flanke des $\overline{STRB}$–Signals in die D–Flip–Flops getaktet. Aufgrund der Leitungskapazitäten bleiben die Daten bei offenen Leitungen für (38 ± 4) ns auf den Leitungen gültig. Dies ermöglicht es, längere Setup– und Hold–Zeiten einzuhalten, indem die positive Flanke des $\overline{STRB}$–Signals bzw. das gesamte $\overline{STRB}$–Signal relativ zu den Daten verzögert wird, wodurch die Zwischenspeicherung in D–Flip–Flops entfällt. Die Daten können statt dessen in speziellen Speicherbausteinen, beispielsweise FIFOs[27] oder RAMs[28], gespeichert werden. Die Strobeleitung muß wie eine Busleitung aufgebaut werden, damit das für die Konfiguration benötigte $\overline{STRB}$–Signal nicht die für die Datenübertragung benötigten $\overline{STRB}$–Signale beeinflußt. Busse werden so aufgebaut, daß nur jeweils eine Signalquelle den logischen Zustand der Busleitungen bestimmt.

[27]**F**irst **I**n **F**irst **O**ut.

[28]**R**andom **A**ccess **M**emory.

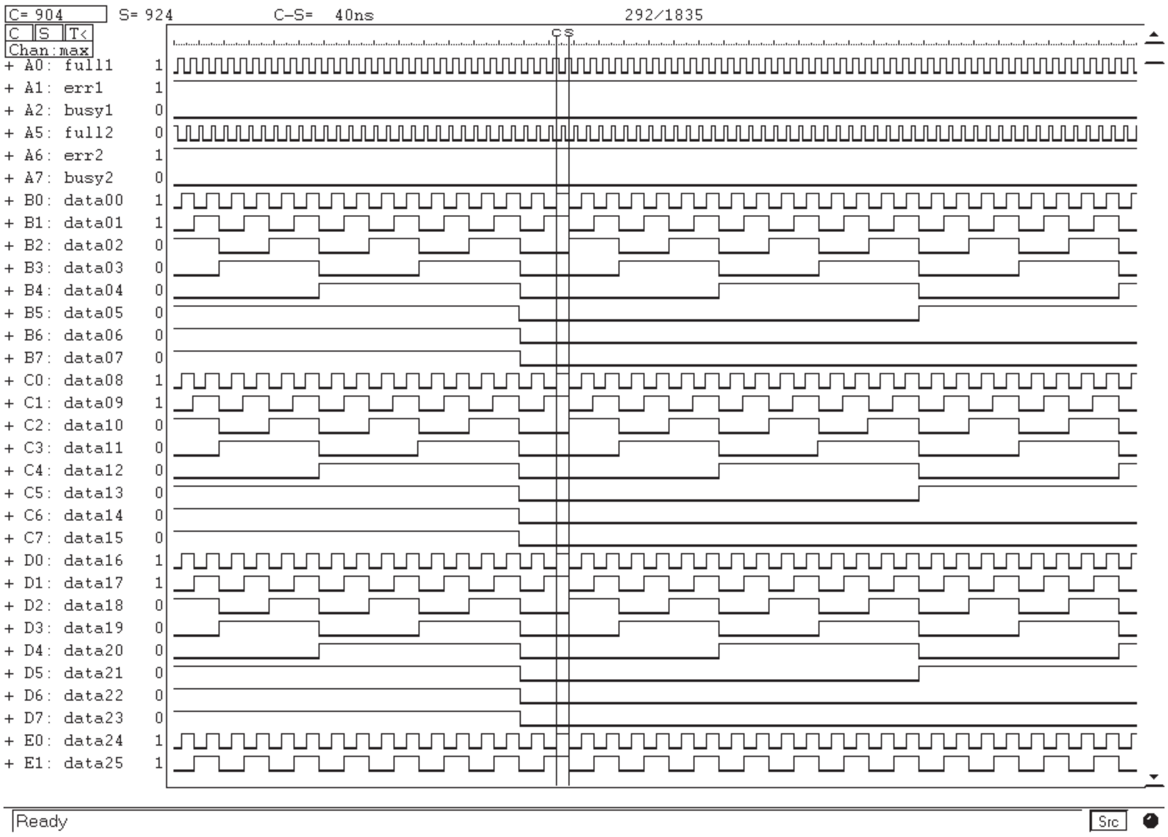

Abb. 4.15: Durchzählen der BX–Nummer auf jeweils 8 Datenleitungen des AUTOBAHN–Bausteins. Die 32 Bit Ausgangsdaten des AUTOBAHN–Bausteins werden korrekt gespeichert. Die $\overline{ERR}$–Signale sind nicht gesetzt. Die Daten sind für 40 ns±4 ns an den Ausgängen der D–Flip–Flops gültig.

Kapitel 5

Das Pretrigger–Link–Board

Für das **HERA-B**–Experiment mußten und müssen Komponenten entwickelt werden, die den speziellen Anforderungen des Detektors und Triggersystems genügen, um eine Zusammenarbeit der einzelnen Subdetektorkomponenten zu ermöglichen. In diesem Rahmen ist diese Arbeit entstanden, deren wesentliche Aufgabe in der Entwicklung und dem Test des Pretrigger–Link–Boards (**PLB**) besteht. Dieses Kapitel beschreibt die Anforderungen an das PLB, die Fertigung und den Test des Prototypen.

5.1 Randbedingungen für die Entwicklung des PLB

Bevor die Daten des Detektors von der Triggerelektronik verarbeitet werden können, durchlaufen sie viele Karten, auf denen Operationen wie z. B. Pulsformung, Logikniveautransformation oder Datenformatierung durchgeführt werden. Das gesamte System ist sehr komplex, weshalb es in einzelne Komponenten mit speziellen Aufgaben zerlegt ist. Dies ermöglicht eine effektivere und schnellere Entwicklung und eine Minimierung oder zumindest Eingrenzung der Fehlerquellen, da die Komponenten einzeln getestet werden können. Die Schnittstellen, an denen die Komponenten miteinander verbunden werden, besitzen spezielle Vorgaben, bezüglich des Datenformats, der Zeitabhängigkeit der Daten und den Hardwarevoraussetzungen, an denen sich die Entwickler der Komponenten zwingend orientieren müssen. Neben den Schnittstellenbedingungen müssen weitere Randbedingungen beachtet werden, die sich aus der Funktionalität, der späteren Lokalisation der Komponenten und den zu verwendenden Bauteilen ergeben. Die Randbedingungen, die bei der Entwicklung des PLB eingehalten werden mußten, werden im folgenden beschrieben.

Die Pretrigger–Link–Boards werden in den FED–Crates untergebracht. Grundvoraussetzung hierfür ist eine kompatible Baugröße der PLBs mit den FED–Karten, woraus eine Kartengröße von $366{,}8 \times 220\,\mathrm{mm}^2$ resultiert. FED–Crates besitzen keine Standard-VME[1]-Backplanes, was berücksichtigt werden muß. Die mittlere der drei zur Verfügung stehenden Backplanes in dem Crate ist an ein Netzgerät angeschlossen und besitzt spezielle Verbindungsstecker[2]: Die Stecker haben größere Stiftdurchmesser als die „Standardsteckerverbinder“ gemäß DIN 41612, um bei hohen Versorgungsströmen

[1] **V**ersa **M**odul **E**urocard.

[2] Harting Messerleiste 24+7 Kontakte.

eine geringere Stromdichte zu erreichen. Über die untere Backplane, gelangt die BX–Nummer und der **HERA**–Takt des FCS über einen 96–poligen VME–Stecker[3] [RF97] zu den einzelnen Karten. Um Kosten für Crates und Karten zu minimieren, sollte jedes PLB die Daten von acht Spalten übernehmen, d. h. 8×32 Bit, die gleiche Datenmenge, die die zugehörige FED–Tochterkarte an den Ausgängen bereitstellt. Über 34–polige Flachbandkabel werden die FED–Tochterkarten mit den Pretrigger–Link–Boards verbunden. Die Zeitabhängigkeit der Daten in Bezug zum **HERA**–Takt ist in Abb. 5.1 wiedergegeben. Die Ausdrücke in Klammern beziehen sich auf diese Abbildung. Bei der ansteigenden Flanke des **HERA**–Takt–Signals (**CLK**) ist die BX–Nummer (**BX #**) bereits gültig, während die Daten vom FED (**HIT pattern**) noch nicht gültig sind. Um

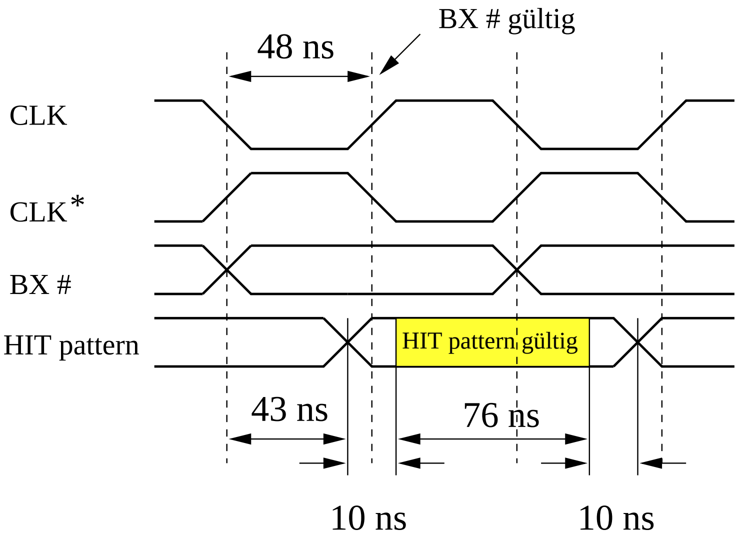

Abb. 5.1: Zeitabhängigkeit der Daten vom FED und FCS. Der **HERA**–Takt besteht aus einem differentiellen Signal, BX # bezeichnet die BX–Nr. und HIT pattern die 32 Bit einer Spalte [Res97c].

die korrekte BX–Nummer zu den Daten zu erhalten, muß die aktuelle BX–Nummer, die das FCS liefert, um eins dekrementiert werden [Res97b]. Durch die Zwischenspeicherung der Daten im FED sind die Daten am FED Ausgang und die BX–Nummer um 1 versetzt. Die Daten der Spalten sollen zur PCU übertragen werden, an deren Eingangsschnittstelle sie in einem definierten Datenformat anliegen müssen. Zusätzlich muß ein Signal bereitgestellt werden, das der anschließenden Logik, die die Daten übernimmt, anzeigt, daß diese für einen gewissen Zeitraum gültig anliegen. Das Datenformat an der Schnittstelle zur PCU ist in Tab. 5.1 aufgelistet. Um einen einheitlichen Entwurf aller seriellen Verbindungen beim **HERA-B**–Experiment zu erreichen, wird zur Serialisierung/Parallelisierung der Daten der AUTOBAHN–Baustein verwendet. Entscheidende technische Kriterien [Res97a] für die Wahl des Bausteins sind die problemlose Ansteuerung mit TTL–Signalen und eine hohe Übertragungsrate von 800 MBit/s. Aufgrund des engen Zeitrahmens, der der Entwicklung und den Tests des PLB–Prototypen gesteckt ist, muß der Prototyp dem endgültigen Design möglichst nahe kommen, wodurch das Testprogramm des Prototypen erschwert wird, da Meßpunkte bzw. Pfostenleisten zum

[3] Steckverbinder nach DIN 41612.

Abgriff der Signale nicht eingebaut werden können. In Tab. 5.2 sind alle genannten Randbedingungen zusammengefaßt.

Tab. 5.1: Belegung des 34–poligen FED–Steckers (*links*) und Datenformat an der Schnittstelle zur PCU, d.h. an den Ausgangspins des AUTOBAHN–Bausteins (*rechts*). Mit ** bezeichnete Daten werden nicht von der PCU benötigt. Sie werden als externe Synchronisationsbits übertragen; siehe Kap. 6. Die Striche symbolisieren ungenutzte Bits. Es sind nur die Ausgangspins der bidirektionalen TTL-Schnittstelle aufgeführt.

Pinbelegung des FED-Steckers	
PIN	Datenbit
1	Data00
2	Data01
3	Data02
4	Data03
5	Data04
6	Data05
7	Data06
8	Data07
9	Data08
10	Data09
11	Data10
12	Data11
13	Data12
14	Data13
15	Data14
16	Data15
17	Data16
18	Data17
19	Data18
20	Data19
21	Data20
22	Data21
23	Data22
24	Data23
25	Data24
26	Data25
27	Data26
28	Data27
29	Data28
30	Data29
31	Data30
32	Data31
33	GND
34	GND

Datenformat an der Schnitstele zur PCU		
PIN	Bit	Daten
34	D00	**
35	D01	Data01
37	D02	Data02
38	D03	Data03
40	D04	Data04
42	D05	Data05
44	D06	Data06
45	D07	Data07
46	D08	**
48	D09	Data09
49	D10	Data10
50	D11	Data11
52	D12	Data12
53	D13	Data13
54	D14	Data14
57	D15	Data15
58	D16	**
60	D17	Data00
61	D18	Data08
62	D19	—
64	D20	—
1	D21	—
2	D22	BX01
4	D23	BX00
5	D24	**
6	D25	BX02
9	D26	BX03
10	D27	BX04
12	D28	BX05
13	D29	BX06
15	D30	BX07
16	D31	ZY

Tab. 5.2: Übersicht über die Randbedingungen für die Entwicklung des Pretrigger–Link–Boards

Schnittstelle zum FED	Zeitabhängigkeit wie in Abb. 5.1; 34–poliger Stecker, Pinbelegung wie in Tab. 5.1
Schnittstelle zur PCU	Datenformat wie in Tab. 5.1; Erzeugung eines Kontrollsignals
Lokalisierung der PLBs in den FED–Crates	366,8×220mm^2 Kartengröße; spezielle Stecker für die mittlere Backplane, die die Karten mit dem Netzgerät verbindet; 96–poliger VME–Stecker für die Verbindung zur unteren Backplane, über die die Karten die BX–Nr. und den **HERA**–Takt erhalten
Funktionalität	Verarbeitung von 8 Spalten; Dekrementierung der BX–Nr. um 1
Zeitrahmen	Prototypdesign möglichst nahe am endgültigen Design
Bauteilvorgabe	Verwendung des AUTOBAHN–Bausteins zur Serialisierung/Parallelisierung der Daten

5.2 Der Pretrigger–Link–Board–Prototyp

Bevor in den folgenden Abschnitten auf die Erzeugung des Datenformats, den Aufbau des PLB–Prototypen und die Funktionalität der Karte eingegangen wird, werden einige für den Schaltungsentwurf wichtige Bausteine kurz beschrieben. Für weitere Informationen zu den einzelnen Bauteilen wird auf die entsprechenden Datenblätter verwiesen.

5.2.1 Bausteine

Das FIFO

In einem FIFO ist der Lese– und Schreibzugriff sequentiell eingerichtet. Anders als bei einem RAM, bei dem auf adressierbare Speicherzellen zugegriffen werden kann, werden die gespeicherten Daten eines FIFOs in der Reihenfolge ausgelesen, in der sie in das FIFO geschrieben werden, da FIFOs vorrangig dort eingesetzt werden, wo mit unterschiedlichen Taktfrequenzen Daten gespeichert und ausgelesen werden. Für die Schaltung des PLB werden zwei FIFO[4]–Typen verwendet. Beide Typen sind synchrone FIFOs, d. h. die Flag–Signale, auf die später eingegangen wird, werden synchron zum Schreib– bzw. Lesetakt gesetzt. Der Baustein mit der Typenbezeichnung IDT72205 besitzt einen 256 x 18 Bit großen Speicherbereich: 256 Datenworte können gespeichert werden. Das IDT72421–FIFO besitzt einen Speicherbereich der Größe 64 x 9 Bit. Die FIFOs sind in CMOS[5]–Technologie hergestellt, besitzen jedoch TTL–kompatible Schnittstellen. Es soll hier nur das 72205–FIFO beschrieben werden,da sich das IDT72421–FIFO in der Ansteuerung nur geringfügig vom IDT72205 unterscheidet. Eine ausführliche Beschreibung der FIFOs ist in [Int96a][Int95] nachzulesen.

Das 72205–FIFO besitzt jeweils ein 18 Bit breites Eingangs– und Ausgangsregister. Daten werden mit der positiven Flanke des Schreibtaktes ($WCLK$) in das Eingangsregister getaktet, wenn dieses für die Datenaufnahme freigeschaltet ist. Die Freischaltung geschieht über das $\overline{WEN}$[6]–Signal. Nur wenn das $\overline{WEN}$–Signal auf 'L'–Niveau ist, können Daten in das Register geschrieben werden. Das Ausgangsregister besitzt eine ähnliche Ansteuerung. Das $\overline{REN}$[7]–Signal gibt den Zugriff auf das Ausgangsregister frei. Wenn das $\overline{REN}$–Signal 'L' ist, werden mit der positiven Flanke des Auslesetaktes ($RCLK$) die Daten in das Ausgangsregister gegeben.

Das FIFO besitzt Tristate–Ausgänge. Tristate–Ausgänge erzeugen nicht, wie der Name vermuten läßt, drei logische Ausgangsniveaus, sondern nur zwei, das 'L'– und das 'H'–Niveau. Zusätzlich besteht die Möglichkeit, daß der Ausgang einen hochohmigen Zustand einnimmt. Ein TTL–Ausgang ohne Tristate–Schaltung besteht aus einer Totem–Pole–Schaltung, wie in Abb. 5.2 (a) dargestellt. Der Transistor T_1 ist der Ansteuertransistor. Die Transistoren T_2 und T_3 bilden die Gegentaktendstufe. Ist T_1 leitend, ist auch T_3 leitend, während T_2 sperrt, d. h. am Ausgang liegt 'L' an. T_3 kann große Ströme aufnehmen. Sperrt T_1, so sperrt auch T_3, T_2 leitet. T_2 ist als Emitterfolger geschaltet, daher können große Ströme fließen, die die Lastkapazität schnell

[4] IDT72205 und IDT72421 der Firma Integrated Device Technology Inc.
[5] **C**omplementary**MOS**.
[6] **W**rite **EN**able.
[7] **R**ead **EN**able.

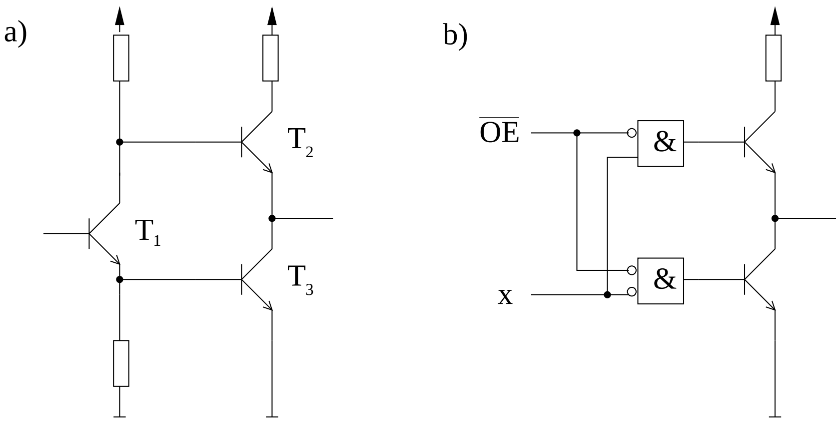

Abb. 5.2: Totem–Pole–Schaltung (a) und Tristate–Schaltung (b) [TS93].

aufladen. Abb. 5.2 (b) zeigt zum Vergleich einen Tristate–Ausgang. Ist das $\overline{OE}$[8]–Signal 'L', so entspricht das Ausgangsniveau dem Niveau am Punkt x. Ist dagegen das $\overline{OE}$–Signal 'H', so sperren beide Transistoren. Der Ausgang befindet sich im hochohmigen Zustand.

Die FIFOs können direkt in eine Busarchitektur integriert werden, da durch die Ansteuerung der Ausgänge sichergestellt werden kann, daß der logische Zustand der Busleitungen nur von einer Quelle erzeugt wird, während alle anderen im hochohmigen Zustand sind.

Das FIFO besitzt mehrere Flag–Signale, die über den Füllstand des Speichers Auskunft geben. Da die Flag–Signale eine wichtige Funktion im späteren Schaltungsentwurf besitzen, werden sie detailliert beschrieben.

$\overline{EF}$–**Signal:** Das Empty–Flag–Signal ($\overline{EF}$) zeigt an, daß das FIFO leer ist. Solange das $\overline{EF}$–Signal 'L' ist, kann nicht aus dem FIFO ausgelesen werden. Das $\overline{EF}$–Signal wird mit der positiven Flanke des $RCLK$–Signals aktualisiert. Bevor das erste Mal Daten aus dem FIFO ausgelesen werden können, muß das $\overline{EF}$–Signal auf 'H' liegen. Abb. 5.3 verdeutlicht diesen Vorgang.

$\overline{FF}$–**Signal:** Wenn das Full–Flag–Signal ($\overline{FF}$) 'L' ist, zeigt dies an, daß der Speicher des FIFOs voll ist. Das $\overline{FF}$–Signal wird mit dem $WCLK$–Signal aktualisiert. Ist das $\overline{FF}$–Signal 'L', können keine Daten mehr in das FIFO geschrieben werden.

$\overline{PAE}$–**Signal:** Das programmierbare Almost–Empty–Flag–Signal ($\overline{PAE}$) ist 'L', solange nicht mehr als n Datenworte im Speicher sind. Sind $n+1$ Datenworte im Speicher, so wechselt es auf 'H'. Das Flag–Signal wird durch das $WCLK$–Signal aktualisiert, ist deshalb asynchron zum $RCLK$–Signal. Die Differenz n kann im sog. OFFSET–Register eingestellt werden. Zum Lesen und Schreiben des OFFSET–Registers muß das Load–Signal ($\overline{LD}$) 'L' sein. Zum Lesen und Schreiben der Datenregister muß $\overline{LD}$ 'H' sein. Das Lesen und Schreiben des OFFSET–Registers erfolgt analog zum Lesen und Schreiben der Datenregister.

[8]**O**utput **E**nable.

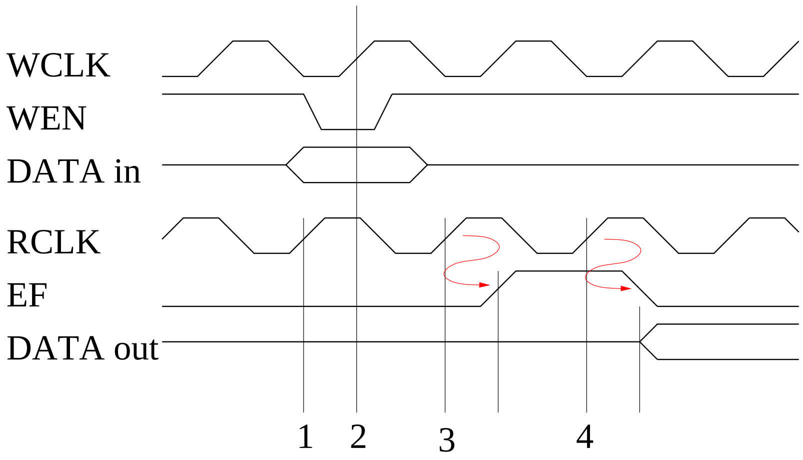

Abb. 5.3: Abhängigkeit des $\overline{EF}$–Signals von den CLK–Signalen. Zum Zeitpunkt der mit 1 markierten Flanke ist das FIFO leer, weshalb $\overline{EF}$ **0** ist. Bei der mit 2 markierten Flanke werden Daten in das Eingangsregister geschrieben. Mit der Flanke 3 wird das $\overline{EF}$–Signal aktualisiert: Da sich nun Daten im Speicher befinden, wird es auf **1** gesetzt. Die Flanke 4 übernimmt die Daten in das Ausgangsregister und aktualisiert gleichzeitig das $\overline{EF}$–Signal. Da der Speicher jetzt wieder leer ist, wird das $\overline{EF}$–Signal wieder auf **0** zurückgesetzt. Die Pfeile zeigen die Abhängigkeit des $\overline{EF}$–Signals von den Flanken des $RCLK$–Signals. [Int96a]

$\overline{PAF}$–**Signal:** Das programmierbare Almost–Full–Flag–Signal ($\overline{PAF}$) ist ‘L’, wenn sich $256-m$ Datenworte im Speicher befinden. Die Zahl m läßt sich im OFFSET–Register einstellen. Im ersten Schreibzyklus wird das Empty–OFFSET–Register beschrieben, im zweiten das Full–OFFSET–Register. Das $\overline{PAF}$–Signal wird durch das WCLK–Signal gesetzt. Zurückgesetzt wird es durch das RCLK–Signal.

Weitere Beschaltungsmöglichkeiten des FIFOs, beispielsweise im Speichertiefen– oder Speicherbreitenerweiterungsbetrieb, werden nicht beschrieben, da diese Funktionen nicht verwendet werden.

16–Bit Treiberbaustein

Der 16–Bit Treiberbaustein[9] ist als Busschnittstelle ausgelegt. Die Signale, die an den 16 Eingangspins anliegen, werden mit einer kurzen Verzögerungszeit T_p von 1,5 ns – 4,1 ns an die Ausgänge weitergegeben. Der Treiber besitzt Tristate–Ausgänge. Jeweils vier der 16 Ausgänge können mittels eines $\overline{OE}$–Signals geschaltet werden. Der Treiberbaustein kann wie ein Schalter eingesetzt werden. Durch den internen Aufbau der Ausgangsschaltung wird die Signalqualität verbessert [Int96b]. Übersprechen und Rauschen werden minimiert.

[9] IDT74FCT162244.

16–Bit Register

Das 16–Bit Register[10] besteht aus zwei 8–Bit D–Flip–Flops. Die Daten, die in dem Zeitfenster der Setup– und Hold–Zeit anliegen, werden mit der positiven Taktflanke gespeichert. Das Register besitzt Tristate–Ausgänge, die über zwei $\overline{OE}$–Signale gesteuert werden [Int96c].

Die Zeiten, die die Bausteine benötigen, um aus einem logischen in den hochohmigen bzw. aus dem hochohmigen in einen logischen Zustand zu gelangen, sind sehr kurz. Sie liegen zwischen 1,5 ns und 8 ns. Für die Realisierung der PLB–Schaltung ist dies wichtig, damit mit ausreichender Geschwindigkeit zwischen den Quellen des Datenbusses umgeschaltet werden kann.

CPLD

Um die sequentielle Logik von Zustandsmaschinen, die neben der Ansteuerung der AUTOBAHN–Bausteine auch die Ansteuerung der meisten anderen Logikbausteine übernehmen, komfortabel und mit der benötigten Taktrate realisieren zu können, werden programmierbare Logikbausteine verwendet. Die Verwendung von programmierbaren Logikbausteinen hat den Vorteil, daß bei Messungen festgestellte, „logische" Fehler des Schaltungsdesigns dann direkt behoben werden können, wenn dies nicht mit einer Änderung der Ein– und Ausgangspins verbunden ist. Bei diskret aufgebauten Schaltungen ist dies nur schwer möglich. Für die Zustandsmaschinen werden Bausteine des Typs EPM7032 der MAX7000 Familie der Firma ALTERA benutzt. Der Baustein besitzt eine CPLD[11]–Architektur. Es befinden sich mehrere PAL[12]–ähnliche Strukturen auf dem Chip, die über eine Schaltmatrix verbunden sind [HRS94].

Die kleinste logische Baugruppe dieser Bausteinfamilie ist die Makrozelle, wie in Abb. 5.4 dargestellt, auf die sich die im folgenden fett gedruckten Ausdrücke beziehen. Sie besitzt eine programmierbare UND–Matrix (**Logic Array**). Fünf Produktterme können über die **Product–Term–Select–Matrix** zur Implementierung von kombinatorischer Logik oder Erzeugung von Steuersignalen genutzt werden. Ein Produktterm kann in das Logic–Array zurückgekoppelt werden. Das Register kann als D–, T–, JK– oder RS–Flip–Flop geschaltet werden. **Expander–Produkt–Terme** werden eingesetzt, wenn mehr als fünf Produktterme benötigt werden.

Abb. 5.5 zeigt ein Blockschaltbild der MAX7000–Bausteine. Die Ausdrücke in Klammern beziehen sich auf diese Abbildung. Kernstück der MAX7000–Architektur ist der Logic–Array–Block (**LAB**) [HRS94], in dem mehrere Markrozellen in einer Matrix angeordnet sind. Die Expanderterme, von denen jeweils einer pro Makrozelle generiert wird, stehen allen Makrozellen des LABs zur Verfügung. Die einzelnen LABs sind über ein Programmable–Interconnect–Array (**PIA**) verschaltet. Durch die PIA–Schaltmatrix sind die Verzögerungszeiten der Signale vorhersagbar.

Das Schaltungsdesign wird mit Hilfe eines speziellen Entwicklungssytems[13] vom PC aus erstellt. Grafische sowie textuelle Eingabemöglichkeiten mittels einer Hardware

[10] IDT74FCT162374.
[11] **C**omplex **P**rogrammable **L**ogic **D**evice.
[12] **P**rogrammable **A**rray **L**ogic.
[13] MAX+PLUS II der Firma ALTERA.

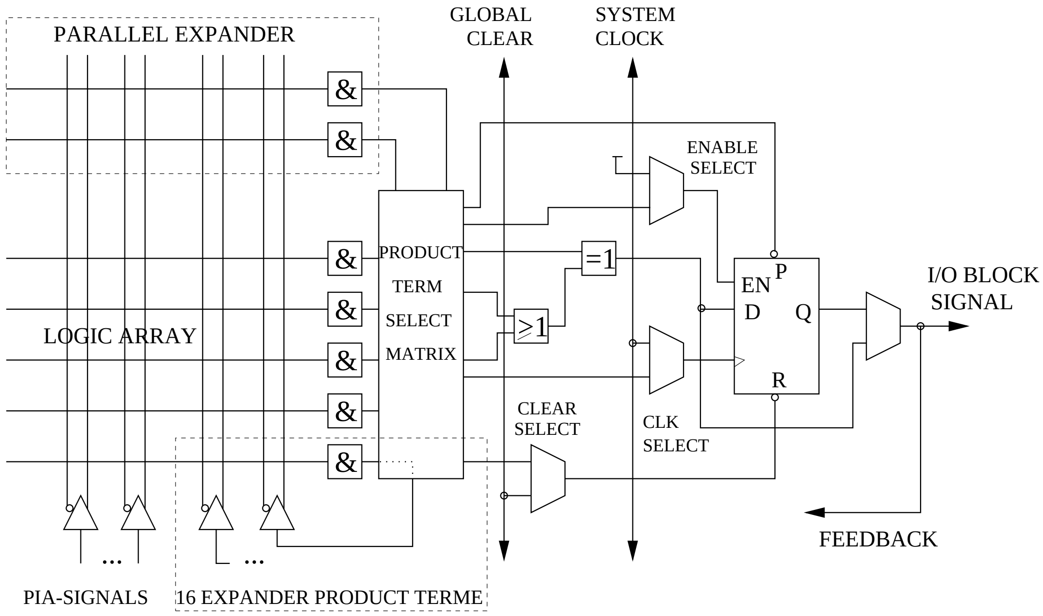

Abb. 5.4: Makrozelle der MAX7000 Familie von ALTERA [HRS94]

Description Language, beispielsweise VHDL, stehen zur Verfügung. Die Simulation des Designs erlaubt die Kontrolle des zeitlichen und logischen Verhaltens der Schaltung. Ein „Fitter–Algorithmus“ plaziert das Design im Baustein. Über eine EDIF–Schnittstelle können Design–Dateien, die mit anderen Entwicklungssystemen erstellt werden, in den Designprozess integriert werden.

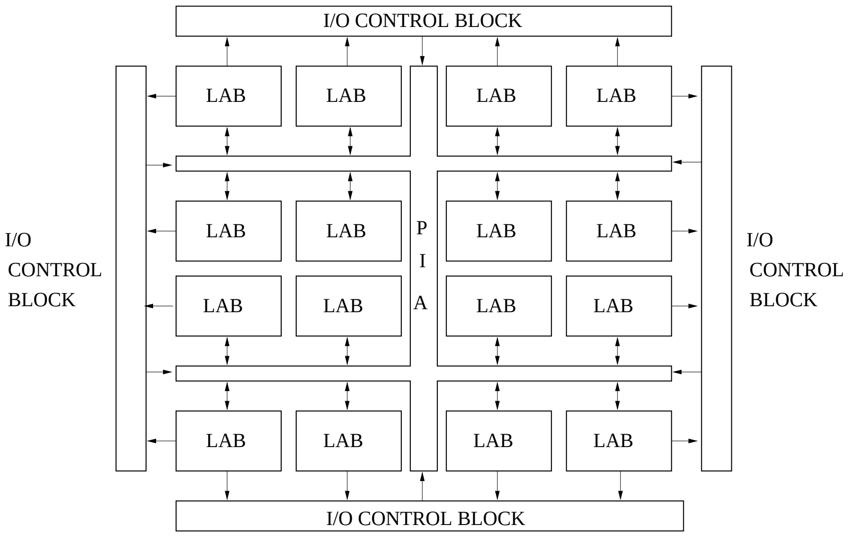

Abb. 5.5: Blockschaltbild der MAX7000 Familie von ALTERA [HRS94]

5.2.2 Erzeugung des Datenformats für die Empfangsschnittstelle der Pretrigger-Coincidence-Unit

In diesem Abschnitt wird die Schaltung beschrieben, mit der auf dem PLB das Datenformat für die Schnittstelle der PCU erzeugt wird. Die Ansteuerung der Logikbausteine durch die Zustandsmaschine wird erläutert. Im letzten Teil werden Meßergebnisse gezeigt und die daraus resultierenden Schlußfolgerungen diskutiert.

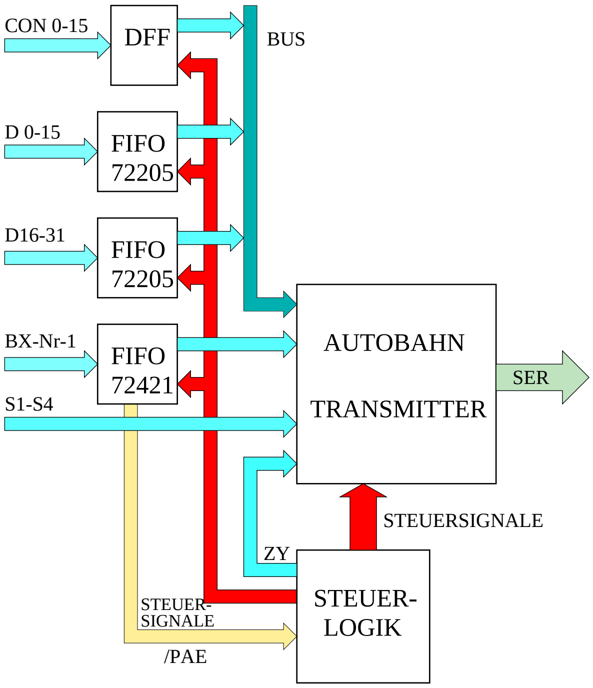

Abb. 5.6: Schematische Darstellung der Schaltung zur Erzeugung des Datenformats der Schnittstelle zur PCU und der Ansteuerung des AUTOBAHN–Bausteins.

Abb. 5.6 zeigt eine schematische Darstellung der Schaltung zur Erzeugung des Datenformats und der Ansteuerung des AUTOBAHN–Bausteins, auf die sich die Ausdrücke in Klammern beziehen. Die Daten, die über einen 34–poligen Stecker vom FED kommen werden in zwei FIFOs des Typs IDT72205 (**FIFO 72205**) getaktet, die ersten 16 Bit in das eine, die zweiten 16 Bit in das andere FIFO (**FIFO 72421**). Bei der Speicherung der MU4–Daten ist zu beachten, daß das letzte Bit der ersten Halbspalte auch für die Koinzidenzbildung im zweiten Zyklus benötigt wird. Da das Bit D16 ein Füllbit ist, welches nicht gespeichert wird, wird statt dessen das Bit D15 als letztes Bit der oberen Halbspalte und erstes Bit der unteren Halbspalte in beiden FIFOs gespeichert. Ein 16–Bit Register (**DFF**), das die Konfigurationsdaten bereitstellt, und die beiden Daten–FIFOs (**FIFO 72205**) bilden die Datenquellen des Busses, der die Daten zum AUTOBAHN–Baustein (**AUTOBAHN TRANSMITTER**) führt. Als Bus–Empfänger dient ein 16–Bit Treiberbaustein. Er ist zwischen den Bus und den

AUTOBAHN–Baustein geschaltet, um Störsignale, die durch das Umschalten der Busquellen entstehen, vom AUTOBAHN–Baustein abzublocken. Die $\overline{OE}$–Signale des Treibers sind auf Masse gelegt. An jedem Ausgangspin des Treibers ist ein 33 Ω–Widerstand seriell in die Leitung eingesetzt. Er bildet mit der Leitungskapazität einen RC–Tiefpaß, der eine Grenzfrequenz von ca. 100 MHz[14] besitzt. Er soll hochfrequente Störimpulse vom AUTOBAHN–Baustein abhalten [Neu97]. Die Daten der um 1 dekrementierten BX–Nummer sind in einem FIFO des Typs IDT72421 gespeichert. An den Ausgängen des FIFOs befinden sich ebenfalls 33 Ω–Widerstände. Ein programmierbarer Logikbaustein des Typs EPM7032 (**STEUERLOGIK**) übernimmt die Ansteuerung des Registers, der FIFOs und des AUTOBAHN–Bausteins. Er liefert auch das Zyklusbit (**ZY**), mit dem die Zyklen gekennzeichnet werden.

Synchroner Automat als Zustandsmaschine

Die Ansteuerung der Logikbausteine weist zum großen Teil einen sequentiellen Ablauf der Steuersignale auf. Die Realisierung dieser Ablaufsteuerung läßt sich durch Verwendung von synchronen Automaten gestalten. Die Automaten sind als Moore– und Mealy–Automaten bekannt [AD95]. Abb. 5.7 zeigt den prinzipiellen Aufbau der beiden Automatentypen. Die fettgedruckten Ausdrücke beziehen sich im folgenden auf Abb. 5.7. Die Automaten bestehen i. a. aus zwei kombinatorischen Teilen und ei-

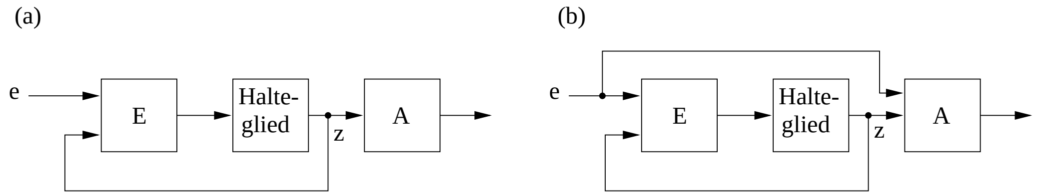

Abb. 5.7: Prinzipieller Aufbau synchroner Automaten: (a) Moore–Automat, (b) Mealy–Automat. Erläuterungen finden sich im Text. [AD95]

nem synchron getakteten **Halteglied**. Externe Signale (**e**) und intern gespeicherte Zustandssignale (**z**) bilden die Eingangssignale des kombinatorischen Teils **E**. Im kombinatorischen Teil **A** werden die Ausgangssignale der Zustände gebildet. Der Mealy–Automat benutzt, im Gegensatz zum Moore–Automaten, zusätzlich die externen Signale zur Erzeugung der Ausgangssignale. Mit jedem Zustand können die Niveaus der Ausgangssignale geändert werden. Die für die Schaltung der Datenübertragung verwendete Zustandsmaschine ist als Moore–Automat realisiert.

Der Quellcode der für die Ansteuerung der Logikbausteine verwendeten Zustandsmaschine, ist in VHDL[15] als Verhaltensbeschreibung programmiert worden. Er wird kompiliert und die Verhaltensbeschreibung mit Hilfe einer Simulation überprüft. Die Synthese erzeugt aus dem Quellcode eine Schaltung, die über die EDIF–Schnittstelle in das Entwicklungssystem der programmierbaren Logikbausteine übernommen wird.

[14] Leitungskapazität $C = 50\,\mathrm{pF}$.
[15] **V**(ery High Speed Integrated Circuit) **H**ardware **D**escription **L**anguage.

In dieser Entwicklungsumgebung werden die Ausgänge der Zustandsmaschine mit D–Flip–Flops beschaltet, die mit demselben Takt, wie die Zustandsmaschine getaktet werden. Die Ausgangssignale werden dadurch erst einen Takt später gültig, werden aber synchron ausgegeben, was für die zeitliche Relation der Signale zueinander wichtig ist. Aufgrund der aufsummierten Gatterlaufzeiten im kombinatorischen Teil **A** der Zustandsmaschine ist dies ohne die nachgeschalteten D–Flip–Flops nicht möglich.

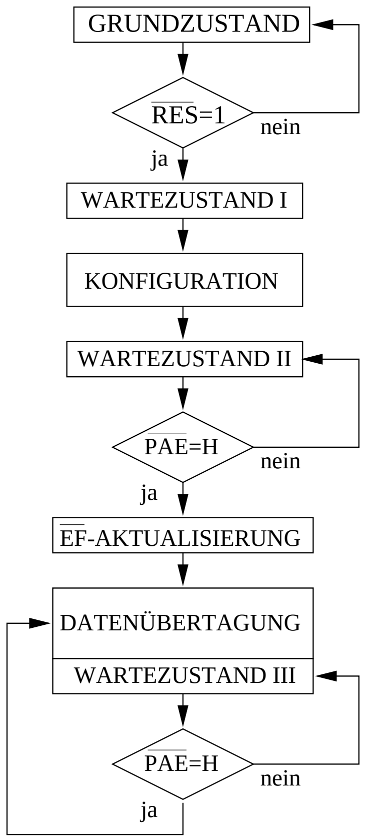

Abb. 5.8: Ablaufdiagramm der Zustandsmaschine, die die Steuersignale der Schaltung Abb. 5.6 erzeugt.

In Abb. 5.8 ist das Ablaufdiagramm der Zustandsmaschine dargestellt. Sie wird mit einem 100 MHz Taktignal betrieben und kann somit alle 10 ns einen neuen Zustand einnehmen. Die Ausdrücke in Klammern beziehen sich in der Folge auf Abb. 5.8.

Solange das Reset–Signal aktiv anliegt (‘L’), befindet sich die Zustandsmaschine im Grundzustand (**GRUNDZUSTAND**). Danach wird für 500 ns ein Wartezustand (**WARTEZUSTAND I**) eingenommen, damit der AUTOBAHN–Baustein sicher in seinen Grundzustand gelangt. Danach beginnt die Konfiguration des Kontrollregisters (**KONFIGURATION**): Gleichzeitig mit dem Taktsignal, das die Konfigurationsdaten in das 16–Bit Register taktet, wird dessen $\overline{OE}$–Signal auf **0** gesetzt. Es dauert maximal 10 ns, bis die Daten an den Ausgängen des Registers gültig sind. Um die Setup–Zeit des AUTOBAHN–Bausteins einzuhalten, wird ein Wartezustand eingenommen. Das $\overline{STRB}$–Signal geht danach für die Dauer eines Zustandes auf **0**. Im nächsten Zustand wird das $\overline{OE}$–Signal und das REG–Signal auf **1** gesetzt. Der AUTOBAHN–

Baustein ist nun zur Aufnahme von Daten in das Senderegister bereit. Die Auslese aus den FIFO–Ausgangsregistern wird freigegeben. Die Zustandsmaschine verharrt danach solange in einem weiteren Wartezustand (**WARTEZUSTAND II**), bis das $\overline{PAE}$–Signal des FIFOs gesetzt wird, jedoch mindestens 100 ns.

Vor der ersten Datenübertragung müssen die $\overline{EF}$–Signale der FIFOs aktualisiert werden, indem die $RCLK$–Signale der FIFOs gesetzt werden (**EF-AKTUALISIERUNG**). Dadurch gehen die $\overline{EF}$–Signale auf **1** und Daten können ausgelesen werden. Die Datenübertragung (**DATENÜBERTRAGUNG**) beginnt mit dem Setzen der $RCLK$–Signale, die die Übernahme der als erstes gespeicherten Daten in die Ausgangsregister der FIFOs bewirken. Die Ausgänge des FIFOs mit den Daten der oberen Halbspalte und die Ausgänge des FIFOs in dem die BX–Nummer gespeichert ist, werden aus dem hochohmigen Zustand geholt. Die Daten der FIFOs sind nach maximal 10 ns gültig. Um die Setup–Zeit des AUTOBAHN–Bausteins einzuhalten, wird das $\overline{STRB}$–Signal erst 20 ns später gesetzt. Danach wird das $\overline{OE}$–Signal des ersten FIFOs zurückgesetzt, was bewirkt, daß die Ausgänge nach maximal 8 ns wieder einen hochohmigen Zustand einnehmen. Einen Takt später wird das $\overline{OE}$–Signal des FIFOs mit den Daten der unteren Halbspalte gesetzt. Es bleibt ebenfalls für insgesamt drei Zustände gesetzt. Um die Setup–Zeit des AUTOBAHN–Bausteins einzuhalten, erfolgt das Setzen des $\overline{STRB}$–Signals erst zwei Zustände später. Ist das $\overline{PAE}$–Signal **0**, so verharrt die Zustandsmaschine im nachfolgenden Zustand (**WARTEZUSTAND III**). Ist das $\overline{PAE}$–Signal **1**, so springt die Zustandsmaschine in den ersten Zustand der Datenübertragung zurück und durchläuft alle Zustände der Datenübertragung, bis sie wieder den Wartezustand (**WARTEZUSTAND III**) erreicht hat. Diese Prozedur wiederholt sich so lange, wie das $\overline{PAE}$–Signal auf **1** gesetzt wird. Die Zustandsmaschine verläßt die Prozedur nur, wenn das Reset–Signal gesetzt wird, was sie veranlaßt, in den Grundzustand zu gehen.

Messungen

Mehrere Meßreihen der Eingangs– und Ausgangssignale der Zustandsmaschine werden mit dem Logikanalysator aufgenommen und auf ihre Reproduzierbarkeit hin überprüft. In Abb. 5.9 ist das Simulationsergebnis[16] der Zustandsmaschine graphisch dargestellt. Die Ausdrücke in Klammern beziehen sich auf Abb. 5.9. Die Konfiguration des AUTOBAHN–Bausteins und der Beginn der Datenübertragung ist zu erkennen. Weder im Simulationsprogramm, noch bei der Einstellung des Logikanalysators konnten die im Text verwendeten Signalnamen verwendet werden. In Klammern sind daher die in den Abbildungen verwendeten Signalnamen aufgeführt. Wenn das $\overline{PAE}$–Signal gesetzt ist (**PAE= 1**) beginnt die Datenübertragung. Vor der ersten Übertragung werden die $\overline{EF}$–Signale mit den kurzen Signalen auf den $RCLK$–Leitungen (**RC1 und RC2**) aktualisiert. Die $\overline{OE}$–Signale (**OE1, OE2, OE3 und OE4**) schalten die Busquellen frei. OE1 gehört zu dem FIFO mit den Daten des ersten Zyklus, OE2 zu dem FIFO mit den Daten des zweiten Zyklus. OE3 gibt das FIFO mit den Daten der um 1 dekrementierten BX–Nummer frei. OE4 ist das $\overline{OE}$–Signal des Registers mit den Konfigurationsdaten. Mit der negativen Flanke des $\overline{STRB}$–Signals (**STR**) werden die Daten in die Register des AUTOBAHN–Bausteins geschrieben. Zum Vergleich wird in

[16] MaxPlus II.

Abb. 5.10 ein Meßergebnis gezeigt. Die Namen der Signale entsprechen denen aus der Simulation. In dem Meßergebnis ist nur der Teil der Datenübertragung dargestellt. Die Zustandsmaschine fragt das $\overline{PAE}$–Signal ab und beginnt mit der Datenübertragung, wenn $\overline{PAE}$–Signal 'H'–Niveau besitzt. Das $\overline{PAE}$–Signal wird bei dem PLB–Prototypen erst nach 31 Schreibzyklen gesetzt. Eine gemeinsame Darstellung der Konfiguration und der Datenübertragung ist daher mit einer schlechteren Zeitauflösung verbunden.

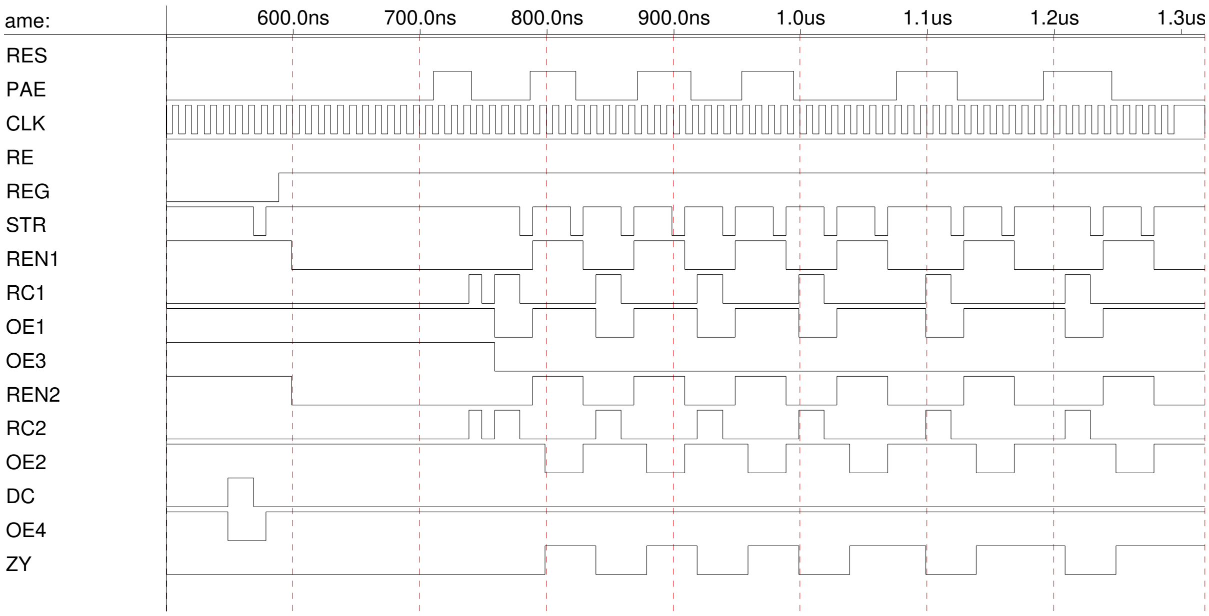

Abb. 5.9: Simulationsergebnis der Zustandsmaschine. Es sind die Eingangssignale RES, PAE und CLK (100 MHz Takt) sowie die von der Zustandsmaschine erzeugten Steuersignale dargestellt. Die mit 1 gekennzeichneten Signale gehören zu dem FIFO mit den Daten der oberen Halbspalte, die mit 2 gekennzeichneten zu dem FIFO mit den Daten der unteren Halbspalte. $OE3$ schaltet die Ausgänge des BX–FIFOs frei. DC und $OE4$ sind die Steuersignale des D–Flip–Flops, das die Daten zur Konfiguration des AUTOBAHN–Bausteins liefert. Vor der ersten Datenübertragung werden die $\overline{EF}$–Signale (nicht dargestellt) mit dem kurzen Signal auf den $RCLK$–Leitungen (RC1 und RC2) aktualisiert. Die $\overline{OE}$–Signale $OE1$, $OE2$ und $OE4$ sind jeweils 30 ns gesetzt. Das $\overline{STRB}$–Signale (STR) wird im letzten Drittel des jeweiligen $\overline{EF}$–Signales gesetzt.

Die Simulations– und Meßergebnisse stimmen überein. Die Ansteuerung der Logikbausteine funktioniert wie gewünscht. Die Zustandsmaschine reagiert auf das $\overline{PAE}$–Signal. Das $\overline{EF}$–Signal muß zu Beginn des Datenübertragungszyklus aktualisiert werden. Da die FIFOs niemals ganz ausgelesen werden, bleiben die $\overline{EF}$–Signale immer 'H'.

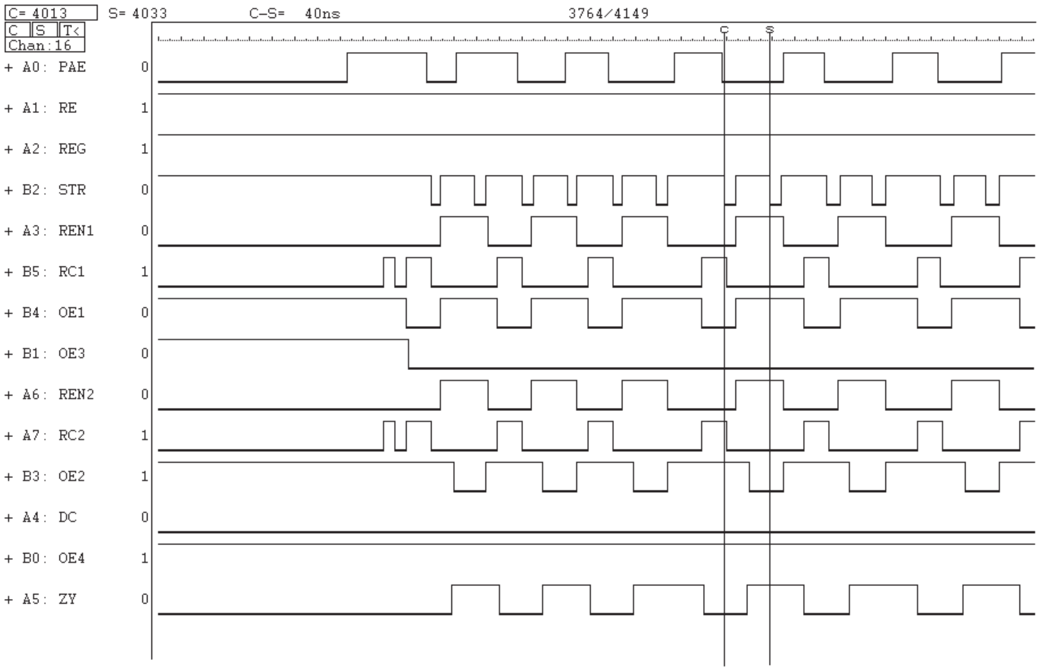

Abb. 5.10: Ausgangssignale der Zustandsmaschine. Die mit 1 gekennzeichneten Signale gehören zu dem FIFO mit den Daten der oberen Halbspalte, die mit 2 gekennzeichneten zu dem FIFO mit den Daten der unteren Halbspalte. $OE3$ schaltet die Ausgänge des BX–FIFOs frei. DC und $OE4$ sind die Steuersignale des D–Flip–Flops. Die Konfiguration ist nicht in dem Datenfenster zu sehen. Da die Datenübertragung mit dem PAE–Signal initialisiert wird, dieses jedoch erst nach 31 Schreibtakten gesetzt wird, ist eine gleichzeitige Darstellung der Konfigurationssignale mit denen der Datenübertragung mit einer schlechteren Zeitauflösung verbunden. Vor der ersten Datenübertragung werden die $\overline{EF}$–Signale (nicht dargestellt) mit dem kurzen Signal auf den $RCLK$–Leitungen (RC1 und RC2) aktualisiert.

Die ursprüngliche Planung der Zustandsmaschine sah vor, auf das $\overline{EF}$–Signal statt auf das $\overline{PAE}$–Signal zu reagieren. Messungen zeigen jedoch, daß die $\overline{EF}$–Signale der einzelnen FIFOs nicht synchron gesetzt werden, wenn das $RCLK$–Signal, mit dem die $\overline{EF}$–Signale aktualisiert werden, und das $WCLK$–Signal, mit dem Daten in die FIFOs geschrieben werden, annähernd gleichzeitig kommen. Aufgrund der Phasenverschiebung zwischen dem Lese– und Schreibtakt, kommt dies häufig vor. Gründe für das asynchrone Verhalten der $\overline{EF}$–Signale sind Laufzeitunterschiede auf den Taktleitungen oder Bauteiltoleranzen der FIFOs. Die Daten werden mit der positiven Flanke des $RCLK$–Signals in das Ausgangsregister des FIFOs getaktet, wenn das $\overline{EF}$–Signal 'H' ist. Ist das $\overline{EF}$–Signal 'L', werden keine Daten in das Ausgangsregister getaktet, stattdessen wird das $\overline{EF}$–Signal aktualisiert. Aufgrund unterschiedlicher Laufzeiten auf den $WCLK$–Leitungen, werden die Daten nicht exakt zur gleichen Zeit in die FIFOs aufgenommen. Fällt das RCLK–Signal genau in dieses Zeitfenster, so besitzen die $\overline{EF}$–Signale unterschiedliche logische Niveaus. Dementsprechend werden mit dem nächsten $RCLK$–Takt in einem Fall Daten ausgelesen, im anderen nur $\overline{EF}$–Signale aktualisiert. Das Meßergebnis in Abb. 5.11 verdeutlicht diesen Vorgang. Mit den kurzen $RCLK$–Signalen sollen die $\overline{EF}$–Signale aktualisiert, mit den langen $RCLK$–Signalen die Daten ausgelesen werden. Das Konzept, die Zustandsmaschine auf das $\overline{EF}$–Signal reagieren zu lassen, wird verworfen, da es nur mit großem Mehraufwand zu realisieren ist. Es müßten die Niveaus der $\overline{EF}$–Signal überprüft und separat auf das Niveau jedes $\overline{EF}$–Signals reagiert werden, wodurch der vorgegebene Zeitrahmen für die Erzeugung des Datenformats überschritten würde.

Das $\overline{PAE}$–Signal wird synchron mit dem $WCLK$–Signal gesetzt. Es kommt asynchron zum $RCLK$–Signal. Wenn sichergestellt wird, daß die FIFOs niemals ganz ausgelesen werden, z. B. indem das $\overline{PAE}$–Signal überprüft wird, so muß nur vor Beginn des ersten Auslesezyklus ein Takt erzeugt werden, der die $\overline{EF}$–Signale auf 'H' setzt. Danach werden die $\overline{EF}$–Signale durch die $RCLK$–Signale aktualisiert, mit denen die Daten ausgelesen werden. Da die FIFOs nie ganz leer sind, bleiben die $\overline{EF}$–Signale 'H'.

Auf dem PLB–Prototypen wurde die Möglichkeit den OFFSET n des OFFSET–Registers zu programmieren, nicht vorgesehen. Der Standardwert für den OFFSET ist auf $n = 31$ eingestellt. Die Datenübertragung beginnt also bei der geschilderten Testmessung erst, wenn das 32. Datenwort in das FIFO geschrieben wird. Das Verhalten der Schaltung sowie die Datenübertragung lassen sich jedoch überprüfen.

Schlußfolgerungen

Die Zustandsmaschine, die die Ansteuerung der Logikbausteine übernimmt, reagiert auf das $\overline{PAE}$–Signal. Durch Verwendung des $\overline{PAE}$–Signals wird garantiert, daß keine Probleme beim Auslesen der FIFOs auftreten. Der OFFSET n für das Setzen des $\overline{PAE}$–Signals muß programmierbar sein. Dies muß bei dem Design des nächsten PLB berücksichtigt werden. n muß so eingestellt werden, daß möglichst wenig Latenzzeit für die gesamte Triggerkette verursacht wird, gleichzeitig jedoch garantiert ist, daß die FIFOs nie ganz ausgelesen werden. Daraus ergibt sich ein idealer Wert von $n = 2$. $n < 2$ führt zu den gleichen Problemen wie bei Verwendung des $\overline{EF}$–Signals, $n > 2$ bedeutet mehr Latenzzeit.

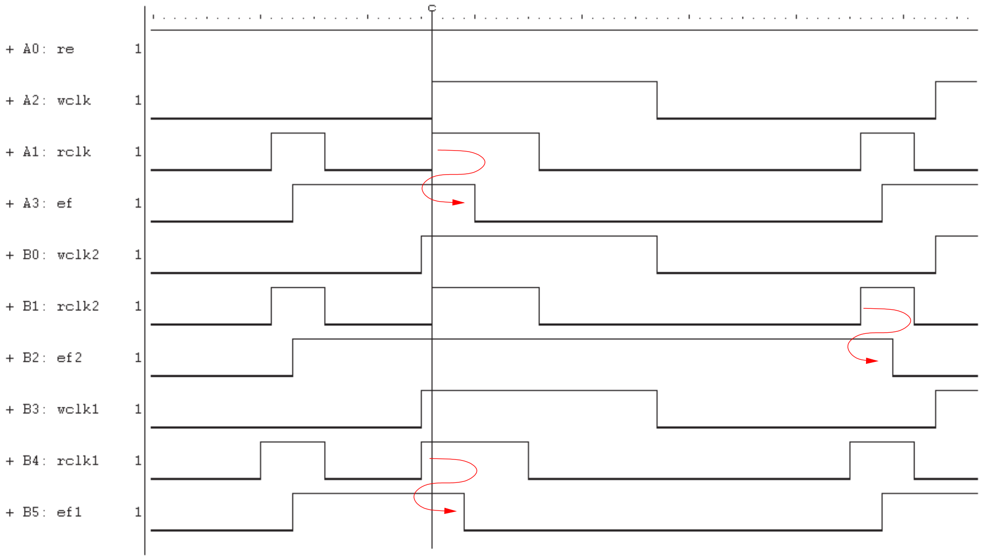

Abb. 5.11: Durch Laufzeitunterschiede auf den Taktleitungen hervorgerufene Unterschiede in den logischen Niveaus der $\overline{EF}$–Signale. Mit dem kurzen $RCLK$–Taktsignal wird das $\overline{EF}$–Signal aktualisiert, mit dem langen $RCLK$–Taktsignal werden die Daten ausgelesen und das $\overline{EF}$–Signal aktualisiert. Nur bei dem mit 2 gekennzeichneten FIFO kommt das $WCLK$–Signal ausreichend früh, damit das FIFO bei Erhalt des $RCLK$–Signals erkennt, daß bereits wieder Daten im Speicher sind. Mit dem nächsten $RCLK$–Takt werden Daten aus dem FIFO 2 ausgelesen, während die $\overline{EF}$–Signale der anderen beiden FIFOs ihr logisches Niveau ändern und somit erst mit dem darauffolgenden Takt Daten aus diesen FIFOs ausgelesen werden können.

5.2.3 Erzeugung des WCLK–Signals für die FIFOs

Alle 96 ns passiert ein Protonpaket das Target des **HERA-B** Experimentes. Mit einer Frequenz von 10,4 MHz werden Daten vom FED bereitgestellt, die vom PLB übernommen werden müssen. Allerdings ist 10,4 MHz keine gängige Taktfrequenz kommerziell zu erwerbender Quarzbausteinen. Selbst bei Verwendung eines Schwingquarzes, der eine Frequenz von 10,4 MHz besitzt, bedeutet eine Synchronisation des Taktes zu den Daten einen nicht zu unterschätzenden Aufwand, da sichergestellt werden muß, daß auf jedem PLB zwischen Daten und Takt immer die gleiche Phasenbeziehung besteht. Abb. 5.1 zeigt die Zeitabhängigkeit der Daten und der BX–Nummer im Vergleich zum **HERA**–Takt. Das **HERA**–Taktsignal besteht aus einem differentiellen TTL–Signal (CLK, CLK^*). Es wird vom FCS zusammen mit der BX–Nummer bereitgestellt. Es liegt nahe, das **HERA**–Taktsignal als $WCLK$–Signal zu verwenden. Die BX–Nummer wird mit der positiven Flanke des CLK–Signals in ein Register getaktet. Das CLK–Signal wird mit einer Verzögerungsleitung um $\Delta t = 30\,\text{ns}$ verzögert, so daß mit der positiven Flanke des Signals die Daten vom FED und die BX–Nummer in FIFOs geschrieben werden können. Dieses verzögerte CLK–Signal wird also als $WCLK$–Signal verwendet, das CLK^*–Signal als $\overline{WEN}$–Signal. Abb. 5.12 zeigt die Zeitabhängigkeit der Daten und der BX–Nummer in Referenz zum $WCLK$– und $\overline{WEN}$–Signal. Abb. 5.13 zeigt eine Messung des CLK– und des daraus resultierenden $WCLK$–Signals.

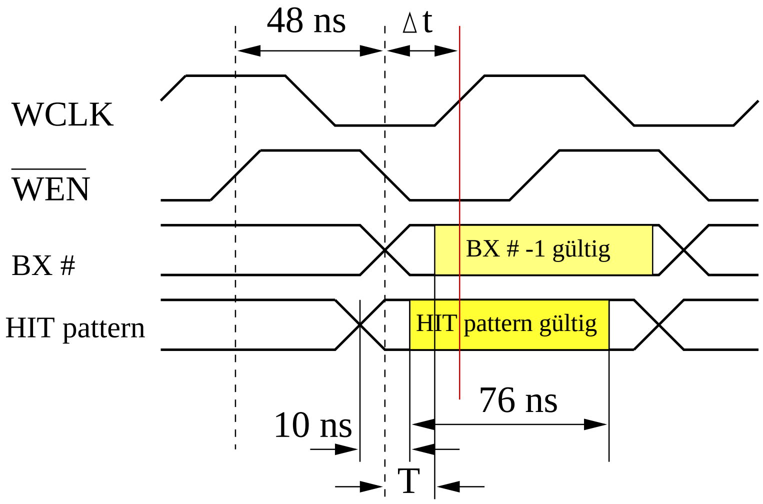

Abb. 5.12: $WCLK$– und $\overline{WEN}$–Signal in Relation zu den Daten und der BX–Nummer. Das CLK–Signal wird um Δt verzögert. Die Zeit T wird benötigt, um die BX–Nummer um 1 zu dekrementieren.

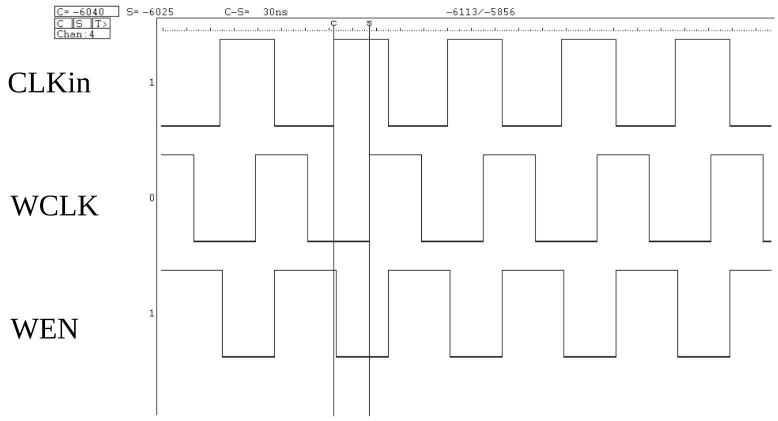

Abb. 5.13: Das CLK–Signal (CLKin) des **HERA**–Taktes wird um 30 ns verzögert und bildet das $WCLK$–Signal der FIFOs. Das CLK^*–Signal wird als $\overline{WEN}$–Signal verwendet.

5.2.4 Dekrementieren der BX–Nummer um 1

Aufgrund der Zwischenspeicherung der MU3– und MU4–Pad–Daten im FED, sind die Daten in Referenz zur aktuellen BX–Nummer um eine BX–Nummer zurückversetzt. Um die Daten mit der korrekten BX–Nummer markieren zu können, muß die aktuelle BX–Nummer, die das FCS liefert, um 1 dekrementiert werden.

Um diese Aufgabe schaltungstechnisch zu realisieren, werden ALUs[17] verwendet. ALUs können für einen weiten Bereich arithmetischer Berechnungen mehrstelliger Binärzahlen eingesetzt werden. Über Steuersignale kann die gewünschte arithmetische Operation eingestellt werden. Die verwendete ALU des Typs 74AS181 ist zur Verarbeitung zweier 4–Bit–Zahlen ausgelegt. Sie besitzt vier Ausgänge und einen Übertrag in die nächste Stelle. Zur Berechnung 8–stelliger Binärzahlen werden zwei ALUs benötigt. Der Übertrag der ersten ALU wird an die zweite weitergegeben. Da die ALUs aus kombinatorischer Logik aufgebaut sind, kann die zweite ALU erst einen gültigen Wert liefern, wenn der Übertrag der ersten ALU feststeht. Diese Form, des seriellen Transports des Übertrags zur nachfolgenden ALU, nennt man „Ripple Carry“. Um die Rechenzeit bei der Verarbeitung vielstelliger Dualzahlen zu verkürzen, wird statt des Ripple Carry eine parallele Übertragslogik, „Carry look–ahead“, verwendet [TS93].

Eine der arithmetischen Funktionen, die die ALU berechnen kann, ist das Dekrementieren einer Zahl um 1. Die BX–Nummer besteht aus einer 8–Bit–Zahl, weshalb zwei ALUs mit Ripple Carry verwendet werden. Die Gatterlaufzeiten der AS–TTL–Familie sind sehr kurz. Messungen zeigen, daß die um 1 dekrementierte Zahl nach maximal 14 ns gültig an den Ausgängen der ALUs anliegt. Das Meßergebnis in Abb. 5.14 zeigt die BX–Nummer an den Eingängen und die um 1 dekrementierte BX–Nummer an den Ausgängen der ALUs. Die dekrementierte BX–Nummer ist 20 ns$\pm$4 ns bevor sie in die FIFOs getaktet wird gültig, so daß die Setup–Zeiten der FIFOs eingehalten werden.

[17] **A**rithmetic **L**ogic **U**nit.

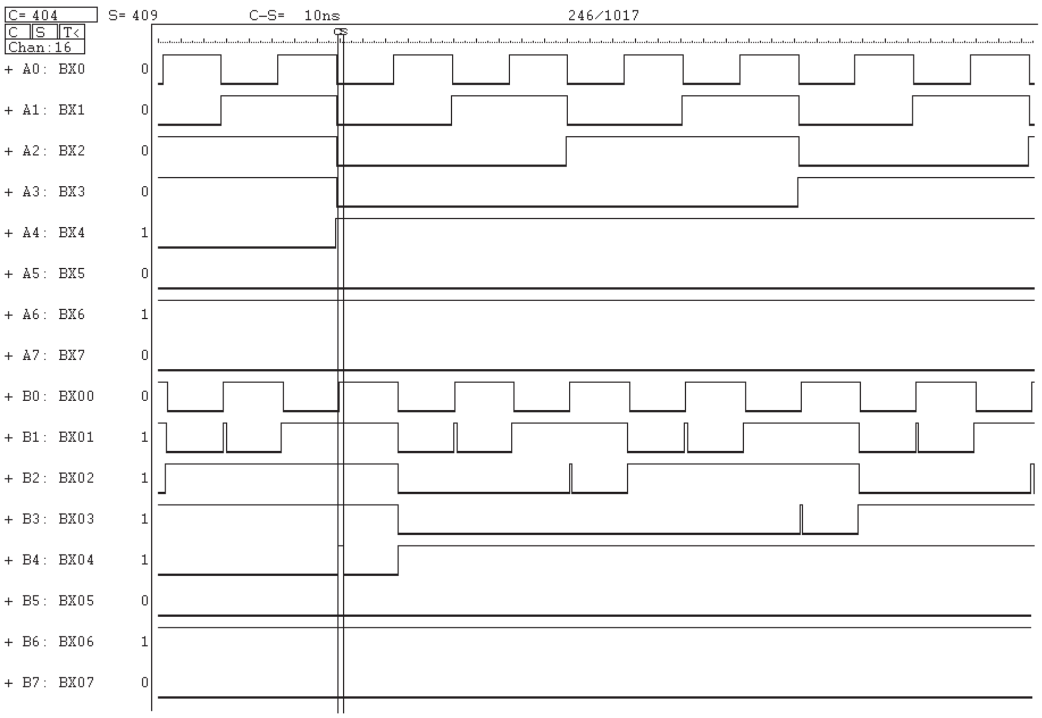

Abb. 5.14: BX–Nummer an den Eingängen $(BX0-7)$ der ALUs und die dekrementierte BX–Nummer an den Ausgängen $(BX00-07)$. Aufgrund der kombinatorischen Logik, ist die dekrementierte BX–Nummer nach maximal 14 ns gültig. Die senkrechten Striche markieren einen Zeitraum, in dem die dekrementierte BX–Nummer noch nicht gültig ist.

5.2.5 Terminierung der Taktleitungen

Störsignale und Reflexionen auf den Taktleitungen zu den Bausteinen sind sehr kritisch, da die Schreib– und Lesetakteingänge der verwendeten Bausteine flankensensitiv sind. Die eleganteste Möglichkeit, Reflexionen zu vermeiden, beteht darin, die Leitungen mit ihrer charakteristischen Impedanz abzuschließen. Es ist jedoch oft nicht möglich, die charakteristische Impedanz der Leitungen auf der Leiterplatte festzustellen. Eine alternative Möglichkeit, Reflexionen zu vermeiden, besteht darin, die Leitungen über serielle Widerstände auf ein Potential in der Nähe des Umschaltpunktes zu legen. Schaltflanken können schnell den Umschaltpunkt überschreiten, ohne durch die Leitungskapazität behindert zu werden. Die Schaltung, die das Referenzpotential erzeugt, muß dabei als Stromquelle und als Stromsenke dienen können, um den benötigten Strom abzugeben oder aufzunehmen. Eine Schaltung, die diese Funktion erfüllt, ist von A. Wurz [Wur] entwickelt worden. Sie ist in Abb. 5.15 dargestellt.

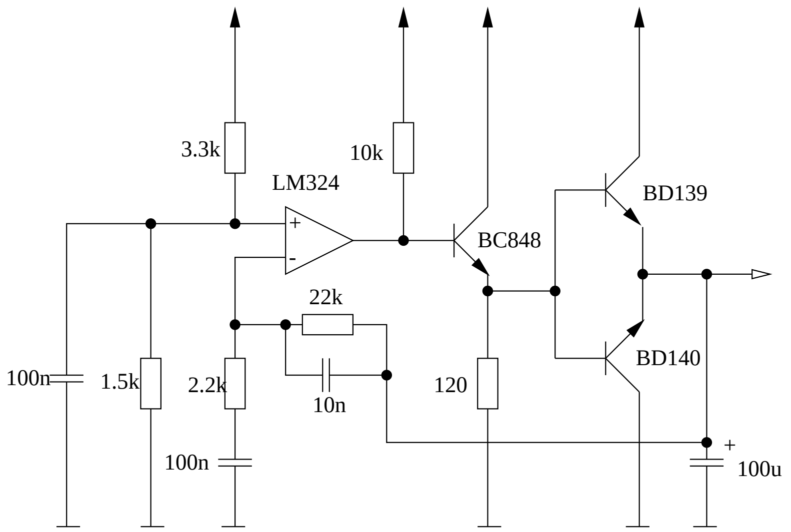

Abb. 5.15: Schaltung zur Terminierung der Taktleitungen auf einem Spannungsniveau in der Nähe des Umschaltpunktes. [Wur]

Ein Operationsverstärker wird zur Einstellung des Spannungsniveaus benutzt. Über einen Emitterfolger gelangt das Ausgangssignal des Operationsverstärkers an die Basen der Ausgangsstufe, die aus einem NPN– und einem PNP–Transistor gebildet wird. Durch den Einsatz der komplementären Transistoren kann Strom sowohl aufgenommen als auch abgegeben werden. Von den Emittern der Ausgangsstufe wird die Spannung auf den Operationsverstärker zurückgekoppelt. Der Elektrolytkondensator dient zur Stabilisierung der Spannung.

5.2.6 Aufbau des Pretrigger–Link–Board

Das PLB besitzt eine Kartengröße von 366,8×220 mm^2. Gemäß den Randbedingungen der Entwicklung sollen 8×32 Bit Daten vom FED übernommen werden. Die Schaltung zur Erzeugung des Datenformats für die Schnittstelle zur PCU muß daher 8 mal auf der

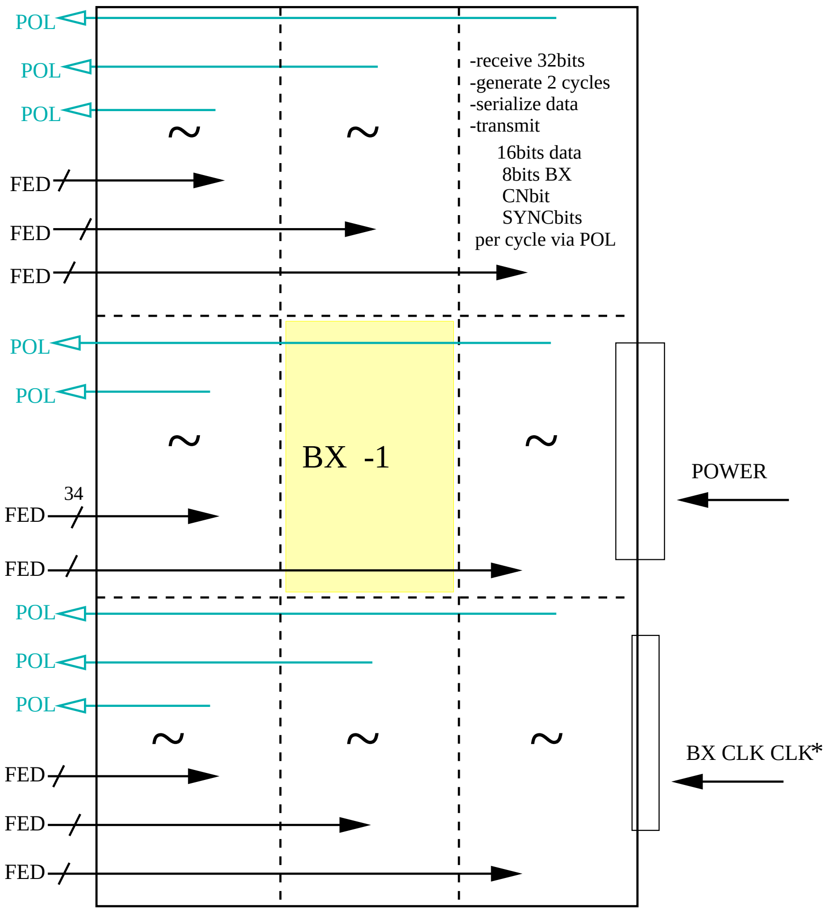

Abb. 5.16: Schematische Darstellung des PLB. Im Zentrum der Karte befinden sich die Komponenten zur Erzeugung des $WCLK$–Signals und die ALUs, mit denen die BX–Nummer um 1 dekrementiert wird. Die 8 Felder , die um das Zentrum herum angeordnet sind, zeigen die Plazierung der 8 Schaltungen zur Erzeugung des Datenformats und der Datenübertragung. Die dargestellte Topologie stimmt mit der Anordnung der Schaltungen auf dem PLB überein.

Karte plaziert werden. Insgesamt sind auf dem PLB über 90 Logikbausteine, 130 Widerstände und 250 Kondensatoren untergebracht. Das PLB besitzt 6 Leiterbahnlagen. Zwischen jeweils zwei Leiterbahnlagen sind Masse– oder Versorgungsspannungsebenen gelegt. Sie bestehen aus verkupferten Substratlagen, die neben der Versorgung der Bauteile mit Masse bzw. Spannung als Abschirmung zwischen den Leiterbahnlagen dienen. Der Schaltplan des PLB–Prototypen und das Layout der Ober– und Unterseite sind in Anhang C und Anhang F zu finden. Abb. 5.16 zeigt schematisch die Funktionsweise der Karte. Die Karte läßt sich in neun Teilbereiche, drei Spalten und drei Zeilen, gliedern. In der Mitte der Karte befinden sich die Komponenten zur Erzeugung des $WCLK$–Signals sowie die ALUs zum Dekrementieren der BX–Nummer. Um das Zentrum herum sind die 8 Schaltungen zur Erzeugung des Datenformats und die AUTOBAHN–Bausteine plaziert. Der Stecker für die Spannungsversorgung befindet sich in der mittleren Zeile der Karte. Über den unteren Backplanestecker gelangt die BX–Nummer und das differentielle **HERA**–Takt–Signal auf die Karte. Die Signale werden über einen Treiberbaustein in das Zentrum geführt. Das $WCLK$– und das $\overline{WEN}$–Signal werden auf Taktverteiler–Bausteine gegeben, von denen sie sternförmig zu den FIFOs gelangen. Die Leitungen der BX–Nummer werden, ausgehend von einem Treiberbaustein, der die Signale von den ALUs aufnimmt, an den FIFOs, die die um 1 dekrementierte BX–Nummer aufnehmen sollen, vorbeigeführt. Die 34–poligen Stecker, über die die Signale vom FED auf das PLB gelangen, befinden sich auf der Oberseite der Karte, sehr nahe an den Daten–FIFOs. Die SMA–Stecker, an die die Koaxialkabel zur Übertragung der seriellen Daten des AUTOBAHN–Bausteins angeschlossen werden, befinden sich auf der Unterseite der Karte. Der Sender, der die seriellen elektrischen Signale des AUTOBAHN–Bausteins in optische Signale umwandelt, wird als Aufsteckkarte realisiert. Eine umfassende Erläuterung des POL findet sich in Kap. 7. Die Sockel, mit denen die Aufsteckkarten auf dem PLB fixiert werden, befinden sich ebenfalls auf der Unterseite. Das Reset–Signal wird mit Hilfe einer astabilen Kippstufe erzeugt. Es gelangt sternförmig zu allen Zustandsmaschinen, von wo es an die einzelnen Bausteine verteilt wird.

Messungen

Zum Test der Datenübertragung der 8 Kanäle des PLB wird ein Meßaufbau gemäß Abb. 5.17 eingerichtet. Die BX–Nummer und der **HERA**–Takt werden von einer FCS–Emulatorkarte generiert. Die FCS–Emulatorkarte und das PLB befinden sich in einem Crate. Die 32 Bit Eingangsdaten werden mit dem Wortgenerator, der extern mit der positiven Flanke des CLK–Signals der FCS–Emulatorkarte getaktet wird, erzeugt. Über Koaxialkabel werden die seriellen Daten jeweils eines Kanals auf die Empfängerkarte gebracht, mit der die konzeptionellen Überlegungen zur Datenübertragung getestet wurden; siehe Kap. 4. Die empfangenen Daten werden mit dem Logikanalysator untersucht. Es werden ca. 40 Meßreihen aufgenommen, die mehrmals wiederholt werden, um die Reproduzierbarkeit der Ergebnisse sicherzustellen. Es werden vier unterschiedliche Datenmuster pro Kanal übertragen. Die Abbildungen 5.18, 5.19, 5.20, 5.18 zeigen Meßergebnisse der Datenübertragung mit den vier verwendeten Datenmustern. Bei allen Abbildungen sind die gleichen Signalleitungen dargestellt. Aufgrund der regelmäßigen Datenmuster kann schnell erkannt werden, ob die Datenübertragung fehlerfrei funktioniert oder ob Fehler auftreten.

Die Erzeugung des Datenformats sowie die Datenübertragung funktionieren bei sieben der acht Kanäle des PLB einwandfrei. Die Datenübertragung des 8. Kanals ist fehlerhaft. Das Datenmuster, das der Empfänger ausgibt, ist vollkommen unkorreliert zum Eingangsdatenmuster auf dem PLB. Die Steuersignale und Eingangsdaten des AUTOBAHN–Bausteins sind korrekt, trotzdem werden die Daten nicht korrekt übertragen. Dies läßt folgern, daß der Fehler im oder hinter dem AUTOBAHN–Baustein auftritt. Der AUTOBAHN–Baustein ist in der Nähe des Spannungsversorgungssteckers plaziert. Das fehlerhafte Verhalten kann durch Stromschwankungen in der Nähe des Steckers hervorgerufen werden. Durch Stichleitungen verursachte Reflexionen, zu lange Signalleitungen oder unsauberes Auflöten des AUTOBAHN–Bausteins sind ebenfalls als Ursachen denkbar.

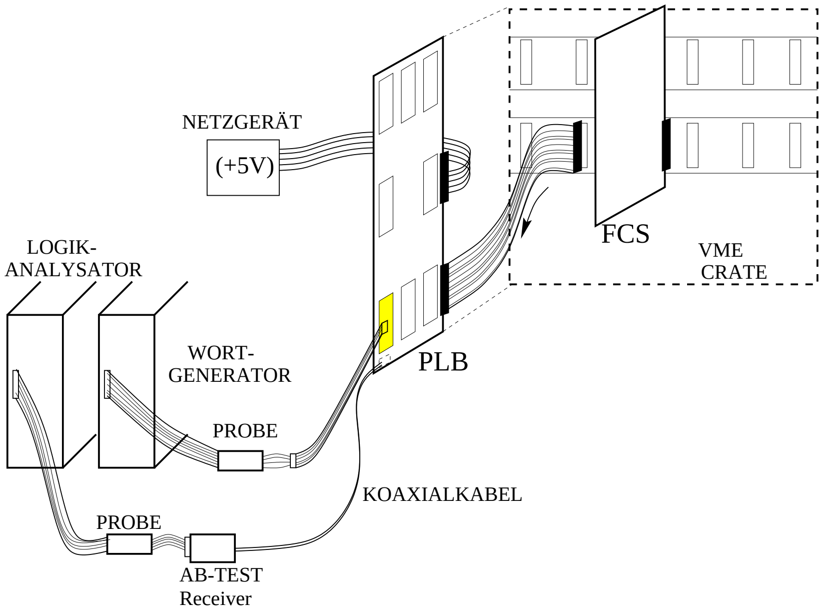

Abb. 5.17: Schematisch Darstellung des Meßaufbaus für die Datenübertragung der 8 Kanäle. Das PLB und die FCS–Emulatorkarte befinden sich in einem VME–Crate. Da die Backplanebelegung des PLB nicht dem VME–Standard entspricht, muß das PLB an ein externes Netzgerät angeschlossen werden. Die 32 Eingangssignale werden vom Wortgenerator erzeugt. Die Daten der Empfängerkarte (AB–Test Receiver) weden mit einem Logikanalysator aufgenommen und untersucht.

Schlußfolgerung

Eine fehlerhafte Datenübertragung wird nur bei einem der acht Kanäle des PLB beobachtet. Das fehlerhafte Verhalten des Kanals muß noch genauer untersucht werden. Die seriellen Datenleitungen von den AUTOBAHN–Bausteinen zu den Aufsteckkarten der optischen Sender müssen so kurz wie möglich sein, um störende Reflexionen zu vermeiden, und dürfen keine Stichleitungen aufweisen.

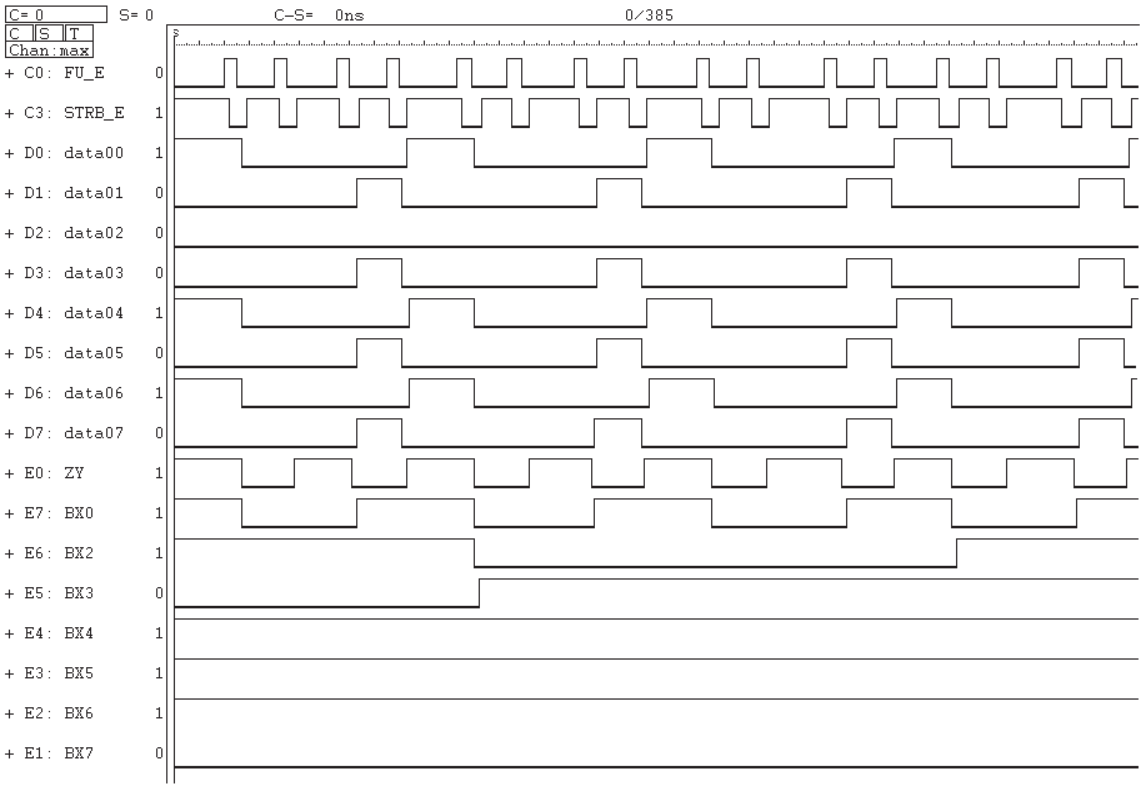

Abb. 5.18: Testmuster zur Überprüfung der Datenübertragung. Es ist das $FULL$–Signal und das daraus erzeugte $\overline{STRB}$–Signal des Empfangs-AUTOBAHN-Bausteins dargestellt. Die Daten $data00-07$ sowie das Zyklusbit (ZY) und sieben Bits der BX–Nummer ($BX00$, $BX02-07$) sind aufgeführt. Der Anschlußstecker der Datenleitung $data02$ ist defekt. Er ist aufgrund des komplizierten Meßaufbaus nicht ausgetauscht worden.

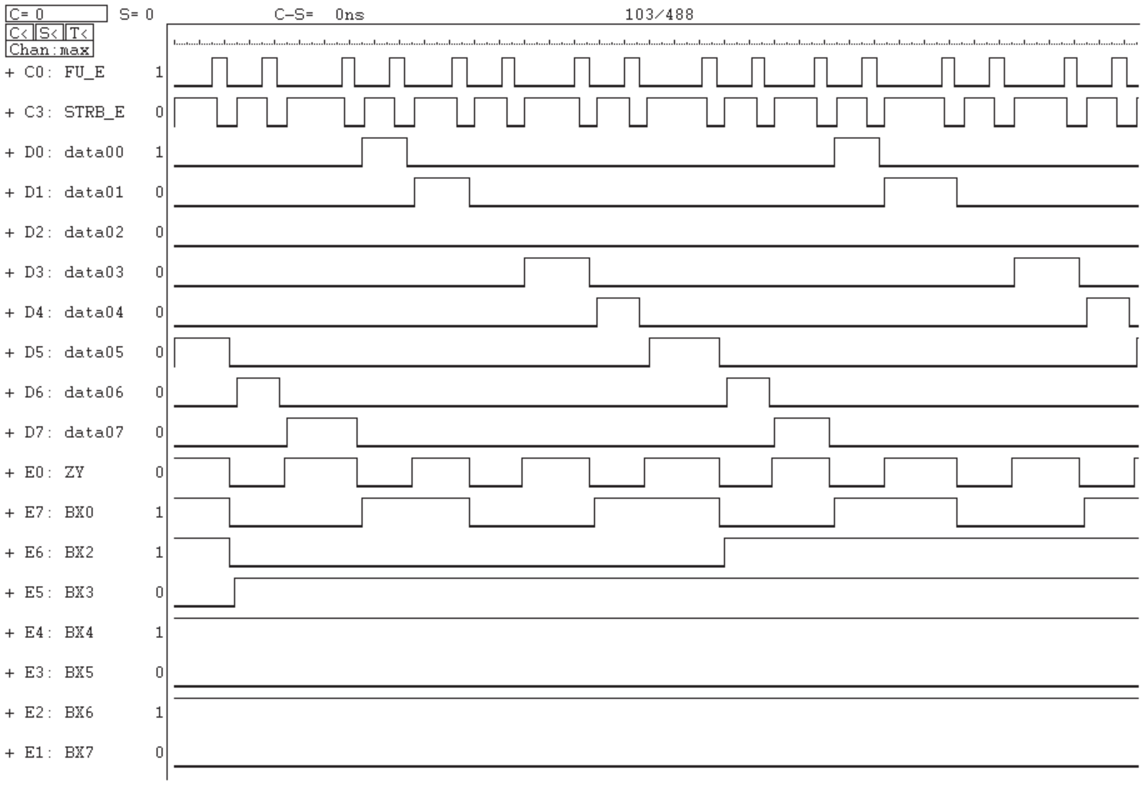

Abb. 5.19: Testmuster zur Überprüfung der Datenübertragung. Es ist das $FULL$–Signal und das daraus erzeugte $\overline{STRB}$–Signal des Empfangs-AUTOBAHN-Bausteins dargestellt. Die Daten $data00-07$ sowie das Zyklusbit (ZY) und sieben Bits der BX–Nummer ($BX00$, $BX02-07$) sind aufgeführt. Der Anschlußstecker der Datenleitung $data02$ ist defekt. Er ist aufgrund des komplizierten Meßaufbaus nicht ausgetauscht worden.

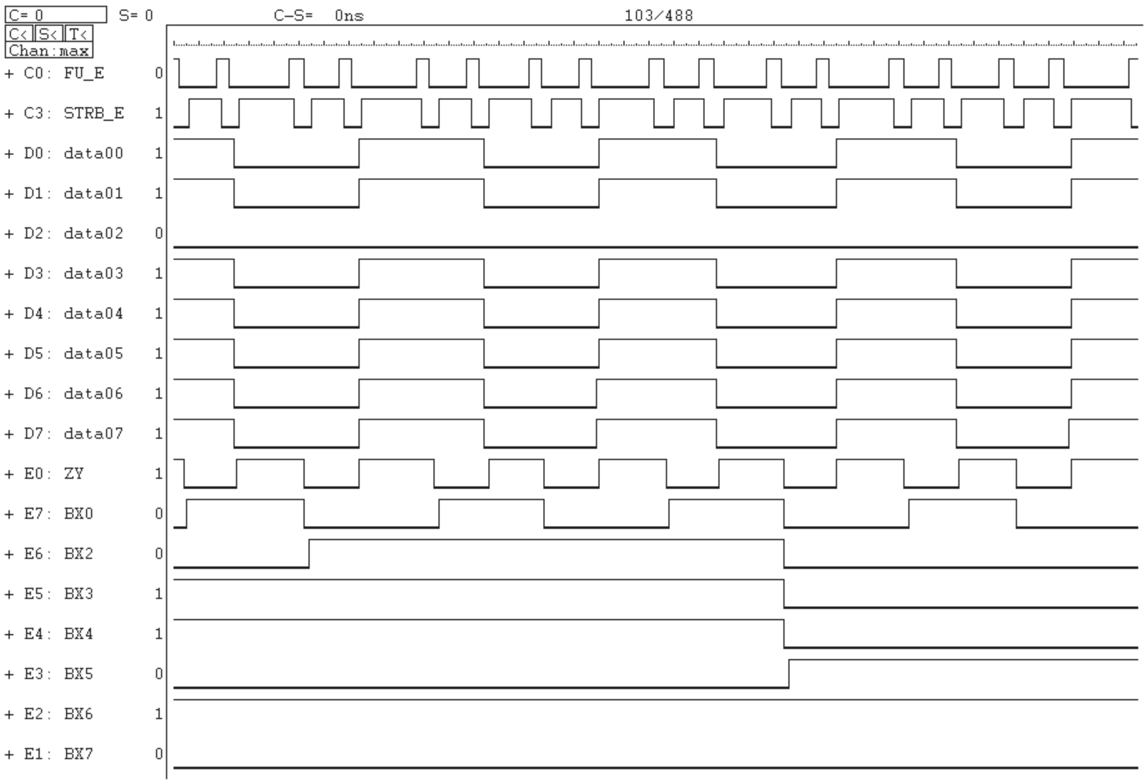

Abb. 5.20: Testmuster zur Überprüfung der Datenübertragung. Es ist das $FULL$–Signal und das daraus erzeugte $\overline{STRB}$–Signal des Empfangs-AUTOBAHN-Bausteins dargestellt. Die Daten $data00-07$ sowie das Zyklusbit (ZY) und sieben Bits der BX–Nummer ($BX00$, $BX02-07$) sind aufgeführt. Der Anschlußstecker der Datenleitung $data02$ ist defekt. Er ist aufgrund des komplizierten Meßaufbaus nicht ausgetauscht worden.

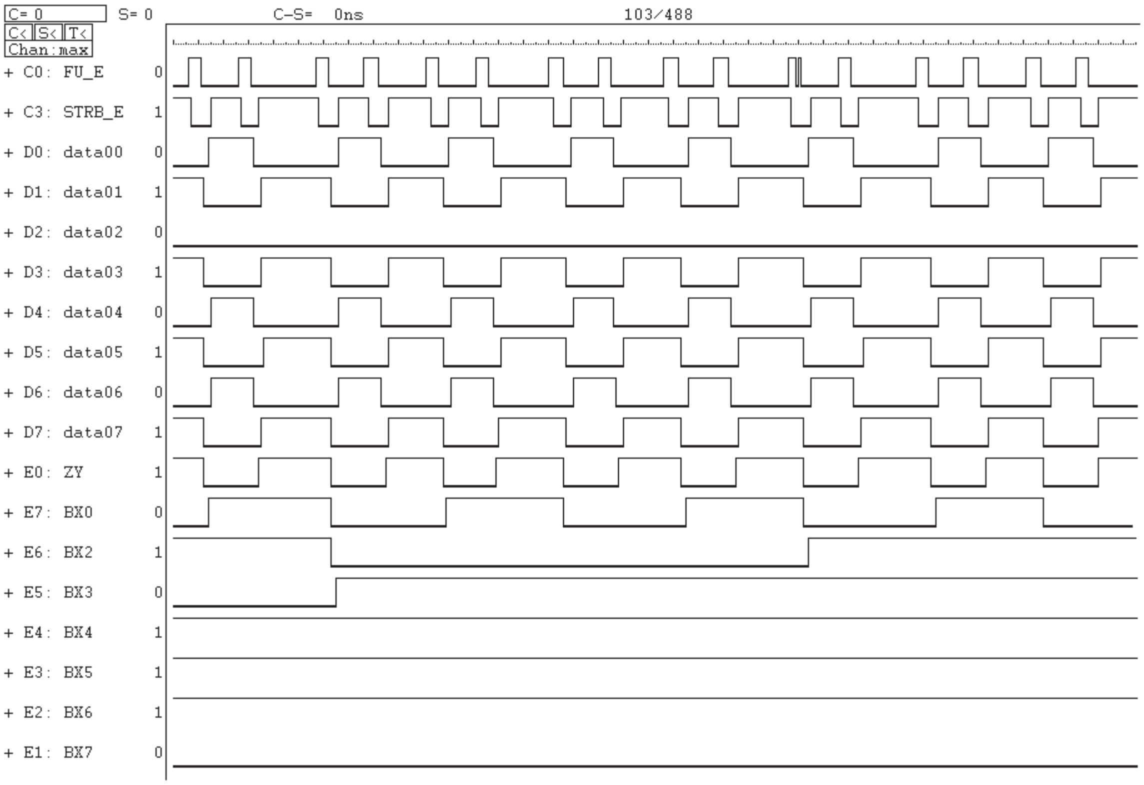

Abb. 5.21: Testmuster zur Überprüfung der Datenübertragung. Es ist das $FULL$–Signal und das daraus erzeugte $\overline{STRB}$–Signal des Empfangs-AUTOBAHN-Bausteins dargestellt. Die Daten $data00-07$ sowie das Zyklusbit (ZY) und sieben Bits der BX–Nummer ($BX00$, $BX02-07$) sind aufgeführt. Der Anschlußstecker der Datenleitung $data02$ ist defekt. Er ist aufgrund des komplizierten Meßaufbaus nicht ausgetauscht worden.

5.2.7 Zusammenfassung der Meßergebnisse des PLB-Prototypentests und Schlußfolgerungen

Die Entwicklung des PLB–Prototypen, ausgehend von der konzeptionellen Planung der Schaltung, unter Berücksichtigung der gestellten Randbedingungen, der Auswahl der Bausteine, über das Erstellen des Schaltplans und des Leiterplattenlayouts, konnte in dem vorgegebenen Zeitrahmen realisiert werden. Die Messungen zeigen, daß die Erzeugung des Datenformats für die Schnittstelle zur PCU und die Datenübertragung unter Verwendung des AUTOBAHN–Bausteins bei 7 der 8 Kanäle auf dem PLB den Anforderungen entsprechen. Das fehlerhafte Verhalten des 8. Kanals muß noch näher untersucht werden. Es ist jedoch aufgrung von Meßergebnissen ausgeschlossen werden, daß der Grund für die Fehlfunktion in der Schaltung zur Erzeugung des Datenformats bzw. der Zustandsmaschine zur Ansteuerung der Logikbausteine liegt.

Die Erzeugung der Steuersignale läßt sich mit Hilfe der Zustandsmaschine, die mit 100 MHz getaktet wird, realisieren. Die Datenübertragung jedes Kanals wird durch das $\overline{PAE}$–Signal eines FIFOs initialisiert. Die Verwendung der $\overline{EF}$–Signale der FIFOs hat sich als nicht praktikabel erwiesen, da aufgrund von Laufzeitunterschieden auf den Taktleitungen ein asynchrones Verhalten der $\overline{EF}$–Signale auftritt. Der OFFSET des $\overline{PAE}$–Signals muß von der Standardeinstellung $n = 31$ auf $n = 2$ heruntergesetzt werden, um die Latenzzeit der Triggerkette zu minimieren. Die Möglichkeit, den OFFSET n einstellen zu können, muß bei der Entwicklung des nächsten PLB berücksichtigt werden. Das Dekrementieren der BX–Nummer um 1 und die Erzeugung des $WCLK$–Signals funktionieren ebenfalls einwandfrei. Das Reset–Signal wird bei dem endgültigen Design über die Backplane vom FCS gesetzt. Eine Schaltung, die auf dieses Signal reagiert und das PLB in den Grundzustand versetzt, muß bei der nächsten Entwicklung vorgesehen werden. Es ist vorteilhaft, die Zustandsmaschine durch ein Signal, das gesetzt wird, sobald das PLB mit Spannung versorgt wird, in den Grundzustand zu versetzen. Diese sog. „Power–up“–Schaltung muß ebenfalls in die neue Entwicklung einfließen. Der Schaltplan, in dem die aufgeführten Änderungen bereits vorgennommen sind, ist in Anhang D zu finden.

Kapitel 6

Empfangsschnittstelle der Pretrigger–Coincidence–Unit

Die Datenübertragung läßt sich in zwei Aufgabengebiete einteilen. Das PLB, das für die Erzeugung des Datenformats, die Serialisierung und Übertragung der Daten verantwortlich ist, ist in Kap. 5 beschrieben worden. Ebenso wichtig wie der Sendeteil der Datenübertragung ist der Empfangsteil. Die serialisierten Daten der PLBs müssen auf der PCU parallelisiert und zwischengespeichert werden. Das folgende Kapitel erläutert die Datenverteilung der MU3– und MU4–Daten, die zur Berechnung der Koinzidenzen benötigt werden, geht auf die Eingangsschnittstelle des FLEX10k–Bausteins, des zentralen Bausteins der PCU, ein und beschreibt die Empfangsschaltung der seriellen Kanäle. Meßergebnisse werden präsentiert und Schlußfolgerungen aus den Meßergebnissen diskutiert.

Die Eingangsschnittstelle zum FLEX10k–Baustein und die Verteilung der MU4–Daten, wie sie im näcgsten Abschnitt beschrieben wird, sind am Lehrstuhl für experimentelle Physik V in Dortmund [Kol97] entworfen worden. Die Empfangsschaltung der Schnittstelle zur PCU wurde im Rahmen dieser Arbeit entwickelt.

6.1 Verteilung der MU4–Daten

Die Daten jeder Spalte von MU3 und MU4 werden über jeweils einen Kanal zur PCU übertragen. Zur Berechnung der Koinzidenzen und Pattern werden pro Spalte MU3 drei Spalten MU4 benötigt, wie Abb. 3.2 zu entnehmen ist. Die Daten der MU4 Spalten müssen jeweils für die Berechnung der Koinzidenzen aus drei Spalten MU3 zur Verfügung stehen, d. h. sie müssen auf der PCU verteilt werden. Eine PCU soll die Koinzidenzen von vier benachbarten Spalten auf MU3 berechnen Daher besitzt sie jeweils vier serielle Eingangskanäle für MU3– und MU4–Daten.

Nach der Parallelisierung werden die 16–Bit Daten der MU3–Spalten, die zugehörige BX–Nummer sowie das Zyklusbit in FIFOs gespeichert. Ein FLEX10k–Baustein berechnet die Koinzidenzen und Pattern einer Spalte von MU3. Um die 16–Bit Daten der MU4 Spalten jeweils drei FLEX10k–Bausteinen zur Verfügung stellen zu können, werden die Daten unter der Adresse der zugehörigen BX–Nummer und des Zyklusbits in drei Dual–Ported–RAMs (DPRAM) gespeichert, wie in Abb. 6.1 verdeutlicht. Ein

Dual–Ported–RAM besitzt zwei Schnittstellen, an denen Daten sowohl in das RAM geschrieben, als auch aus dem RAM ausgelesen werden können.

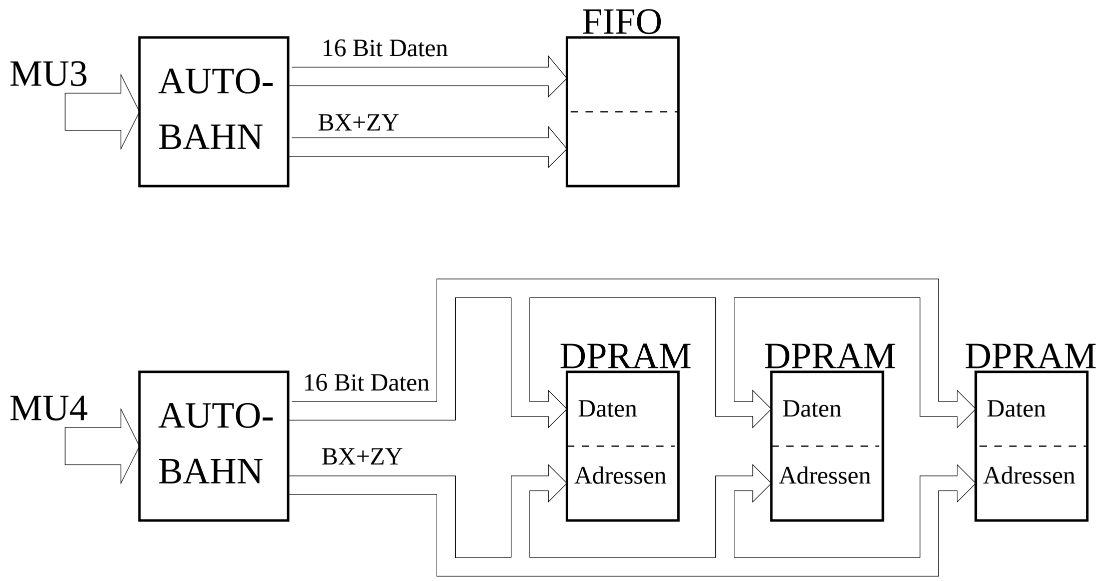

Abb. 6.1: Speicherung der MU3– und MU4–Daten. Die BX–Nummer und das Zyklusbit werden mit den MU3–Daten in einem FIFO gespeichert. Die BX–Nummer und das Zyklusbit der MU4–Daten dienen als Speicheradresse für die DPRAMs.

Der Auslesezyklus der Daten beginnt mit dem Auslesen der MU3–Daten und der BX–Nummer aus den FIFOs. Die BX–Nummer und das Zyklusbit gelangen als Ausleseadresse an die benötigten DPRAMs der MU4–Spalten. Die MU4–Daten, die von der jeweils rechten und linken benachbarten PCU auf die Karte gelangen müssen, werden über Flachbandkabel übertragen. Abb. 6.2 zeigt das Ausleseschema der DPRAMs. Die Kartengrenzen der PCUs sind gestrichelt eingezeichnet. Zur Verdeutlichung sind die Speicherbausteine, die die Daten für die Berechnung der Koinzidenzen und Pattern einer Spalte von MU3 liefern, und der dazu gehörige FLEX10k–Baustein unterlegt dargestellt [Kol97].

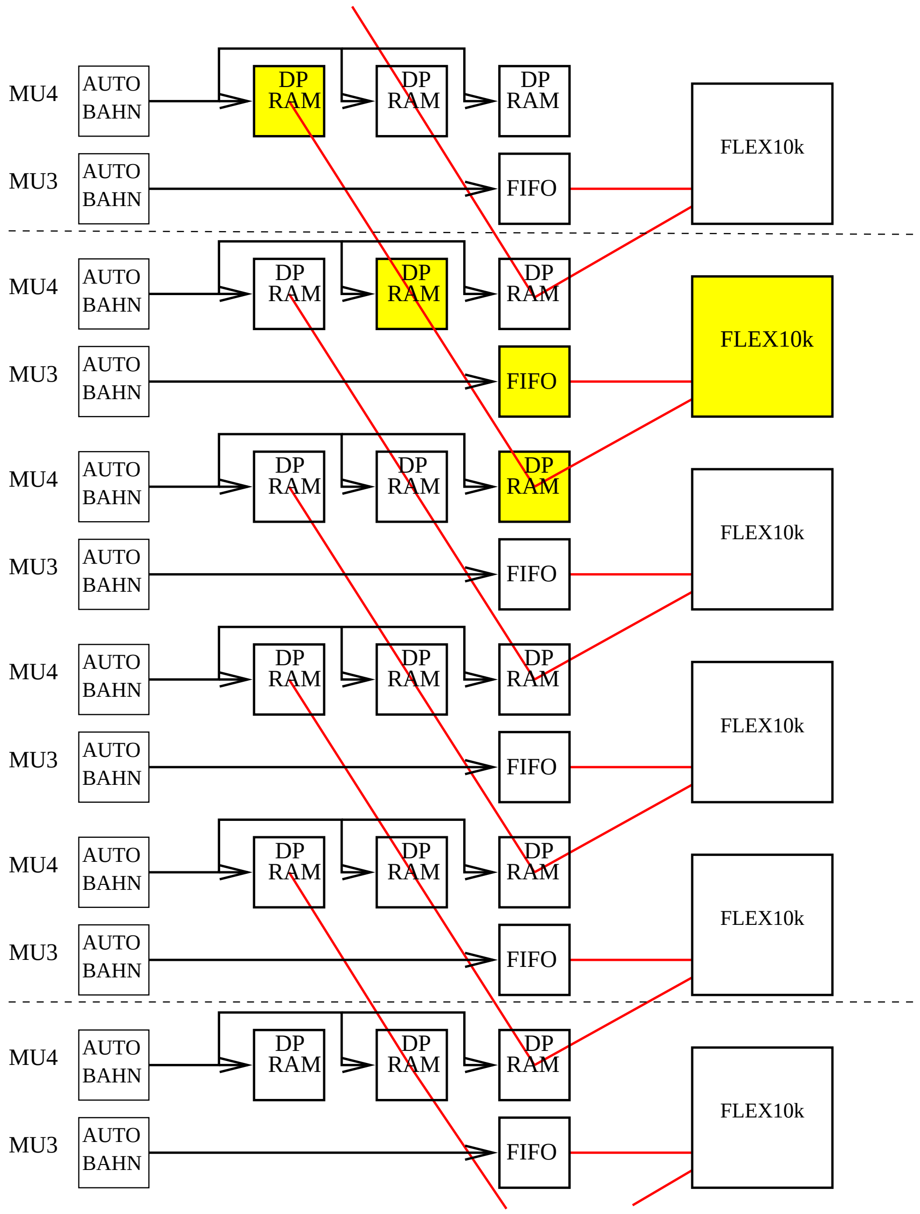

Abb. 6.2: Ausleseschema der DPRAMs. Die BX–Nummer und das Zyklusbit der MU3–FIFOs dienen als Ausleseadressen der DPRAMs verschiedener MU4–Spalten. Die Kartengrenzen sind gestrichelt dargestellt. Unterlegt sind die Bausteine dargestellt, die zur Berechnung der Koinzidenzen und Pattern einer Spalte von MU3 benötigt werden. [Kol97]

6.2 Eingangsschnittstelle zum FLEX10k–Baustein

Die Daten einer MU3–Spalte und der drei MU4–Spalten müssen gleichzeitig an den Eingängen des FLEX10k–Bausteins anliegen, um die Setup–Zeit einzuhalten. Durch die Verwendung des FIFOs können die Daten mehrerer Kanäle synchronisiert werden, da der Auslesezyklus erst beginnt, wenn das $\overline{PAE}$–Signal des FIFOs gesetzt wird. Durch die Zeit, die vergeht, bis das $\overline{PAE}$–Signal aufgrund des programmierten OFFSETs gesetzt wird, können Phasenverschiebungen zwischen den Empfangszeiten der AUTOBAHN–Bausteine oder Laufzeitunterschiede der Signale auf den seriellen Leitungen ausgeglichen werden.

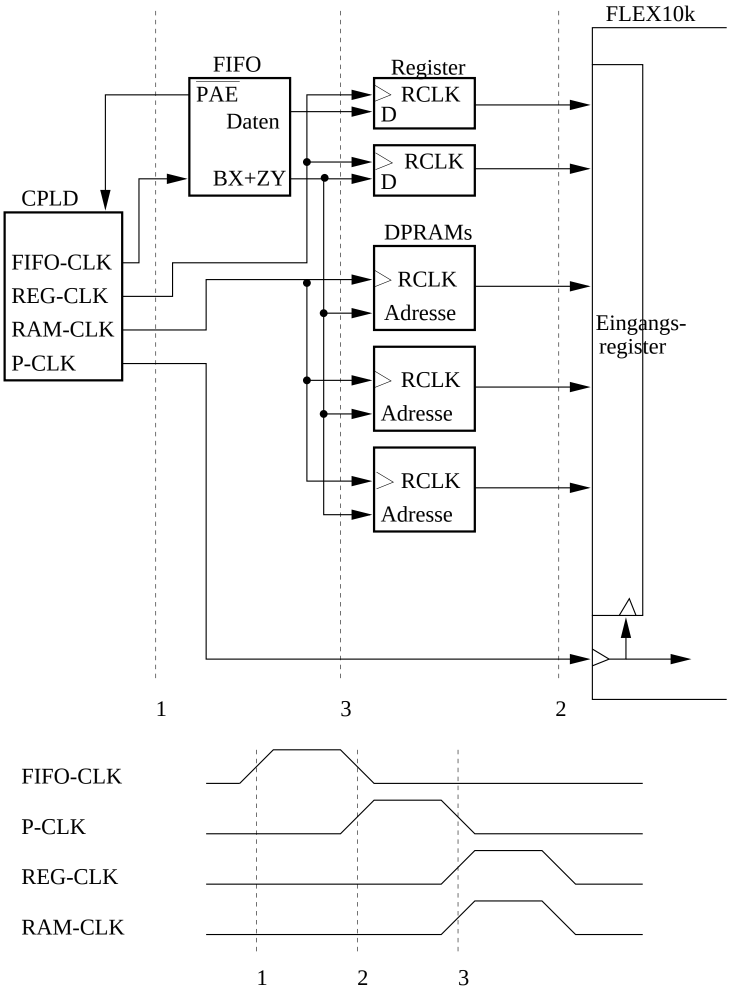

Abb. 6.3: Eingangsschnittstelle des FLEX10k–Bausteins. Die mit 1 gekennzeichnete Flanke (FIFO–CLK) übernimmt die Daten in das Ausgangsregister des FIFOs. Die Flanke 2 schreibt die Daten, die am FLEX10k–Baustein anliegen, in dessen Eingangsregister. Die Flanke 3 bewirkt, daß die Daten an die Ausgänge der Register und DPRAMs gelangen. Solange das $\overline{PAE}$–Signal gesetzt ist, wiederholt sich dieser Zyklus. [Kol97]

In Abb. 6.3 ist die Eingangsschnittstelle des FLEX10k–Bausteins und das Diagramm der Steuertakte dargestellt. Die Ausdrücke in Klammern beziehen sich in der Folge auf dieses Diagramm. Die Daten des MU3–FIFOs werden erst ausgelesen, wenn das $\overline{PAE}$–Signal, dessen OFFSET auf $n = 2$ programmiert ist, gesetzt wird. Durch die Zeit, die vergeht, bis das $\overline{PAE}$–Signal gesetzt wird, werden die Daten synchronisiert, da sichergestellt ist, daß Laufzeitunterschiede und Phasenverschiebungen zwischen den Daten der einzelnen AUTOBAHN–Bausteine aufgefangen werden und die ausgelesenen Daten der verschiedenen MU4–Spalten zum selben Ereignis wie die MU3–Daten gehören.

Mit der positiven Flanke des FIFO–CLK–Signals (**1**) gelangen die Daten in das Ausgangsregister des FIFOs. Die MU3–Daten, die BX–Nummer sowie das Zyklusbit liegen an Registern des Typs 74F374 an. Die BX–Nummer und das Zyklusbit gelangen gleichzeitig als Ausleseadressen an die DPRAMs. Die positive Flanke des Pipeline–Taktes P-CLK (**2**) übernimmt die Daten der DPRAMs und Register, die an den Eingängen des FLEX10k–Bausteins anliegen, in dessen Eingangsregister. Mit dem Register–Taktsignal (REG–CLK **3**) werden neue Daten in die Register geschrieben. Die Zwischenspeicherung ist nötig, damit die Daten des FIFOs und der DPRAMs gleichzeitig an dem Eingangsregister des FLEX10k–Bausteins anliegen. Die unter der Adresse der BX–Nummer und des Zyklusbit gespeicherten Daten gelangen nach der sog. Access–Zeit, die nach der positiven Flanke des RAM–CLK–Signals (**3**) benötigt wird bis die Daten gültig sind, an die Ausgänge der DPRAMs. Mit dem nächsten P-CLK–Takt werden die Daten der Register und DPRAMs in das Eingangsregister des FLEX10k–Bausteins übernommen. Solange das $\overline{PAE}$–Signal gesetzt ist, wiederholt sich der Taktzyklus.

6.3 Die Empfangsschnittstelle

Die Aufgabe der Schaltung der Empfangsschnittstelle ist es, die seriellen Daten zu parallelisieren und ein Taktsignal zu erzeugen, mit dem diese in die FIFOs bzw. DPRAMs getaktet werden können.

Die Randbedingungen fordern ein Signal, welches anzeigt, daß die Daten an den Ausgängen des AUTOBAHN–Bausteins in einem bestimmten Zeitfenster gültig sind und von der nachfolgenden Logik gespeichert werden können. Statt dessen werden die Daten mit einem Taktsignal, das von der Empfangsschaltung geliefert wird, gespeichert, wodurch der schaltungstechnische Aufwand minimiert wird, da die Daten nicht übernommen, sondern übergeben werden.

Bevor in den nachfolgenden Abschnitten auf die Empfangsschaltung eingegangen wird, erfolgt ein Vorgriff auf die in Kap. 7.3 beschriebenen Probleme der Datenübertragung zwischen zwei AUTOBAHN–Bausteinen, bei Verwendung des POL.

Wortmischungen in den Empfangs–AUTOBAHN–Bausteinen

Ein Datenwort, das mit AUTOBAHN–Bausteinen übertragen wird, besteht aus 36 Bits, 32 Datenbits und 4 Synchronisationsbits. Die 32 Datenbits sind unterteilt in vier Byte. Vor der Übertragung eines jeden Bytes wird ein Synchronisationsbit in das Datenpaket eingefügt. Testmessungen zur optischen Datenübertragung [Boc97] zeigen, daß das

Übertragungsprotokoll des AUTOBAHN–Bausteins durch den Einsatz der elektrooptischen bzw. optoelektrischen Wandlerschaltungen zerstört wird. Als Resultat können Wortmischungen auftreten, d. h. der Empänger–AUTOBAHN–Baustein faßt nicht die richtigen vier Byte zu einem Wort zusammen. Mischungen innerhalb der einzelnen Byte treten nicht auf. Auf die Ursache der Wortmischungen wird in Kap. 7.3 eingegangen.

Die Empfangsschaltung muß in der Lage sein, Wortmischungen zu registrieren und darauf zu reagieren. Um Wortmischungen erkennen zu können, werden die vier Byte eines Datenwortes markiert. Das erste Bit jedes Bytes wird als externes Synchronisationsbit definiert, das auf einem vorgegebenen logischen Niveau liegt. Für die externen Synchronisationsbits der ersten drei Byte des Datenwortes ist dieses Niveau 'H', das Niveau des letzten externen Synchronisationsbits ist 'L'. Die Empfangsschaltung überprüft diese vier Bits und reagiert, wenn die externen Synchronisationsbits nicht dem richtigen Byte zugeordnet sind. Die externen Synchronisationsbits werden nicht vom AUTOBAHN–Baustein erzeugt.

6.3.1 Die Empfangsschaltung

Bei der Planung und Entwicklung der Empfangsschaltung sind die Erkenntnisse aus den Meßergebnissen des Tests der Datenübertragung, die in Kap. 4 beschrieben sind, berücksichtigt worden. Der Schaltplan der Empfangsschnittstelle ist in Anhang E zu finden.

Die Empfangsschaltung ist schematisch in Abb. 6.4 dargestellt. Die Ausdrücke in Klammern beziehen sich im folgenden darauf. Der zentrale Teil der Schaltung wird von einem CPLD gebildet, in dem zwei Zustandsmaschinen und kombinatorische Logik untergebracht sind. Das Strobe–Signal ($\overline{\textbf{STRB}}$–**KON**), mit dem die Konfigurations-

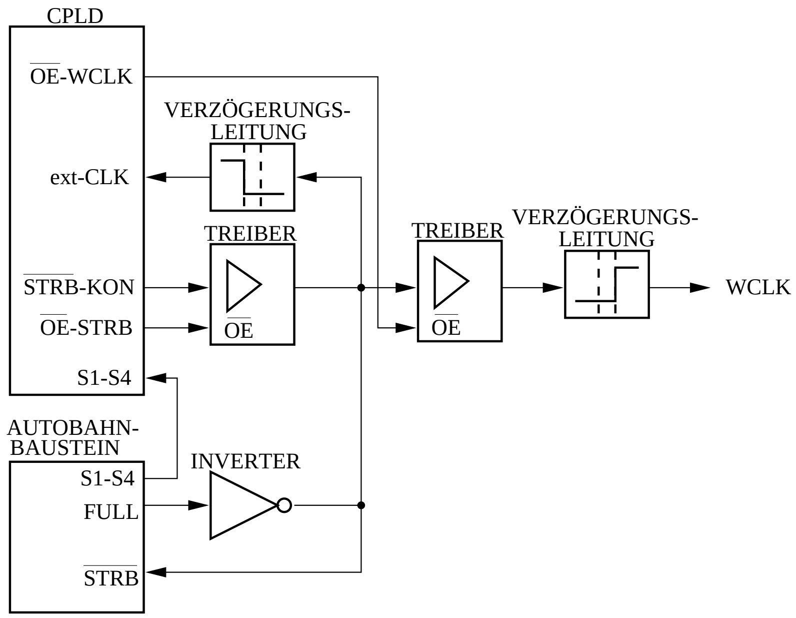

Abb. 6.4: Schematische Darstellung der Empfangsschaltung. Die Schaltung wird im Text erläutert.

daten in das Kontrollregister des AUTOBAHN–Bausteins geschrieben werden, gelangt vom CPLD auf einen Treiberbaustein und von dort an den $\overline{STRB}$–Eingangspin. Der Treiberbaustein erfüllt die Aufgabe eines Schalters. Nach der Konfiguration wird der Ausgang des Treibers in den hochohmigen Zustand geschaltet, wodurch das Niveau des $\overline{STRB}$–Signals, das vom CPLD generiert wird, keinen Einfluß auf die Leitung hat, die zum $\overline{STRB}$–Eingangspin führt.

Ein weiterer Treiberbaustein gibt nach der Konfiguration die Leitung des $WCLK$–Signals frei, über die das Taktsignal an die Speicherbausteine gelangt. Um die Setup–Zeiten der Bausteine einzuhalten, wird das Signal mittels einer einstellbaren Verzögerungsleitung verschoben. Das $FULL$–Signal, welches anzeigt, daß sich Daten im Empfangsregister befinden, wird invertiert und dient als $\overline{STRB}$–Signal für den AUTOBAHN–Baustein. Die positive Flanke des $\overline{STRB}$–Signals bildet die Taktflanke der Speicherbausteine. Die externen Synchronisationsbits (**S1-S4**) werden vom AUTOBAHN–Baustein zum CPLD geführt. Das $\overline{STRB}$–Signal gelangt über eine weitere Verzögerungsleitung als externes Takt–Signal (**ext–CLK**) zum CPLD und dient als Taktsignal für die kombinatorische Logik, mit der die externen Synchronisationsbits überprüft werden.

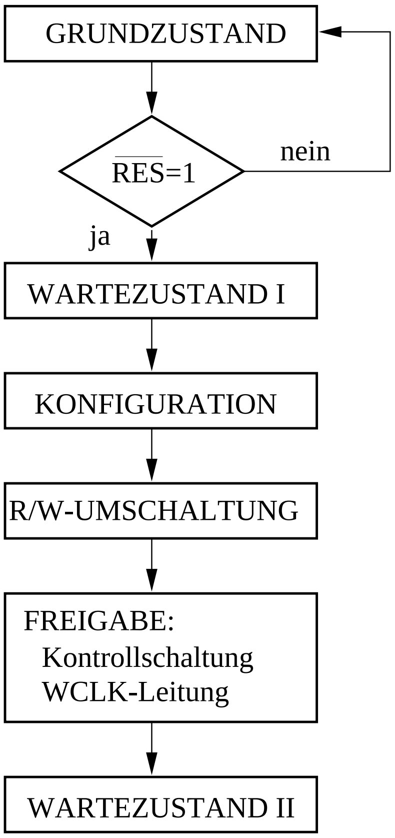

Abb. 6.5: Ablaufdiagramm der Zustandsmaschine, mit der die Konfiguration des AUTOBAHN–Bausteins gesteuert wird.

Das Ablaufdiagramm für die Zustandsmaschine, mit der die Konfiguration des AUTOBAHN–Bausteins gesteuert wird, ist in Abb. 6.5 dargestellt. Die Ausdrücke in

Klammern beziehen sich im folgenden auf Abb. 6.5.

Solange das Reset–Signal anliegt, befindet sich die Zustandsmaschine im Grundzustand (**GRUNDZUSTAND**). Das Reset–Signal wird an den AUTOBAHN–Baustein weitergeleitet. Das $R/\overline{W}$– und das REG–Signal sind so gesetzt, daß die Konfigurationsdaten mit der negativen Flanke des $\overline{STRB}$–Signals in das Kontrollregister geschrieben werden. Ein Wartezustand (**WARTEZUSTAND I**) wird für 500 ns nach dem Reset–Signal beibehalten, damit der AUTOBAHN–Baustein den Grundzustand einnehmen kann. Danach erfolgt die Konfiguration (**KONFIGURATION**), die mit dem Umschalten des REG–Signals, wodurch die Datenregister selektiert werden, beendet wird. Der Treiberbaustein, über den das $\overline{STRB}$–Signal vom CPLD zum AUTOBAHN–Baustein gelangt, wird in den hochohmigen Zustand versetzt. Im nachfolgenden Zustand wird das $R/\overline{W}$–Signal umgeschaltet (**R/W-UMSCHALTUNG**). Daten können aus dem AUTOBAHN–Baustein ausgelesen werden. Zuletzt erfolgt die Freigabe der $WCLK$–Leitung und der Kontrollschaltung (**FREIGABE**), mit der die externen Synchronisationsbits überprüft werden. Danach befindet sich die Zustandsmaschine in einem Wartezustand (**WARTEZUSTAND II**), den sie nur durch ein Reset–Signal verlassen kann. Das Meßergebnis, das in Abb. 6.6 dargestellt ist, zeigt die Ausgangssignale der Zustandsmaschine.

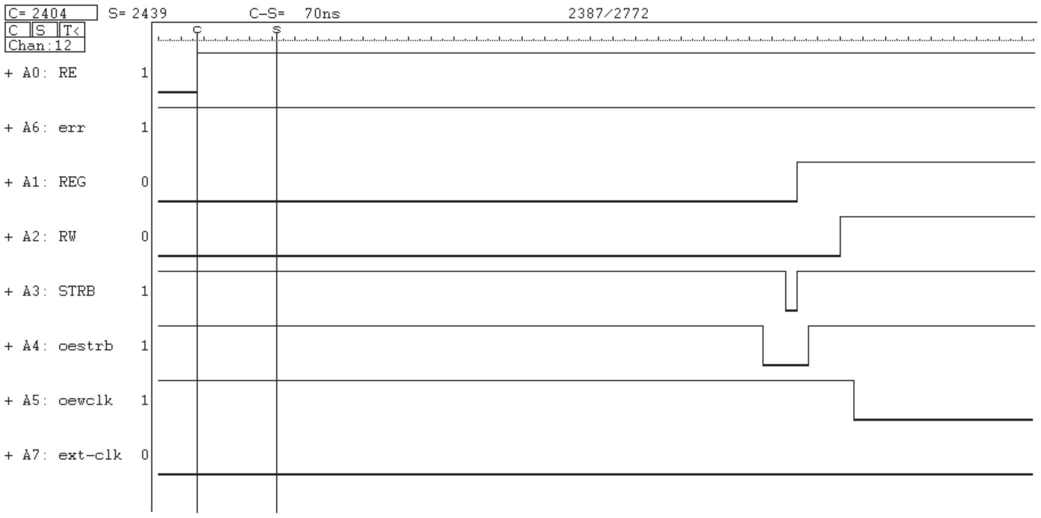

Abb. 6.6: Ausgangssignale der Zustandsmaschine, die die Konfiguration des AUTOBAHN–Bausteins und die Freigabe der Treiberbaustein–Ausgänge kontrolliert. Das $OESTRB$–Signal schaltet den Treiberbaustein, über den das vom CPLD erzeugte $\overline{STRB}$–Signal zum AUTOBAHN–Baustein gelangt, frei. Das $OEWCLK$–Signal steuert den Ausgang des Treiberbausteins, der die $WCLK$–Leitung freigibt.

6.3.2 Kontrollschaltung der externen Synchronisationsbits

Die Überprüfung der empfangenen Daten auf Wortmischungen basiert auf der Kontrolle der externen Synchronisationsbits, mit denen die vier Byte jedes Datenwortes markiert werden. Die Niveaus der externen Synchronisationsbits dürfen erst kontrolliert werden, wenn sicher ist, daß die Daten an den Ausgängen des AUTOBAHN–Bausteins gültig sind und die Setup–Zeit des CPLD eingehalten ist. Problematisch ist, daß die Daten vom AUTOBAHN–Baustein asynchron zum 100 MHz Takt des CPLD gültig werden, wodurch kein festes Zeitintervall definiert werden kann, in dem die Niveaus der externen Synchronisationsbits überprüft werden können. Die Lösung des Problems liegt in der Verwendung einer asynchronen Zustandsmaschine. Der Aufbau einer asynchronen Zustandsmaschine ist ein kompliziertes Aufgabengebiet und konnte daher in dem für diese Arbeit vorgegebenen Zeitrahmen nicht realisiert werden.

Um trotzdem eine möglichst asynchrone Kontrolle der externen Synchronisationsbits zu ermöglichen, dient die in Abb. 6.7 dargestellte Schaltung. Die Ausdrücke in Klammern beziehen sich im folgenden auf Abb. 6.7. Die vier externen Synchronisa-

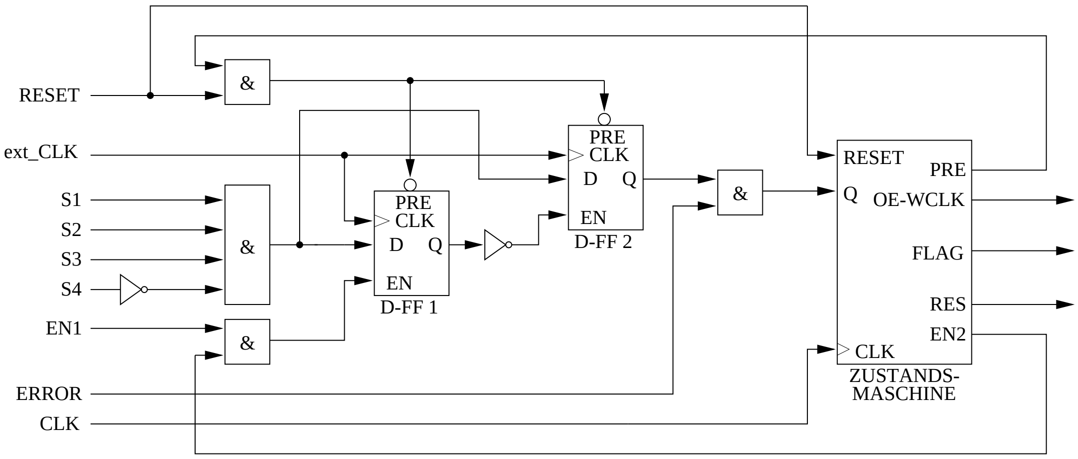

Abb. 6.7: Kontrollschaltung zur Überprüfung der externen Synchronisationsbit–Niveaus. Eine Erläuterung der Schaltung wird im Text gegeben.

tionsbits (**S1** – **S4**) werden, nach Invertierung des $S4$–Signals, auf ein 4–fach UND–Gatter gegeben. Stimmen die vier externen Synchronisationsbits mit der Vorgabe überein, liefert die logische UND–Verknüpfung der Signale ein 'H'–Niveau am Ausgang des Gatters. Das Signal gelangt an den Dateneingang (**D**) eines D–Flip–Flops (**D–FF1**), das über ein Enable–Signal (**EN**[1]) freigegeben wird. Nur wenn das Signal am EN–Eingang 'H' ist, wird das Signal am D–Eingang mit der positiven Flanke des Taktsignals gespeichert und gelangt an den Ausgang (**Q**). Der Takt, mit dem das D–Flip–Flop getaktet wird, ist das externe Taktsignal (**ext–CLK**). Tritt Wortmischung auf, besitzt das Signal am D–Eingang des D–Flip–Flops 'L'–Niveau.

Damit die Schaltung nicht auf Bit–Fehler der externen Synchronisationsbits reagiert, sondern erst, wenn bei zwei nacheinander folgenden Datenworten die Synchronisationsbits falsche Niveaus besitzen, wird ein zweites D–Flip–Flop (**D–FF2**) benötigt. Das invertierte Ausgangssignal des ersten D–Flip–Flops wird auf den EN–Eingang des zweiten D–Flip–Flops gegeben. An dem D–Eingang des zweiten D–Flip–Flops liegt

[1]high aktiv

ebenfalls das Signal des 4–fach UND–Gatters an. Der Takteingang ist ebenfalls mit dem externen Takt verbunden. Mit dem ersten Takt, bei dem die externen Synchronisationsbits falsche Niveaus besitzen, wird das zweite D–Flip–Flop freigeschaltet. Wenn bei der nachfolgenden Übertragung die externen Synchronisationsbits ebenfalls falsche Niveaus aufweisen, besitzt der Ausgang (**Q**) des zweiten D–Flip–Flops 'L'–Niveau. Dieses Ausgangssignal wird auf ein UND–Gatter geführt, dessen zweites Eingangssignal das **ERROR**–Signal des AUTOBAHN–Bausteins bildet. Ist eines der Signale 'L' oder sind beide 'L', so ist der Ausgang des UND–Gatters ebenfalls 'L'. Die **Zustandsmaschine** überprüft das Niveau dieses Signals, und leitet ein Reset (**RES**) des AUTOBAHN–Bausteins ein.

Das Ablaufdiagramm der **Zustandsmaschine** ist in Abb. 6.8 dargestellt, auf die sich die Ausdrücke in Klammern beziehen. Nach dem Reset (**GRUNDZUSTAND**)

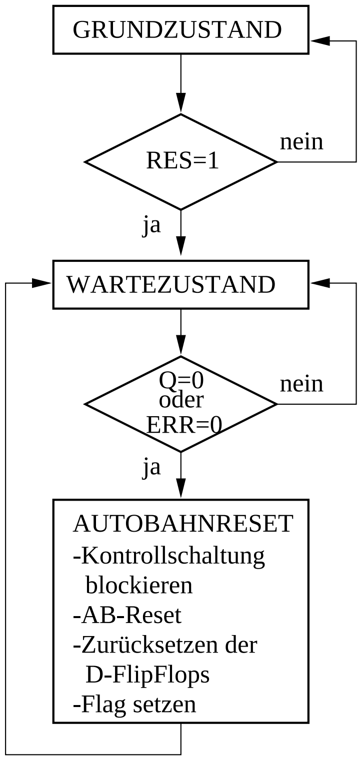

Abb. 6.8: Ablaufdiagramm der Zustandsmaschine, die das Reset–Signal für den AUTOBAHN–Baustein erzeugt.

verharrt die Zustandsmaschine in einem Wartezustand (**WARTEZUSTAND**), bis das Kontrollsignal Q 'L'–Niveau besitzt, d. h. fehlerhafte externe Synchronisationsbits bei zwei nacheinander folgenden Übertragungen. Dann wird das Reset–Signal des AUTOBAHN–Bausteins für 200 ns gesetzt (**AUTOBAHNRESET**). Während dieser Zeit wird die Kontrollschaltung blockiert, d. h. das EN–Signal des ersten D–Flip–Flops wird gesetzt. Beide D–Flip–Flops erhalten ein Preset–Signal, wodurch die Ausgänge Q auf 'H'–Niveaus gelegt werden. Zusätzlich wird ein Flag–Signal gesetzt, das der nachfolgenden Logik anzeigt, daß der AUTOBAHN–Baustein ein Reset–Signal erhält. Das Flag–Signal kann ebenfalls dazu benutzt werden, einen Zähler zu takten, der die Anzahl der Resetimpulse festhält. Aus zeitlichen Gründen konnte diese Funktion nicht implementiert werden. Nachdem das Reset–Signal zurückgesetzt ist, gelangt die Zustandsmaschine wieder in den Wartezustand.

6.3.3 Messungen

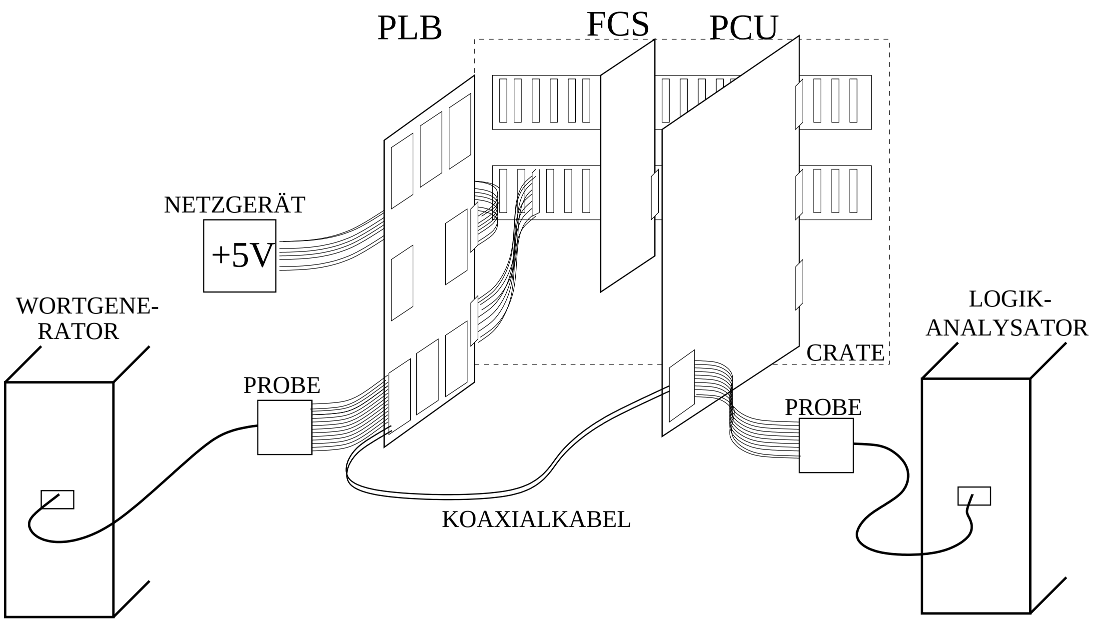

Abb. 6.9: Schematische Darstellung des Meßaufbaus zur Untersuchung der Datenübertragung vom PLB zur PCU und der Empfangsschaltung der Empfangsschnittstelle.

Um die Empfangsschaltung zu testen, werden mehrere Meßreihen an zwei Meßaufbauten durchgeführt. Mit dem ersten Meßaufbau, in Abb. 6.9 schematisch dargestellt, wird die Datenübertragung, die Erzeugung des $WCLK$–Signals und die Zustandsmaschine, die die Konfiguration des AUTOBAHN–Bausteins vornimmt, überprüft. Ein Kanal des PLB wird mit einer Empfangsschaltung auf der PCU über Koaxialkabel verbunden. Der Wortgenerator, der extern mit der positiven Flanke des **HERA**–Taktes (CLK) getaktet wird, generiert die Sendedaten des PLB–Kanals. Die parallelisierten Daten am Ausgang des Empfangs–AUTOBAHN–Bausteins auf der PCU werden mit dem Logikanalysator aufgenommen.

In Abb. 6.10 und Abb. 6.11 sind Meßergebnisse der Datenübertragung dargestellt. Die parallelisierten Daten des Empfangs–AUTOBAHN–Bausteins auf der PCU werden über Fädeldrähte, die direkt an den Beinchen des Logikbausteins angebracht sind, abgegriffen. Eine andere Möglichkeit, an die Daten zu gelangen, besteht nicht. Aufgrund dieses meßtechnischen Problems, ist es nicht möglich sämtliche 32–Bit Daten des AUTOBAHN–Bausteins zu untersuchen.

Die Messungen zeigen, daß die Daten korrekt übertragen und aus dem AUTOBAHN–Baustein ausgelesen werden. Die Daten sind (16±4) ns nach der negativen Flanke des $\overline{STRB}$–Signals an den Ausgängen des AUTOBAHN–Bausteins gültig. Die positive

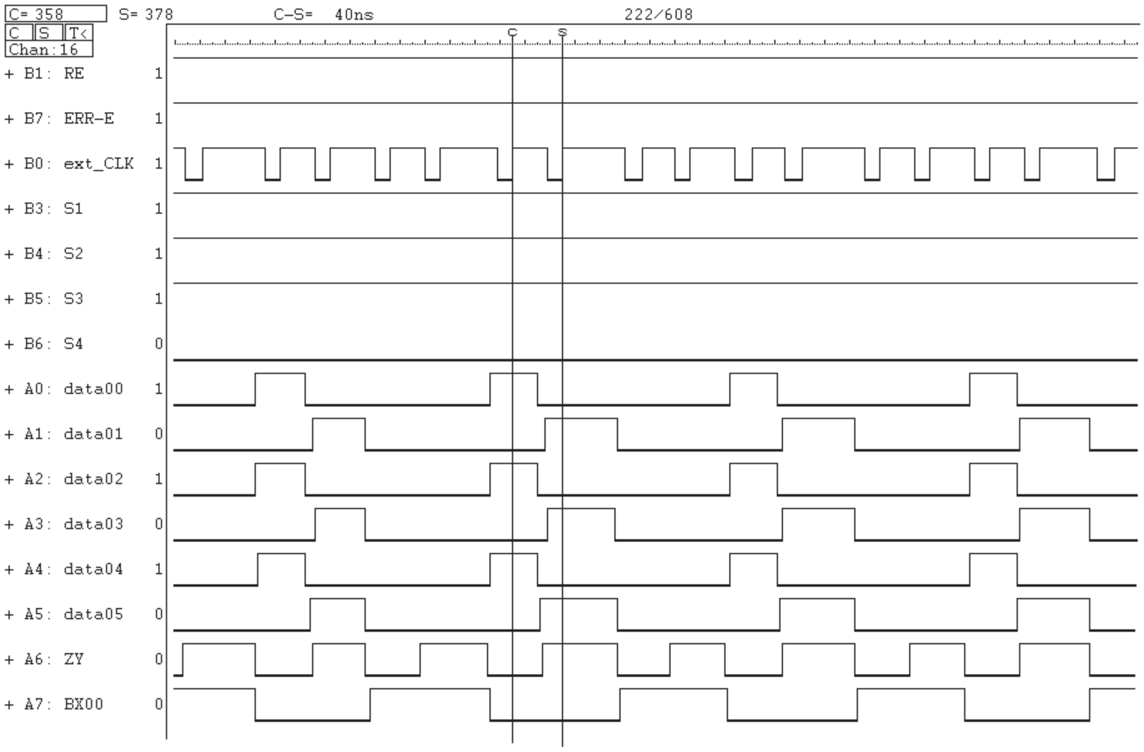

Abb. 6.10: Datenübertragung vom PLB zur PCU. Die externen Synchronisationsbits ($S1 - S4$) und das externe Taktsignal (ext-CLK) sind dargestellt. Bei den oberen beiden Signalen handelt es sich um das Reset– und Errorsignal des AUTOBAHN–Bausteins. Die unteren acht Signale zeigen sechs Datenbits ($data00-05$), das Zyklusbit (ZY) und das niedrigste Bit der BX–Nummer ($BX00$). Die unterschiedliche Breite der Signale, z. B. der Signale, die durch die vertikalen Striche gekennzeichnet sind, ist auf den Wartezustand der Sende–Zustandsmaschine zurückzuführen, die auf das $\overline{PAE}$–Signal des FIFOs wartet. Da die Auslese der Daten vom $\overline{STRB}$–Signal, das aus dem $FULL$–Signal erzeugt wird, abhängt, werden die Daten in den gleichen Zeitintervallen ausgelesen, mit denen sie vom PLB gesendet werden.

Flanke des $WCLK$–Signals, mit der die Daten in die Speicherbausteine getaktet werden, kommt (16±4) ns nachdem die Daten gültig sind. Gleichzeitig wird das Signal, das an den D–Eingängen der D–Flip–Flops anliegt, mit der positiven Taktflanke des externen Taktsignals gespeichert.

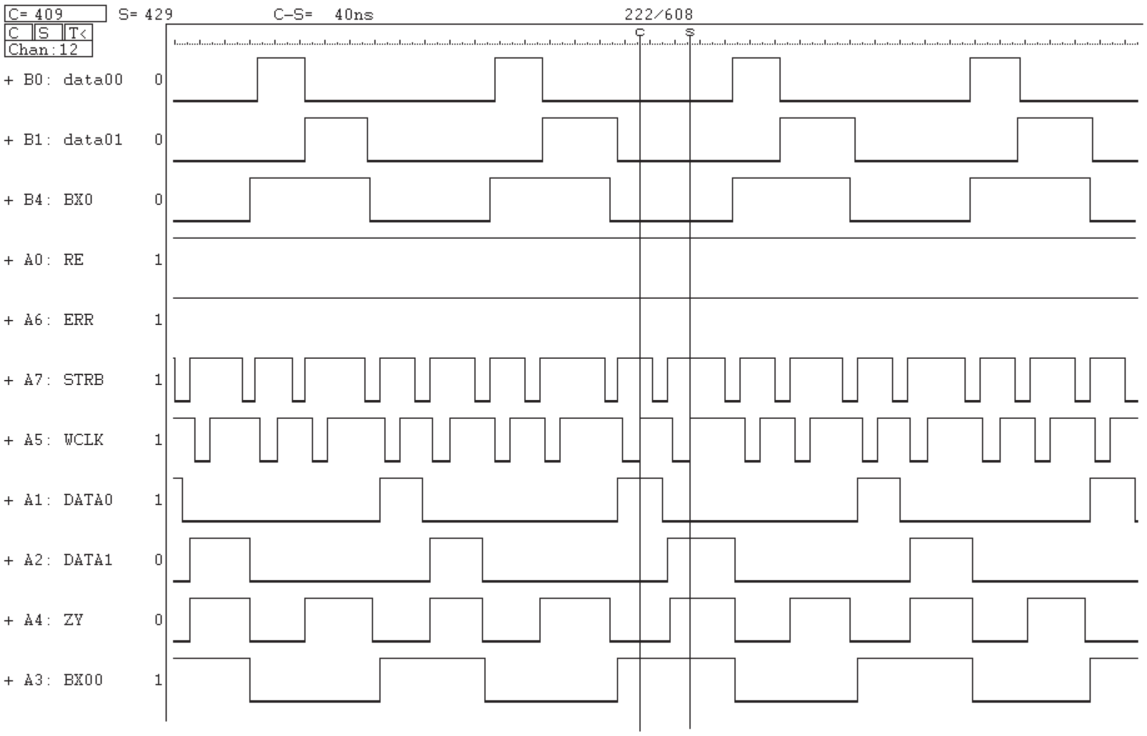

Abb. 6.11: Datenübertragung vom PLB zur PCU. Die ersten drei dargestellten Signale sind Einganssignale des Sende–AUTOBAHN–Bausteins. Es handelt sich um die Datenbits $data00 - 01$ und das niedrigste Bit der BX–Nummer ($BX0$). Das $\overline{STRB}$–Signal und das daraus erzeugte $WCLK$–Signal des Empfangs–AUTOBAHN–Bausteins sind zu erkennen. Darunter befinden sich die empfangenen Daten ($DATA0 - 1$), das Zyklusbit (ZY) und das niedrigste Bit der BX–Nummer ($BX00$).

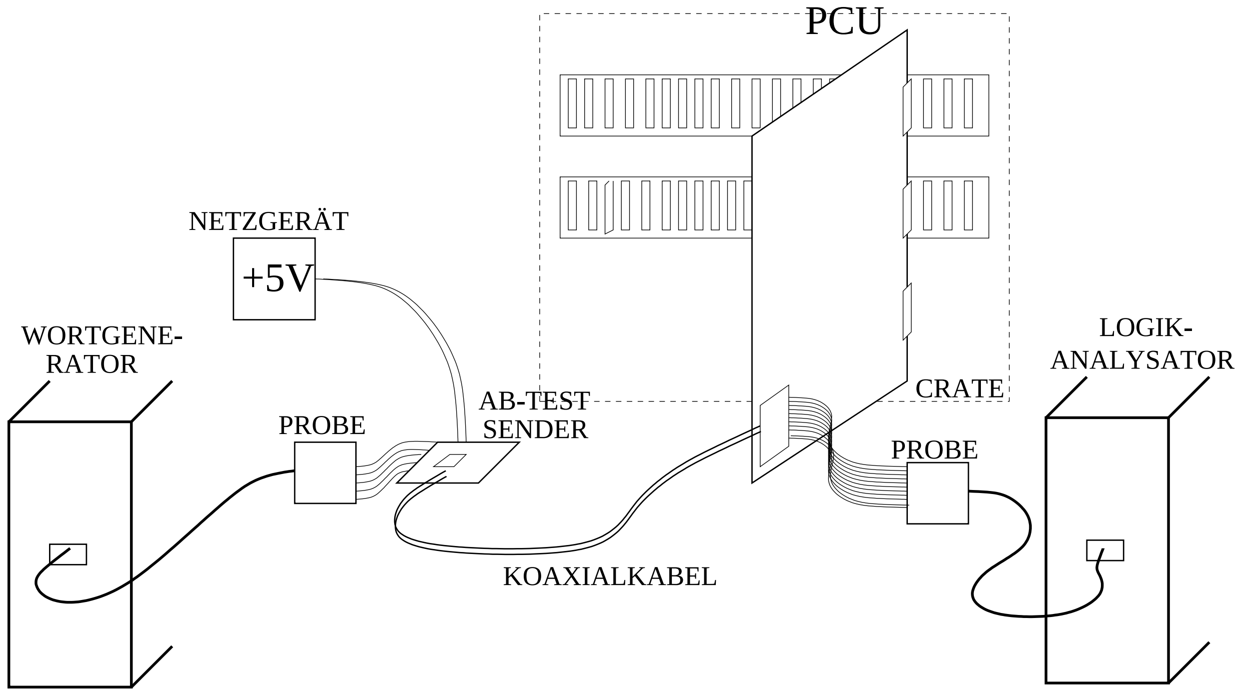

Abb. 6.12: Schematische Darstellung des Meßaufbaus zur Untersuchung der Kontrollschaltung, mit der auf Wortmischungen reagiert wird.

Der zweite Meßaufbau, der schematisch in Abb. 6.12 dargestellt ist, dient zur Überprüfung der Kontrollschaltung der externen Synchronisationsbits. Zur Übertragung fehlerhafter externer Synchronisationsbits wird die Sender–Testkarte benutzt, die in Kap. 4 beschrieben ist. Deren Eingangsdaten werden vom Wortgenerator erzeugt. Über Koaxialkabel gelangen sie zur Empfangsschaltung auf der PCU. Es wird überprüft, ob nach Eingriff der Kontrollschaltung, die Datenübertragung wieder korrekt aufgenommen wird. Die Meßreihen werden mehrmals wiederholt, um eine Reproduzierbarkeit der Ergebnisse nachzuweisen.

Abb. 6.13 zeigt ein Meßergebnis, bei dem die Kontrollschaltung nicht auf einen Bitfehler reagiert, sondern erst, wenn zwei nacheinander folgende Datenworte fehlerhafte externe Synchronisationsbits aufweisen. Das externe Synchronisationsbit $S3$ weist einen Bitfehler auf, den die Schaltung ignoriert. Erst als bei zwei nacheinander folgenden Übertragungen Fehler bei $S3$ auftreten reagiert die Schaltung. Die senkrechten Striche markieren den Zeitpunkt, an dem die fehlerhaften externen Synchronisationsbits überprüft werden. Bei der dargestellten Messung wird daraufhin viermal ein Reset des AUTOBAHN–Bausteins ausgelöst, bevor die Datenübertragung korrekt weiterläuft. Es kann jedoch keine Regelmäßigkeit der benötigten Anzahl von Reset–Durchläufen festgestellt werden, bis die Datenübertragung fehlerfrei weiterläuft. Die Messung wird über 40 mal wiederholt: In etwa 90 % der Messungen werden weniger als 10 Reset–Durchläufe benötigt. Bei den restlichen Messungen läuft die Datenübertragung erst nach mehr als 20 Reset–Durchläufen fehlerfrei weiter.

Es tritt ein weiteres Problem auf, das in Abb. 6.14 dargestellt ist. Anhand dieser Messung kann gezeigt werden, daß nach dem Setzen des Resetsignals noch ein $WCLK$–Signal generiert wird, mit dem fehlerhafte Daten in die Speicher geschrieben werden.

Die senkrechten Striche markieren zwei dieser Ereignisse. Wie auf diese Fehlfunktion reagiert werden kann, wird in 6.3.5 diskutiert.

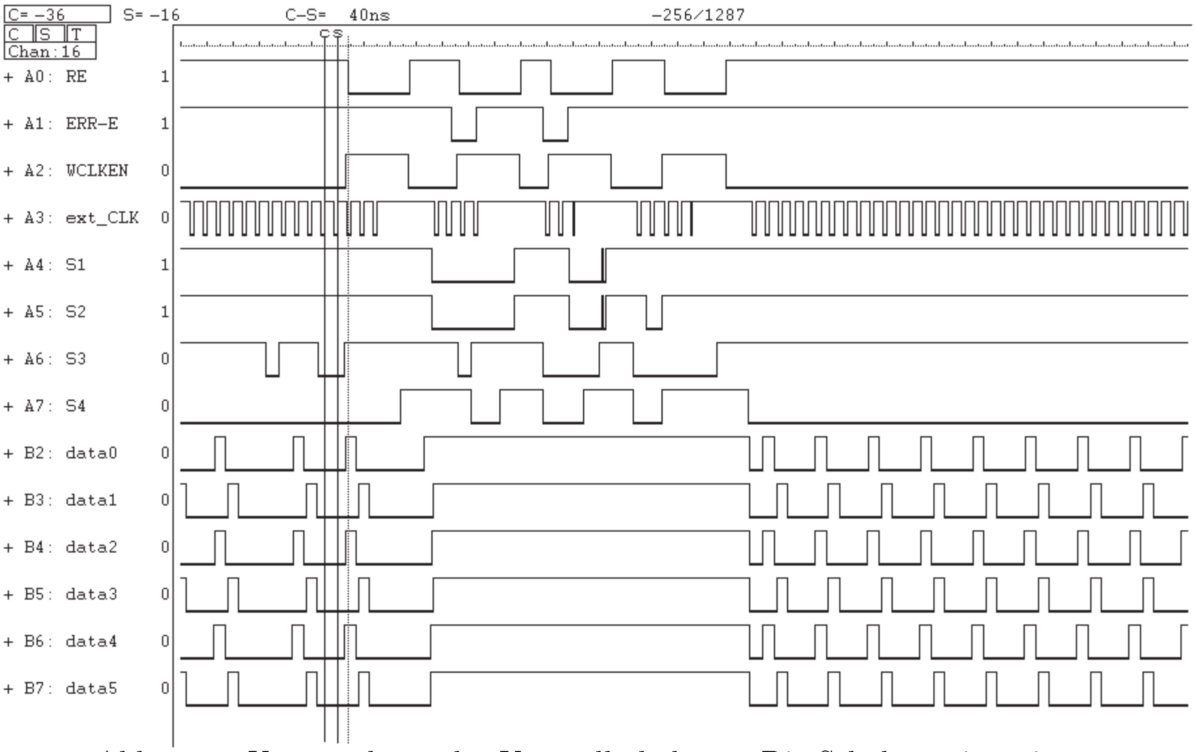

Abb. 6.13: Untersuchung der Kontrollschaltung. Die Schaltung ignoriert Bitfehler. Erst wenn bei zwei nacheinander folgenden Übertragungen die externen Synchronisationsbits fehlerhaft sind, gekennzeichnet durch die senkrechten Striche, wird das Reset–Signal des AUTOBAHN–Bausteins gesetzt. Nach 4 Reset–Durchläufen läuft die Datenübertragung fehlerfrei weiter.

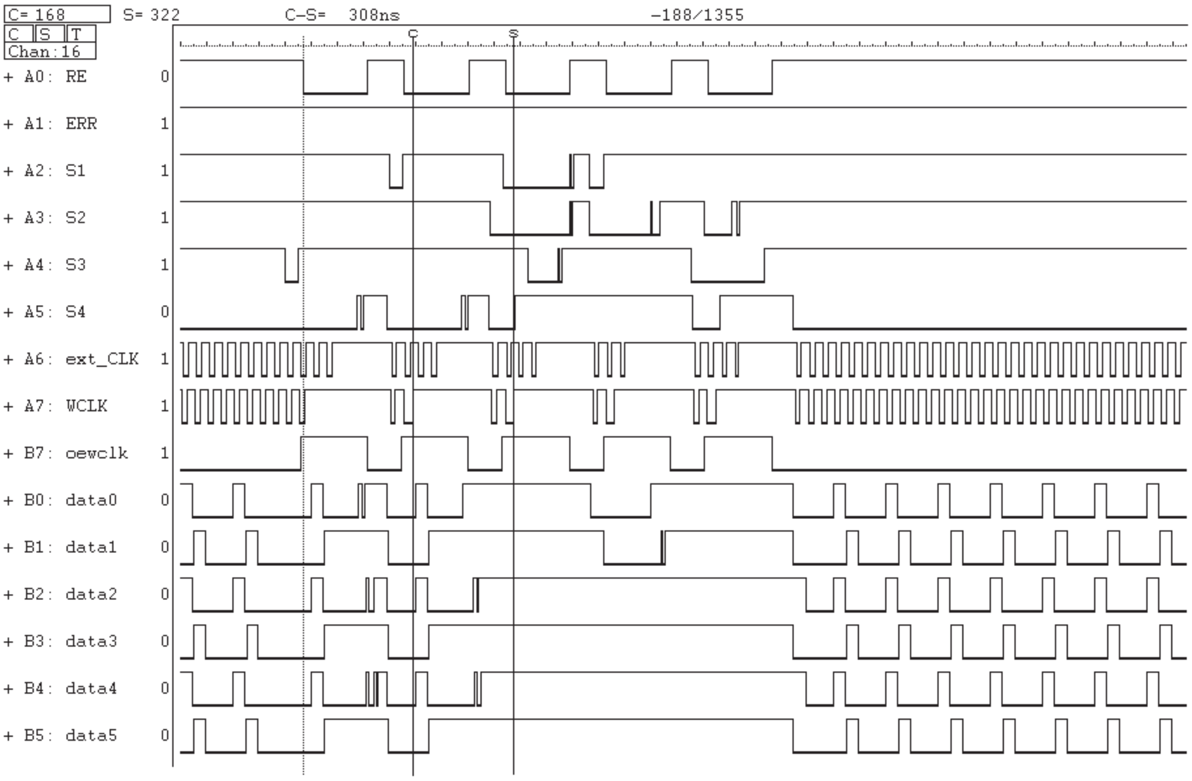

Abb. 6.14: Erzeugung des $WCLK$–Signals trotz Reset des AUTOBAHN–Bausteins. Zwei dieser Ereignisse sind mit senkrechten Strichen markiert. Fehlerhafte Daten werden in die Speicherbausteine getaktet.

6.3.4 Alternative Schaltung zur Datenauslese und $WCLK$–Erzeugung

Die Nachteile der untersuchten Empfangsschaltung sind die benötigte Anzahl der Bauelemente und der Einsatz der Verzögerungsleitungen. Die Erzeugung des $WCLK$–Signals funktioniert mit den Verzögerungsleitungen einwandfrei, jedoch muß überprüft werden, ob die Schaltflanke im richtigen Zeitfenster liegt. Eleganter ist eine andere Version der Schaltung, bei der auf die Verzögerungsleitungen verzichtet werden kann. Die konzeptionelle Funktionsweise der Schaltung ist in [Neu96] nachzulesen. Die hier vorgestellte Schaltung unterscheidet sich von der in [Neu96] dargestellten, da sie auf die speziellen Randbedingungen der Empfangsschaltung abgestimmt ist.

Die positive Flanke des jeweils folgenden $FULL$–Signals wird als $WCLK$–Flanke benutzt, mit der die ausgelesenen Daten in die Speicherbausteine getaktet werden. Dies funktioniert solange einwandfrei, bis das letzte Datenwort gesendet wird. Für diesen Fall wird ein zusätzliches $WCLK$–Signal benötigt.

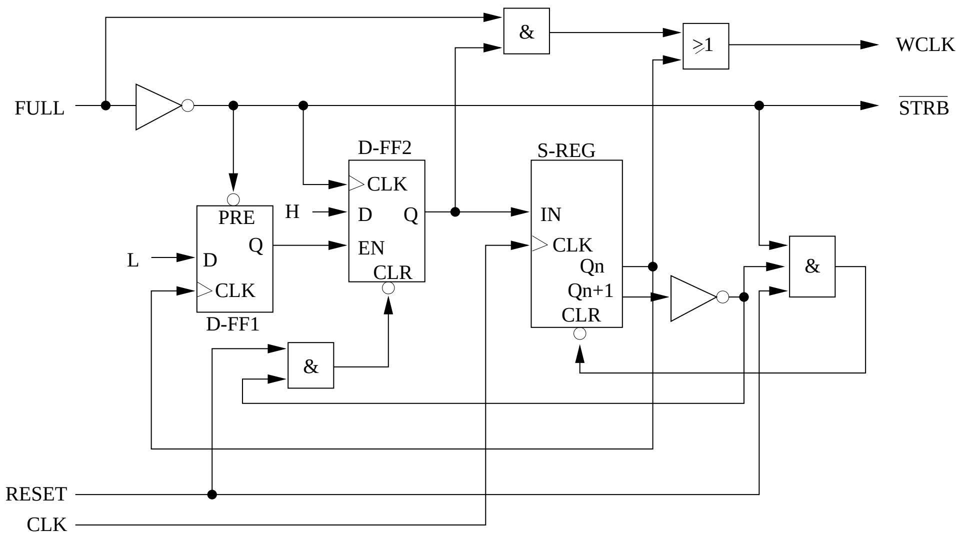

Abb. 6.15: Alternative Schaltung zur Datenauslese und Erzeugung des $WCLK$–Signals.

Die Schaltung, die diese Funktion erfüllt, ist in Abb. 6.15 dargestellt. Die Ausdrücke in Klammern beziehen sich auf Abb. 6.15. Das $FULL$–Signal wird invertiert und bildet das $\overline{STRB}$–Signal. Das $\overline{STRB}$–Signal wird an den PRESET–Eingang eines D–Flip–Flops (**D-FF1**) gegeben, was bewirkt, daß dessen Ausgang (**Q**) 'H'–Niveau besitzt, wenn das $\overline{STRB}$–Signal erscheint. Das Ausgangssignal des ersten D–Flip–Flops wird an den EN–Eingang eines weiteren D–Flip–Flops (**D-FF2**) geleitet. Rechtzeitig zur positiven Flanke des $\overline{STRB}$–Signal, das an den Takteingang (**CLK**) des zweiten D–Flip–Flops gelangt, wird dieses freigeschaltet. An dem D–Eingang des zweiten D–Flip–Flops liegt 'H'–Niveau. Mit der Schaltflanke wird das Signal gespeichert und gelangt an den Ausgang. Der Ausgang ist mit einem UND–Gatter und einem Schieberegister (**S-REG**) verbunden. Über das UND–Gatter gelangt das $FULL$–Signal des nächsten Datenwortes an das ODER–Gatter. Das Schieberegister wird mit dem

100 MHZ Takt des CPLD getaktet. Alle 10 ns wird das Eingangssignal einen Ausgang weiter geschoben. Nach 70 ns wird ein $WCLK$–Signal erzeugt, das über das ODER–Gatter an den $WCLK$–Ausgangspin gelangt. Mit dem $WCLK$–Signal wird auch das erste D–Flip–Flop getaktet, dessen Ausgangsignal dann 'L'–Niveau besitzt. Dadurch wird das zweite D–Flip–Flop blockiert. 10 ns später werden das Schieberegister und das zweite D–FlipFlop zurückgesetzt.

Erscheint vor Ablauf der 70 ns ein weiteres $FULL$–Signal, wird das Schieberegister zurückgesetzt und das $FULL$–Signal bildet das $WCLK$–Signal.

Die Simulation zeigt, daß die Schaltung funktioniert. Hardwaretests sollten jedoch das Simulationsergebnis verifizieren. In Abb. 6.16 ist das Simulationsergebnis dargestellt. Die Realisierung der obigen Schaltung würde die Bauteile reduzieren, die zum Auslesen des AUTOBAHN–Bausteins und der Erzeugung des $WCLK$–Signals nötig sind, da das einzige Bauelement neben dem AUTOBAHN–Baustein das CPLD wäre, in dem sich die gesamte Empfangs– und Kontrollschaltung befände. Aus zeitlichen

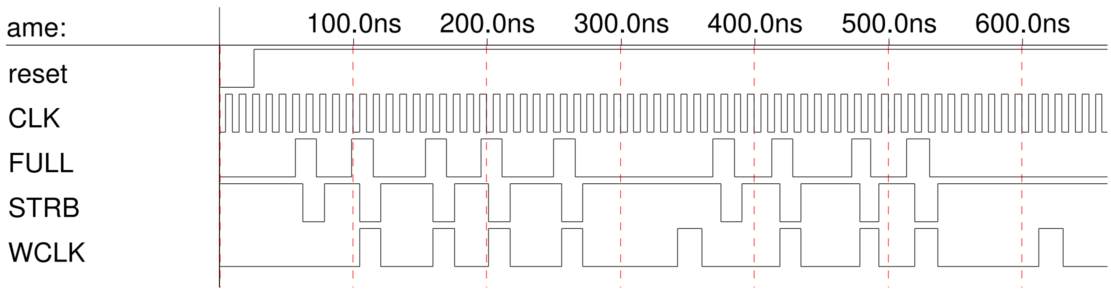

Abb. 6.16: Simulationsergebnis der in Abb. 6.15 dargestellten Schaltung. Nach der letzten Übertragung wird ein $WCLK$–Signal erzeugt, ansonsten wird das $FULL$–Signal des nachfolgenden Datenwortes als $WCLK$–Signal verwendet.

Gründen konnte die Funktion der alternativen Schaltung nicht experimentell überprüft werden.

6.3.5 Zusammenfassung der Meßergebnisse und Schlußfolgerungen

Die Schaltung der Empfangsschnittstelle der PCU funktioniert fehlerfrei. Eine Zustandsmaschine steuert die Konfiguration des AUTOBAHN–Bausteins. Das $\overline{STRB}$–Signal, mit dem die Daten aus dem AUTOBAHN–Baustein ausgelesen werden, wird aus dem invertierten $FULL$–Signal gebildet. Die Daten sind (16±4) ns nach der negativen Flanke des $\overline{STRB}$–Signals an den Ausgängen des AUTOBAHN–Bausteins gültig. (16±4) ns danach erscheint die positive Flanke des $WCLK$–Signals, mit der die Daten in die Speicherbausteine eingelesen werden.

Die Kontrollschaltung der externen Synchronisationsbits reagiert nicht auf Bitfehler. Wenn ein Reset des AUTOBAHN–Bausteins ausgelöst wird, zeigt ein Flag–Bit der nachfolgenden Logik an, daß die Datenübertragung unterbrochen wird und das folgende Datenwort unbrauchbar ist. Die Anzahl der Reset–Durchläufe, die nötig ist, bis die

Datenübertragung fehlerfrei weiterläuft, ist nicht vorhersagbar. In 90 % der Messungen wurden weniger als 10 Durchläufe benötigt.

Ein wichtiger Punkt, der bei dem Schaltungsentwurf für die nächste Version der PCU berücksichtigt werden muß, ist, wie auf das Flag–Signal reagiert werden soll. Es ist denkbar, die gespeicherten Daten zu löschen oder die fehlerhaften Daten und damit fehlerhaften Berechnungen der PCU in die Berechnung der Triggereffizienz mit einzubeziehen . Die Lösung dieser Frage bedarf weiterer Diskussion.

Es ist denkbar, die gesamte Empfangsschaltung in einem CPLD zu integrieren. Dadurch werden Bauteile und damit Platz auf der PCU eingespart, bei der aufgrund der enormen Bauteildichte Plazierungsprobleme auftreten. Bei der Erstellung des Schaltplans für die nächste Version der PCU sollte diese Möglichkeit berücksichtigt werden.

Kapitel 7

Der Pretrigger–Optical–Link

Die Distanz zwischen zwei AUTOBAHN–Bausteinen, dem Sender auf dem PLB und dem Empfänger auf der PCU, über die die seriellen Daten übertragen werden müssen, beträgt ca. 40 m. Die PLBs befinden sich in Crates unterhalb der Myonplattform, in direkter Nähe zum Detektor. Die PCUs werden in Crates in der Elektronikhütte untergebracht.

Die Übertragung der seriellen Daten mittels herkömmlicher Koaxialkabel oder „twisted pair"–Leitungen ist bei einer Datenrate von 900 MBit/s, was im NRZ–Code einer Frequenz von 450 MHz entspricht, nicht möglich. Aufgrund des Skin–Effekts ist die Dämpfung der Signale zu groß. Zusätzlich herrschen in der Umgebung des Detektors elektromagnetische Felder, die die Datenübertragung beeinträchtigen können. Es ist daher naheliegend, die Distanz zwischen den AUTOBAHN–Bausteinen mittels optischer Datenübertragung zu überbrücken. Elektromagnetische Felder haben auf optische Datenübertragung keinen Einfluß, sieht man von den elektrooptischen bzw. optoelektrischen Wandlerschaltungen ab, zudem beträgt die Dämpfung in Glasfaserkabeln ca. 0,2 dB/km [Vog96].

Die folgenden Abschnitte beschreiben die POL–Sender– und POL–Empfangsschaltung. Probleme, die durch den Einsatz des POL entstehen, werden diskutiert, und auf Lösungskonzepte wird eingegangen.

7.1 Der POL–Sender

Die in diesem Abschnitt vorgestellte Schaltung wurde am Lehrstuhl für Informatik V der Universität Mannheim [WG] entworfen. Das Layout der Senderkarte, die für die Messungen benutzt wird, ist im Rahmen dieser Diplomarbeit miniaturisiert worden.

Die Schaltung des POL–Senders ist in Abb. 7.1 dargestellt. Die seriellen Signale SER und $\overline{SER}$ gelangen vom AUTOBAHN–Baustein auf einen Leitungstreiberbaustein[1] (**10EL16**). An jedem Ausgang des Bausteins befindet sich ein Spannungsteiler, der den Arbeitspunkt der Transistoren festlegt. Die 3,3 pF Kondensatoren dienen zur Stromüberhöhung. Das Schaltverhalten des Transistors wird verbessert [Hei85], da der Kondensator statt der Basis des Transistors aufgeladen wird. Beim Schalten des Transistors muß daher nicht erst die Basis entladen werden. Die beiden Transistoren bilden

[1]MC10EL16 der Firma MOTOROLA.

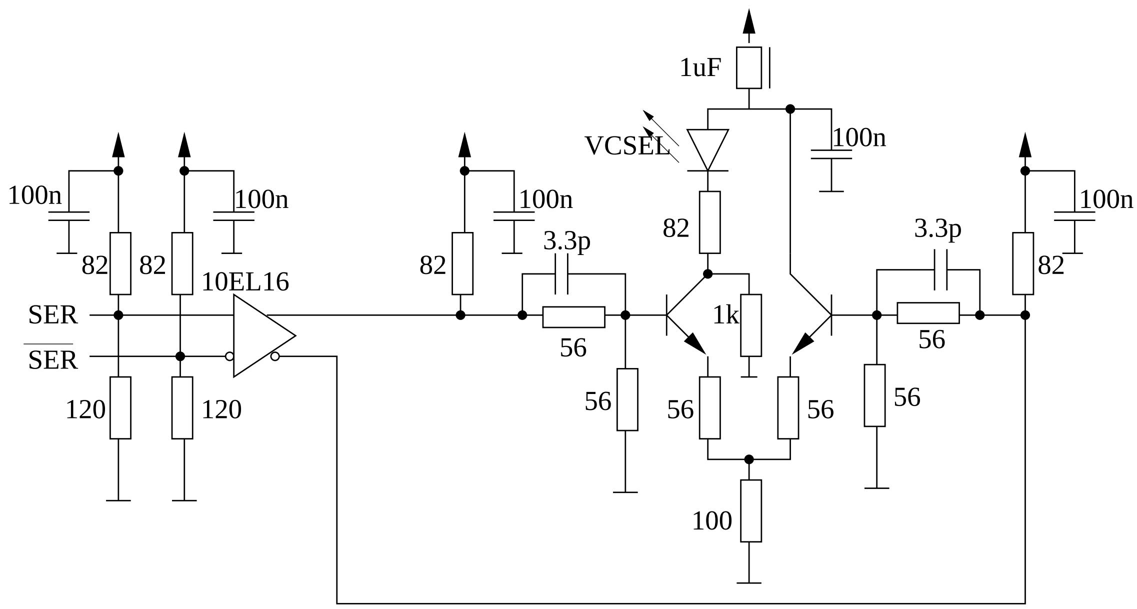

Abb. 7.1: Schaltplan des POL–Senders. [Wur]

eine Differenzverstärkerschaltung. Der Vorteil bei dieser Ansteuerung der Laserdiode liegt in der gleichmäßigen Belastung der Stromquelle. Der Betrag des Stromes, der durch den Emitterzweig fließt, bleibt konstant, ob der Laser angesteuert wird oder nicht [Lut86]. Somit treten keine Stromspitzen beim Einschalten des Lasers auf. In den Kollektorzweig des Transistors, an den das SER–Signal gelangt, ist die Laserdiode eingefügt. Ein Vorwiderstand (**82**) dient der Strombegrenzung. Über den $1\,\mathrm{k}\Omega$–Widerstand (**1k**) wird der Unterlegstrom I_U eingestellt, der in der Nähe des Schwellstromes I_K liegen muß. In Abb. 7.2 ist schematisch die Leistungs–Strom–Kennlinie (PI–Kennlinie) einer Laserdiode dargestellt [Lut86]. Die optische Ausgangsleistung (P) ist gegen den Strom (I) aufgetragen. Im flachen Bereich der PI–Kennlinie verhält sich die Laserdiode wie eine LED[2], es tritt spontane Emission auf. Laserbetrieb, stimulierte Emission, setzt erst oberhalb des Knickes ein. Bei der Laserdiode handelt es sich um einen VCSEL[3]. Der VCSEL besitzt eine symmetrische Abstrahlcharakteristik, was eine Voraussetzug für einen hohen Wirkungsgrad für die Lichteinkopplung in einen Lichtwellenleiter (LWL) ist, da die Fokussierung erleichtert wird [Hes97]. Durch den speziellen Aufbau des VCSEL ist die Kohärenz nicht so groß, wie bei kantenemittierenden Laserdioden. Schlechtere Kohärenz ist bei Verwendung von Multimodefasern wünschenswert. Wird Laserlicht großer zeitlicher Kohärenz in eine Multimodefaser eingekoppelt, kommt es aufgrund der vielen angeregten Moden und daraus resultierenden Ausbreitungskonstanten zu Interferenzerscheinungen, sog. Speckels, die bei Fehlanpassung der Steckverbindungen zu Verlusten führen. Das als Modenrauschen bekannte Phänomen kann durch den Einsatz von Lichtquellen mit geringer bzw. keiner Kohärenz, wie LEDs, vermieden werden [Vog97].

[2]**L**ight **E**mitting **D**iode.

[3]**V**ertical **C**avity **S**urface **E**mitting **L**aser: oberflächenemittierende Laserdiode; HEF4080-321 der Firma HONEYWELL.

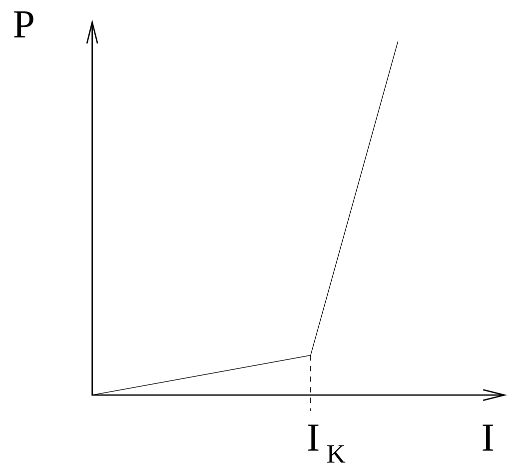

Abb. 7.2: PI–Kennlinie einer Laserdiode. I_K ist der Schwellstrom. Im flachen Bereich der Kennlinie verhält sich die Laserdiode wie eine LED, oberhalb des Schwellstroms arbeitet die Laserdiode im Laserbetrieb. [Lut86]

Der POL ist als Aufsteckkarte der Größe $32 \times 13\,\mathrm{mm}^2$ realisiert. Über Anschlußbeinchen, die in einen 18–poligen DIL[4]–Sockel gesteckt werden, gelangen die Signale auf die Aufsteckkarte. Die genauen Spezifikationen der Karte können in [OLS97] nachgelesen werden.

7.2 Der POL–Empfänger

Die Schaltung und das Kartenlayout wurden am Lehrstuhl für Informatik V der Universität Mannheim [WG] entworfen. Der POL–Empfänger ist eine Aufsteckkarte der Größe $32 \times 13\,\mathrm{mm}^2$. Der Schaltplan und eine Beschreibung der Spezifikationen kann in [OLS97] nachgelesen werden, daher wird hier nur eine kurze Übersicht über die Funktion der Schaltung gegeben.

Das Licht, das in dem LWL geführt wird, gelangt auf eine PIN[5]–Diode. Proportional zur eingestrahlten Lichtleistung wird ein Strom erzeugt, der auf einen Transimpedanzverstärker[6] geleitet wird. Der Transimpedanzverstärker, der mit 4 V Versorgungsspannung betrieben wird, transformiert die hochohmige Stromquelle in eine niederohmige Spannungsquelle und liefert ein differentielles Ausgangssignal. Der Offset der Signale läßt sich mit Hilfe einer Komparatorschaltung extern, z. B. mittels eines Potentiometers, einstellen. Die differentiellen Signale gelangen auf einen Leitungstreiber[7]. Die Ausgänge des Leitungstreibers liefern in Verbindung mit Spannungsteilern PECL–Signale. Zusätzlich befindet sich noch ein Peakwertdetektor auf der Schaltung, der von externer Logik zur Steuerung des Offsets genutzt werden kann. Dazu wird

[4] **D**ual **I**n**L**ine.
[5] **P**ositive **I**ntrinsic **N**egative.
[6] MAX3664 der Firma MAXIM Inc.
[7] MC10EL16 der Firma MOTOROLA Inc.

jedoch auf der Mutterkarte eine CPU[8] benötigt.

7.3 Zerstörung des Übertragungsprotokolls des AUTOBAHN-Bausteins durch den Pretrigger-Optical-Link

Die Datenübertragung zwischen den AUTOBAHN-Bausteinen ist in Kap. 4.1.1 beschrieben. Es werden kurz die wichtigen Zusammenhänge des Übertragungsprotokolls wiederholt.

Nach dem Reset befinden sich die seriellen Ein–/Ausgänge des AUTOBAHN-Bausteins im Cutoff–Zustand. Beide seriellen Leitungen besitzen 'L'–Niveau. Die Datenübertragung beginnt, wenn Daten in das Senderegister des AUTOBAHN-Bausteins geschrieben werden. 15 ns vor der ersten Übertragung geht der serielle Bus vom Cutoff–Zustand in den seriellen Zustand. Das SER–Signal besitzt 'L'–Niveau, das $\overline{SER}$–Signal 'H'–Niveau. Damit der Übergang vom Differenzdetektor korrekt erkannt wird, muß das $\overline{SER}$–Niveau um 0,6 V höher liegen als das SER–Niveau. Danach folgt das erste Synchronisationsbit und das erste Byte des Datenwortes. In Abb. 7.3 ist der Startvorgang verdeutlicht. Es ist für die korrekte Erkennung des Beginns der Datenübertragung notwendig, daß die seriellen Busleitungen im Cutoff–Zustand sind.

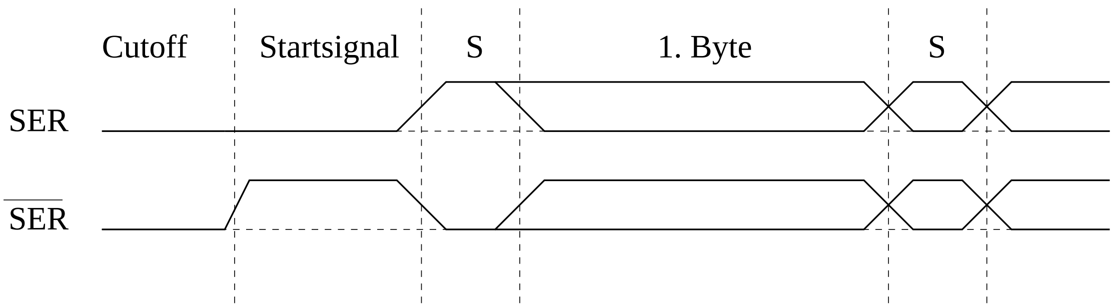

Abb. 7.3: Startvorgang der ersten Datenübertragung. Die seriellen Signale, SER und $\overline{SER}$, befinden sich im Cutoff–Zustand. 15 ns vor der ersten Übertragung gehen die Signale in den differentiellen Zustand (Startsignal). Dann folgt das erste Synchronisationsbit (S) und das erste Byte des Datenwortes. [Mot96b]

Der POL–Empfänger kann keinen Cutoff–Zustand erzeugen. Ein logisches 'L' eines differentiellen Signals bedeutet, daß das SER–Signal 'L'–Niveau besitzt und das $\overline{SER}$–Signal 'H'–Niveau. Einem logischen 'H' entspricht ein 'H'–Niveau auf SER und ein 'L'–Niveau auf $\overline{SER}$. Somit bildet der Cutoff–Zustand, aus der Sicht der logischen Niveaus betrachtet, einen Sonderzustand.

Die PIN–Diode liefert ein Signal, das proportional zur einfallenden Lichtleistung ist. Der Transimpedanzverstärker erzeugt dementsprechend ein differentielles Signal,

[8] **C**entral **P**rocessing **U**nit.

d. h. viel Licht entspricht einem logischen 'H', wenig Licht einem 'L'[9]. Befindet sich der Sende–AUTOBAHN–Baustein im Cutoff–Zustand, liefert der Ausgang des Transimpedanzverstärkers ein logisches 'L'–Signal. Hinter dem Transimpedanzverstärker existiert also kein Cutoff–Zustand.

Werden Daten über den POL geschickt, registriert der Empfangs-AUTOBAHN-Baustein irgendein Synchronisationsbit, taktet die nachfolgenden vier Byte in das Empfangsregister und setzt das $FULL$–Signal. Da das erkannte Synchronisationsbit nicht notwendigerweise das erste des Datenwortes ist, resultieren daraus Wortmischungen.

Registriert die Empfangsschaltung Wortmischungen, wird ein Reset des AUTOBAHN-Bausteins eingeleitet. Die seriellen Ein–/Ausgänge werden kurzzeitig in den Cutoff–Zustand gezwungen. Da die Datenübertragung weiterläuft, wird der Cutoff–Zustand sofort wieder verlassen. Diesen Übergang registriert der Differenzdetektor. Wird dann das erste Synchronisationsbit richtig erkannt, so daß keine Wortmischung stattfindet, läuft die Datenübertragung fehlerfrei weiter. Tritt Wortmischung auf, wird ein weiteres Reset ausgelöst. Die Prozedur wiederholt sich, bis die Synchronisationsbits korrekt erkannt werden [Wur].

7.4 Messungen

Die Messungen, die zur optischen Datenübertragung aufgenommen worden sind, sind von B. Bockholt [Boc97] durchgeführt worden. Es wird daher nur soweit auf die Meßergebnisse eingegangen, wie sie sich auf die Schaltungen des PLB bzw. der PCU oder das Layout des POL–Senders beziehen.

Auf dem PLB und der PCU sind zusätzlich zu den SMA–Steckern, über die die Koaxialkabel mit den seriellen Leitungen verbunden werden, noch 18–polige DIL–Sockel angebracht, mit denen die Aufsteckkarten befestigt werden können.

Erste Messungen zeigen, daß ganz besondere Ansprüche an das Kartenlayout des POL–Senders gestellt werden müssen. Um keine zusätzliche Kapazität zu erzeugen, dürfen die Anschlüsse des Lasers nicht mittels Durchkontaktierungen mit den Leiterbahnen auf der Karte verbunden werden, sondern müssen wie SMD–Bauelemente auf Pads aufgelötet werden. Unterhalb der Pads darf sich keine Massebene befinden, die mit dem Pad einen Kondensator bilden kann [Wur]. Die optische Leistung des Senders muß im Betrieb um $560\,\mu$W liegen, damit die Empfangsschaltung die Signale korrekt erkennt und weiterverarbeiten kann.

Trotz der oben genannten Modifikationen der Senderkarte kann keine fehlerfreie optische Datenübertragung vom PLB zur PCU über die auf den Karten angebrachten Sockel eingerichtet werden. Der Grund hierfür sind wahrscheinlich die durch die Anschlüse an die SMA–Stecker gebildeten Stichleitungen. Diese Stichleitungen erzeugen komplexe Phasen und Reflexionen auf den Leitungen, die die Signale soweit verzerren, daß eine fehlerfreie Übertragung nicht möglich ist. Diese Erklärung wird durch den Umstand bestärkt, daß die optische Übertragung mit speziellen Sockelkarten, die über Koaxialkabel mit dem PLB bzw. der PCU verbunden werden, aufgebaut werden kann.

[9]Wenn auf der Senderseite der AUTOBAHN–Baustein im Cutoff–Zustand ist, wird trotzdem etwas Licht von der Laserdiode abgestrahlt, da der Unterlegstrom durch die Laserdiode fließt.

Auf diesen Sockelkarten werden die Aufsteckkarten befestigt. Die Übertragung mit Koaxialkabeln ist möglich, da die Stichleitungen zu den Sockeln nur einige mm lang sind, während die Leitungen zu den SMA–Steckern einige cm lang sind.

7.5 Zusammenfassung

Die Anpassung hochfrequenter Schaltungen ist sehr komplex, wie die Modifikationen des POL–Sender–Layouts zeigen. Bei der Produktion des POL–Senders müssen die Modifikationen des Layouts in Bezug auf den störenden Einfluß parasitärer Kapazitäten an den Anschlüssen der Laserdiode berücksichtigt werden. Stichleitungen, ausgehend von den schnellen seriellen Signalleitungen, müssen vermieden werden, was bedeutet, daß die SMA–Stecker bei dem nächsten Schaltungsentwurf entfernt werden müssen. Außerdem muß darauf geachtet werden, daß die Leitungen so kurz wie möglich sind. Zur Aufbereitung der Signale sollte ein Leitungstreiber in direkter Nähe des Sockels, am besten unter dem Sockel auf der gegenüberliegenden Seite der Karte, plaziert werden. Die optische Leistung des Senders muß im Betrieb um $560\,\mu$W liegen. Dies kann bedeuten, daß für jeden Kanal der POL–Sender separat angepaßt werden muß.

Kapitel 8

Zusammenfassung und Ausblick

Diese Diplomarbeit ist im Rahmen des **HERA-B** Experimentes, das am **DESY** in Hamburg aufgebaut wird, entstanden. Es wurden Hardwarekomponenten entwickelt und getestet, deren Aufgabe die Datenübertragung der FED–Hitdaten des Myonsystems zur zentralen Recheneinheit des Myon–Pretriggers (PCU) ist.

Zu diesem Zweck ist eine Schaltung entworfen worden, die die Daten vom FED übernimmt, das erforderliche Datenformat mit der nötigen Geschwindigkeit erzeugt und die Ansteuerung des AUTOBAHN–Bausteins kontrolliert. Im Vorfeld wurden Testmessungen zur Datenübertragung zwischen zwei AUTOBAHN–Bausteinen durchgeführt, die generelle Erkenntnisse für den Entwurf der Schaltung des PLB und der Ansteuerung der AUTOBAHN–Bausteine lieferten. Mit Hilfe eines CAD–Programmes wurde ein Schaltplan erstellt. Ein CAD–Layout–Programm wurde zur Erstellung des Leiterpattenlayouts des PLB verwendet. Sechs Leiterbahnlagen, zwei Versorgungsspannungsebenen und 3 Masseebenen werden für die Realisierung der PLB–Leiterplatte benötigt.

Die Erzeugung des Datenformats und die Ansteuerung der AUTOBAHN-Bausteine aller 8 Kanäle auf dem PLB wird mit einer Zustandsmaschine gesteuert, deren Verhaltensbeschreibung in VHDL programmiert ist. Sie konfiguriert den AUTOBAHN–Baustein und steuert die Datenübertragung. Die Datenübertragung beginnt, wenn das $\overline{PAE}$–Signal eines FIFOs gesetzt wird. Das ursprünglich geplante Konzept der Datenübertragung, auf das $\overline{EF}$–Signal zu reagieren, hat sich als nicht praktikabel erwiesen, da aufgrund von Laufzeitunterschieden auf den Taktleitungen ein synchrones Auslesen der FIFOs nicht möglich ist. Da bei dem PLB–Prototypen nicht vorgesehen ist, den OFFSET n des $\overline{PAE}$–Signals zu programmieren, und damit von $n = 31$ auf einen niedrigeren Wert einzustellen, wird das $\overline{PAE}$–Signal erst nach 31 Schreibzyklen gesetzt. Die Daten sind bereits 3,1 μs alt, wenn sie übertragen werden. Um die Latenzzeit zu reduzieren, muß bei dem nächsten Schaltungsentwurf der OFFSET n des $\overline{PAE}$–Signals als programmierbar vorgesehen werden.

Das PLB übernimmt die Daten vom FED mit einer Rate von 10,4 MHz und überträgt sie in zwei Zyklen, markiert mit der zugehörigen BX–Nummer und dem Zyklusbit, mit einer Rate von 25 MHz. Da die Daten nicht schneller übertragen werden können, als sie vom FED bereitgestellt werden, wird nach jeweils zwei Übertragungen ein Wartezustand eingenommen.

Die Messungen zeigen, daß 7 der 8 Sendekanäle fehlerfrei funktionieren. Das fehlerhafte Verhalten des 8. Kanals ist wahrscheinlich auf Fehlanpassung, hervorgerufen durch Stichleitungen auf den schnellen Signalleitungen, zurückzuführen. Es kann ausgeschlossen werden, daß die Fehlerquelle bei der Schaltung zur Erzeugung des Datenformats oder den Kontrollsignalen der Zustandsmaschine zu suchen ist.

Für die Empfangsschnittstelle der PCU ist eine Schaltung entwickelt worden, die die empfangenen Daten aus dem AUTOBAHN–Baustein ausliest und ein Taktsignal erzeugt, mit dem die Daten in den nachfolgenden Speicherbausteinen gespeichert werden. Zusätzlich überwacht die Schaltung, ob durch den Einsatz des POL Wortmischungen auftreten. Vier externe Synchronisationsbits, die die vier Byte des übertragenen Datenwortes markieren, werden überprüft. Die Schaltung reagiert dabei nicht auf Bitfehler der externen Synchronisationsbits, sondern erst, wenn zwei aufeinander folgende Übertragungen fehlerhafte externe Synchronisationsbits aufweisen. In diesem Falle wird ein Reset des AUTOBAHN–Bausteins eingeleitet, das die seriellen Ein–/Ausgänge des AUTOBAHN–Bausteins in den Cutoff–Zustand bringt.

Durch den Einsatz des POL wird das Übertragungsprotokoll der AUTOBAHN–Bausteine zerstört. Der Cutoff–Zustand, bei dem beide differentiellen Signale ‘L’–Niveau besitzen, ist zur korrekten Erkennung des Beginns einer Übertragung wichtig. Der POL–Empfänger ist jedoch nicht in der Lage, einen Cutoff–Zustand zu generieren. Durch das Reset–Signal wird kurzzeitig der Cutoff–Zustand erzeugt. Den Übergang der differentiellen Leitungen aus dem Cutoff–Zustand in den differentielle Zustand erkennt der AUTOBAHN–Baustein. Die Reset–Prozedur wird solange wiederholt, bis keine Wortmischungen mehr auftreten. Die Empfangsschaltung setzt ein Flag–Signal, das der nachfolgenden Logik anzeigt, daß ein Reset–Signal ausgelöst und die Datenübertragung unterbrochen wird. Nach Erhalt des Reset–Signals wird noch ein $WCLK$–Signal erzeugt, mit dem fehlerhafte Daten in die Speicherbausteine getaktet werden. Wie die nachfolgende Logik auf das Flag–Signal reagieren soll, muß noch diskutiert werden. Die Empfangsschaltung sowie die Erzeugung des $WCLK$–Signals funktionieren fehlerfrei. Die Datenübertragung läuft nach Eingriff der Kontrollschaltung der externen Synchronisationsbits und einer nicht vorhersagbaren Anzahl von Reset–Durchläufen fehlerfrei weiter. In 90 % der durchgeführten Messungen wurden weniger als 10 Reset–Durchläufe benötigt.

Der Versuch, POL–Sender und –Empfänger auf dem PLB bzw. auf der PCU in Betrieb zu nehmen, hat gezeigt, daß Stichleitungen bei den Signalwegen der seriellen Leitungen die Datenübertragung nicht fehlerfrei möglich machen. Stichleitungen müssen vermieden werden und Leitungslängen sollten so kurz wie möglich sein. Zur Verbesserung der Signalqualität sollte direkt an den Sockeln der Aufsteckkarten ein Leitungstreiber plaziert werden.

Zusammenfassend läßt sich festhalten, daß die Datenübertragung mit den modifizierten Schaltungen, bei denen die bei den Messungen festgestellten Schwachpunkte beseitigt sind, realisiert werden kann. Trotzdem bedarf es einer Überprüfung, ob die Empfangsschaltung in ein CPLD integriert werden kann und der Alternativvorschlag der Ausleseschaltung realisierbar ist.

Anhang A

Technische Daten von Wortgenerator und Logikanalysator

Tab. A.1: Spezifikationen des Wortgenerator-Modules [dli95, dli97c].

	WG 64050
Ausgangsdaten, Speicher	
Anzahl Kanäle	64
Speichertiefe	4k
Dauer pro Wort	1 bis 65353 Takte ($= 2^{16} - 1$)
Ausgangspegel	TTL, ECL (entsprechend Tastkopf)
Ruhepegel	HOLD DATA TRISTATE
Strobe	1 (10 ns) pro 8 Kanäle
Interne Zeitbasis	
Taktrate	20 ns (50 MHz) bis 500 ms (5 ns Interlace)
Genauigkeit	± 0,1 %
Externer Takt	
Taktrate	max. 50 MHz
Taktflanke	pos./neg./beide
Ausgabesteuerung	
Betriebsarten	AUTO SINGLE STEP
Ausgabesequenz	SINGLE LOOP TO BEGIN LOOP TO LABEL
Steuereingänge	DISABLE HOLD CONTINUE JUMP TO BEGIN JUMP TO LABEL
Tastkopf	
	ADP 88 TTL

Tab. A.2: Spezifikationen der Logikanalysator-Module [dli95, dli97b, dli97a].

	LA 32100	LA 24500
Eingangsdaten, Speicher		
Anzahl Kanäle	32 (16 Interlace)	24 (12 Interlace)
Speichertiefe	32 k	8k
Skew	$\leq$ 2 ns	$\leq$ 1 ns (gleicher Tastkopf) $\leq$ 1,5 ns (gleiches Modul) $\leq$ 2 ns (verschiedene Module)
Min. Pulsbreite für Glitcherfassung	4 ns	–
Interne Zeitbasis		
Taktrate	10 ns (100 MHz) bis 500 ms (5 ns Interlace)	2 ns (500 MHz) bis 500 ms (1 ns Interlace)
Genauigkeit	± 0,1 %	± 0,1 %
Abtastfehler	± 1 Takt	± 1 Takt
Externe Taktverknüpfung		
Takte	2 (bis 100 MHz)	1 (bis 125 MHz)
Taktverknüpfung	ODER	–
Setup-Zeit	4 ns	0 ns (bis 4 ns)
Hold-Zeit	0 ns	7 ns
Schwellwerte		
	TTL, ECL, CMOS, VAR 1,2: − 9,9 V bis + 9,9 V	TTL, CMOS, VAR 1,2: − 9,9 V bis + 9,9 V
Triggerung		
Triggerebenen	15	1
Triggerfkt./Ebene	$\leq$ 4	–
Triggerfilter	nein	ja
Ereigniszähler	1 bis 4095	1 bis 4095
Triggerworte	3 pro Ebene	1
Triggerverzögerung	0 bis 652800	0 bis 652800
Triggerausgänge	15 (1 Bit pro Ebene)	1 (TTL)
Tastköpfe		
	ALP 580 ADP 88 TTL (Trigger)	ALP 580 ALP 140

Tab. A.3: Spezifikationen des Treiber-Tastkopfes [dli95, dli97c].

	ADP 88 TTL
Anzahl Kanäle	8
Masseanschlüsse	1
Logikpegel Ausgang	+ 5 V CMOS
Ausgangsspannung	CMOS: $V_{OH} = 4{,}7\,V$ $V_{OL} = 0{,}2\,V$ TTL: $V_{OH} = 4{,}3\,V - (62 \cdot R \cdot I_{OH})$ mit $I_{OH} \leq 15\,mA$ $V_{OL} = 0{,}3\,V + (62 \cdot R \cdot I_{OL})$ mit $I_{OL} \leq 48\,mA$
Treibersteuerung	intern / extern
Überlastschutz Ausgang	− 12 V bis + 15 V
Stromversorgung	vom WG aus

Tab. A.4: Spezifikationen der Eingangs-Tastköpfe [dli95, dli97a].

	ALP 580	ALP 140
Anzahl Kanäle	8	4
Masseanschlüsse	1	1
Impedanz	2 MΩ / 5 pF	2 MΩ / 5 pF
Bandbreite	≥ 250 MHz	≥ 250 MHz
Min. Pulsbreite	3 ns, > 250 mV	3 ns, > 250 mV
Min. Amplitude	200 mV	200 mV
Max. Spannung	± 100 V	± 100 V
Kabellänge -LA bis Tastkopf -Tastkopf bis Testclip	 1,5 m 200 mm	 1,5 m 80 mm

Anhang B

Abkürzungsverzeichnis

Tab. B.1: Detektorspezifische Abkürzungen

Abkürzung	Erläuterung	Seite
BX	Bunchcrossing	14
EVC	Event–Controler	15
FCS	Fast–Control–System	15
FED	Front–End–Treiber	15
FEE	Front–End–Elektronik	15
FLT	Erste Triggerstufe	15
L4C	Level–4–Controler	16
L4T	Vierte Triggerstufe	16
MF	Absorber zwischen Myonlagen	11
MU	Myonlagen	11
PA	Vorverstärker	18
PCU	Pretrigger–Coincidence–Unit	19
PLB	Pretrigger–Link–Board	19
PMG	Pretrigger–Message–Generator	19
POL	Pretrigger–Optical–Link	19
PRE LINK	Pretrigger–Link–Boards verschiedener Detektorkomponenten	15
SLB	Second–Level–Buffer	15
SLT	Zweite Triggerstufe	15
TFU	Track–Finding–Unit	17
TR LINK	Trigger–Link–Boards verschiedener Detektorkomponenten	15
TRT	Dritte Triggerstufe	15

Tab. B.2: Abkürzungen der Signale

Abkürzung	Erläuterung	Seite
BUSY	BUSY–Signal	24
BX #	BX–Nummer	44
CLK/CLK*	**HERA**–Takt–Signal	44
EF	Empty–Flag–Signal	49
EN	Enable–Signal	81
ERR	Fehlersignal	24
ext-CLK	externes Taktsignal	79
FF	Full–Flag–Signal	49
FULL	FULL–Signal	24
KON	Konfigurationsdaten	36
LD	Load–Signal	49
OE	Output Enable	49
PAE	programmierbares Almost–Empty–Flag–Signal	49
PAF	programmierbares Almost–Full–Flag–Signal	50
RCLK	Lesetakt	48
REG	Registerselect–Signal	24
REN	Read Enable	48
RES	Reset–Signal	24
R/W	Lese–/Schreibsignal	24
S	externes Synchronisationsbit	79
SER	PECL–Dateneingänge bzw. –ausgänge	24
STRB	Strobesignal	24
SYNC	externe Synchronisationsbits	19
WCLK	Schreibtakt	48
WEN	Write Enable	48
ZY	Zyklusbit	19

Tab. B.3: Abkürzungen der Bausteine

Abkürzung	Erläuterung	Seite
ALU	Arithmetic Logic Unit	62
CPLD	Complex Programmable Logic Device	51
DFF	D–Flip–Flop	30
FIFO	First In First Out	48
DPRAM	Dual–Ported–RAM	73
INV	Inverter	30
LAB	Logic–Array–Block	51
LED	Light Emitting Diode	94
LWL	Lichtwellenleiter	94
PIA	Programmable–Interconnect–Array	51
S–REG	Schieberegister	89
VCSEL	Vertical Cavity Surface Emitting Laser	94

Tab. B.4: Sonstige Abkürzungen

Abkürzung	Erläuterung	Seite
ECL	Emitter Coupled Logic	18
LA	Logikanalysator	30
NRZ	No Return to Zero	27
PECL	Positive Emitter Coupled Logic	21
SMD	Surface Mounted Device	32
THMD	Through Holes Mounted Devices	32
TTL	Transistor Transistor Logic	19
VHDL	Very High Speed Integrated Circuit Hardware Description Language	54
VME	Versa Modul Eurocard	43
WG	Wortgenerator	30

Anhang C

Schaltplan des PLB–Prototypen; Version 0.0

Anhang D

Schaltplan des PLB–Prototypen; Version 0.1

Anhang E

Schaltplan der Empfangsschnittstelle

Anhang F

Layout des PLB–Prototypen; Top–Bottomlayer

Literaturverzeichnis

[A+96] A. Arefiev et al. Test of Tube Chambers for **HERA-B** Muon System. Hera–B 96 – 270, 1996.

[AD95] A. Auer and R. Dieter. *FPGA Feldprogrammierbare Gate–Arrays.* Hüthig Verlag, Heidelberg, 1995.

[AHKP95] M. Atiya, R. Harr, P. Karchin, and D. Padrazo. Muon Electronics Design Report. September 14, 1995.

[B+96] R.M. Barnett et al. Particles and Fields – Part I: Review of Particle Physics. *Phys. Rev. D* **54** *(1996) 1*, 1996.

[Bal95] V. Balagura. Gas Pixel Chamber. Hera–B 95 – 148, 1995.

[Boc97] B. Bockholt, 1997. DO, Priv Mitteilung.

[C+64] J.H. Christenson et al. Evidence for the 2π Decay of the K_2^0. *Phys. Rev. Lett.* **13** *(1964) 138*, 1964.

[Cab63] N. Cabibbo. Unitary Symmetry and Leptonic Decays. *Phys. Rev. Lett.* **10** *(1963) 531*, 1963.

[dli95] Didital Logic Instruments GmbH dli. *Personal Line—Meßmodule und Optionen.* Publ.–Nr. 3 PALMAN3-03/A, 1995. Handbuch.

[dli97a] Didital Logic Instruments GmbH dli. *LA 24500: The 500 MHz/1 GHz Logic Analyzer Modules for the Personal Line Series*, 1997. http://www.cware.de/dli/laxx500.htm.

[dli97b] Didital Logic Instruments GmbH dli. *LA 32100: The New Generation of 100 MHz/200 MHz Logic Analyzer Modules for the Personal Line Series*, 1997. http://www.cware.de/dli/laxx100.htm.

[dli97c] Didital Logic Instruments GmbH dli. *WG 64050: The 50 MHz Word Generator Modules for the Personal Line Series*, 1997. http://www.cware.de/dli/wgxx050.htm.

[For98] B. Forminykh, 1998. Private Mitteilung.

[FT57] J.I. Friedmann and V.L. Telegdi. Nuclear Emulsion Evidance for Parity Nonconservation in the Decay Chain $\pi^+ - \mu^+ - e^+$. *Phys. Rev.* **105** *(1957) 1681*, 1957.

[Ful97a] T. Fuljahn, Dezember 1997. DESY, Private E–Mail.

[Ful97b] T. Fuljahn. Das **HERA-B** Datennahmesystem. 1. **HERA–B** Doktorandentreffen in Dortmund, November 1997.

[GLW57] R.L. Garwin, L.M. Ledermann, and M. Weinrich. Observation of the Failure of Conservation of Parity and Charge Conjugation in Meson Decays: the Magnetic Moment of the Free Muon. *Phys. Rev.* **105** *(1957) 1415*, 1957.

[GMP55] M. Gell-Mann and A. Pais. Behaviour of Neutral Particles under Charge Conjugation. *Prog. Theor. Phys.* **97** *(1955) 1387*, 1955.

[H+95] E. Hartouni et al. **HERA-B** An Experiment to Study CP Violation in the B System Using an Internal Target at the HERA Proton Ring. Design Report, DESY–PRC 95/01, January 1995.

[Hei85] W. Heinlein. *Grundlagen der faseroptischen Übertragungstechnik.* B.G. Teubner, Stuttgart, 1985.

[Hes97] W. Hessenberger. Giga–Strahl. *Elektronik Praxis*, May 1997.

[HM84] F. Halzen and A.D. Martin. *Quarks and Leptons: An Introductory Course in Modern Particle Physics.* John Wiley & Sons, 1 st edition, 1984.

[HRS94] P. Heusinger, K. Ronge, and G. Stock. *PLDs und FPGAs in der Praxis: Komplexe Logikbausteine erfolgreich programmieren.* Franzis–Verlag, Poing, 1994.

[İ96] S. İşsever. *Vorbereitende Untersuchungen für das* **HERA-B** *Experiment.* Diplomarbeit, Universität Dortmund, März 1996.

[IA95] J. Ivarsson and T. Åkesson. Beauty Production at the **HERA-B** Experiment. Hera–B 95–098, 1995.

[Int95] Integrated Device Technology. Inc. *CMOS SyncFIFO^{TM} 64×9, 512×9, 1024×9, 2048×9 and 4096×9*, Dec 1995. Datenblatt (DSC-2655/6).

[Int96a] Integrated Device Technology. Inc. *CMOS SyncFIFO^{TM} 256×18, 512×18, 1024×18, 2048×18*, Dec 1996. Datenblatt (DSC-2766/7).

[Int96b] Integrated Device Technology. Inc. *FAST CMOS 16–BIT BUFFER/LINE DRIVER*, Oct 1996. Datenblatt (DSC-2544/9).

[Int96c] Integrated Device Technology. Inc. *FAST CMOS 16–BIT REGISTER (3-STATE)*, Aug 1996. Datenblatt (DSC-4230/9).

[Jar89] C. Jarlscog. *CP Violations: Advanced Series on Directions in High Energy Physics*, volume 3. World Scientific Publ., Singapore, 1 st edition, 1989.

[KM73] M. Kobayashi and T. Maskawa. CP–Violation in the Renormalizable Theory of Weak Interaction. *Prog. Theor. Phys.*, 49(652), 1973.

[Kol97] M. Kolander, 1997. DO, Private Mitteilung.

[Kü93] E. Kühn. *Handbuch TTL– und CMOS–Schaltungen*. Verlag Technik, Berlin, 4 th edition, 1993.

[L+94] T. Lohse et al. **HERA-B** An Experiment to Study CP Violation in the B System Using an Internal Target at the **HERA** Proton Ring. Proposal, DESY–PRC 94/02, May 1994.

[Lan57] L.D. Landau. On the Conservation Laws for Weak Interactions. *Nucl. Phys.* **3** *(1957) 127*, 1957.

[Lü57] G. Lüders. Proof of the TCP Theorem. *Ann. Phys.* **2** *(1957) 1*, 1957.

[Lut86] D. Lutzke. *Lichtwellenleiter–Technik*. Pflaum Verlag München, München, 1986.

[LY56] T.D. Lee and C.N. Yang. Question of Parity Conservation in Weak Interactions. *Phys. Rev.* **104** *(1956) 254*, 1956.

[Mot96a] Motorola Inc. *Product Preview AutoBahn^{TM} Spanceiver^{TM}*, April 1996. Datenblatt REV 0.1.

[Mot96b] Motorola Inc. *Product Preview AutoBahn^{TM} Support Device (ABSD)*, Jun 1996. Datenblatt REV 0.1.

[Mot97] Motorola Inc. *AutoBahn^{TM} Spanceiver^{TM}*, Jun 1997. Datenblatt REV 0.

[Neu96] R. Neumann. Board and Intervace Design for AutoBahn^{TM} Spanceiver^{TM} (mc100sx1451fi50/100). Application Note an1582 REV 0, Motorola. Inc, 1996.

[Neu97] R. Neumann, 1997. Motorola GmbH, Geschäftsbereich Halbleiter , Telefonat.

[Noe18] E. Noether. Invariante Variationsprobleme. *Nachr. v. d. Ges. d. Wiss. zu Göttingen* **2** *(1918) 235*, 1918.

[NS95] R. Neumann and B. Schmied. AutoBahn^{TM} Point–to–Point Links with Coaxial Cables. Application Note an1549 REV 0, Motorola. Inc, 1995.

[OLS97] **HERA–B** optical link specifications–Version 0.2, Aug 1997.

[Pau55] W. Pauli. *Niels Bohr and the Development of Physics; Exclusion Principle, Lorentz–Group and Reflection of Space–Time and Charge*. Pergamon Press, London, 2 nd edition, 1955.

[PP96] C. Petty and T. Person. Designing With PECL (ECL at +5 V). Application Note an1406 REV 0, Motorola. Inc, 1996.

[Res96] D. Ressing. First Level Trigger for **HERA-B**. Hera–B 96 – 244, 1996.

[Res97a] D. Ressing, April 1997. Treffen der dortmunder Myon–Gruppe mit D. Ressing, private Mitteilung.

[Res97b] D. Ressing. Muon–Pads Trigger Link for 96. DRAFT f15dom@x4u2.desy.de, March 1997.

[Res97c] D. Ressing. Trigger Link Requirements. DRAFT f15dom@x4u2.desy.de, April 1997.

[RF97] D. Ressing and T. Fuljahn. FCS specifications. Specifications, May 1997.

[Ros96] J.L. Rosner. CKM Matrix and Standard–Model CP Violation. In *Nucl. Phys. Proc. Suppl. vorgelegt*, Tsukuba Japan, Oct 1996. 4 th KET Topical Conference on Flavor Physics.

[Sak67] A.D. Sakharov. Violation of CP Invariance, C Asymmetry, and Baryon Asymmetry of the Universe. *Sov. Phys. JEPT Lett.* **5** *(1967) 24*, 1967.

[Sau88] R. Sautter. *Leiterplatten mit oberflächenmontierten Bauelementen.* Vogel Buchverlag, Würzburg, 1988.

[Sch96] H. Schröder. CP Verletzung. Blockkurs Graduiertenkolleg, Universität Dortmund, Okt 1996.

[Sch97] B. Schwenninger. *Untersuchungen der Myon–Pretrigger–Elektronik für das* **HERA–B** *Experiment.* Diplomarbeit, Universität Dortmund, März 1997.

[Sch98] A.S. Schwarz. Outer Tracker **HERA-B**. Hera–B 98 – 038, 1998.

[Spe96] J. Spengler. **HERA-B** An Experiment to Sudy CP Violation in the B System Using an Internal Target at the **HERA** Proton Ring. Hera–B 96 – 174, 1996.

[Spr96] S. Spratte. *Untersuchung zu den Eigenschaften eines internen Drahttargets für das* **HERA–B** *Experiment.* Diplomarbeit, Universität Dortmund, März 1996.

[Tit96] M. Titov. Studies of Background for Muon Identification at the **HERA–B** Experiment. Hera–B 96 – 137, 1996.

[TS93] U. Titze and C. Schenk. *Halbleiter–Schaltungstechnik.* Springer–Verlag, Berlin Heidelberg New York, 10 th edition, 1993.

[Vog96] E. Voges. Optische Übertragungstechnik I. Vorlesung WS 96/97, 1996.

[Vog97] E. Voges. Optische Übertragungstechnik II. Vorlesung SS 97, 1997.

[W+57] C.S. Wu et al. Experimental Test of Parity Conservation in Beta Decay. *Phys. Rev.* **105** *(1957) 1413*, 1957.

[WG] A. Wurz and J. Gläß. Lehrstuhl für Technische Informatik, Universität Mannheim.

[Wol64] L. Wolfenstein. Violation of CP Invariance and the Possibility of Very Weak Interactions. *Phys. Rev. Lett.* **13** *(1964) 562*, 1964.

[Wol83] L. Wolfenstein. Parametrization of the Kobayashi–Maskawa–Matrix. *Phys. Rev. Lett.* **51** *(1983) 1945*, 1983.

[Wur] A. Wurz. Lehrstuhl für Technische Informatik, Universität Mannheim.

[Wur96] R. Wurth. HIT FED u–System Design Status. in Hera–B 96 – 210, 1996.

[Zai95] Y. Zaitsev. Status of the Muon System. Hera–B 95 – 110, 1995.

[Zai97] Y. Zaitsev, Mar 18 th 1997. Fwd E–Mail from B. Schwenninger.

Danksagung

- An dieser Stelle möchte ich Herrn Prof. Dr. D. Wegener für das interessante Thema dieser Diplomarbeit und seine Unterstützung danken.

- Herrn Prof. Dr. P. Buchholz danke ich für die Bereitschaft, die Aufgabe des Koreferenten zu übernehmen.

- Markus Kolander bin ich für seine unschätzbare Hilfe zu besonderem Dank verpflichtet. Seine guten Anregungen und hilfreichen Antworten sind einfach unbezahlbar —„Hundert Maaaark . . . !“

- Dipl. Ing. N. Koch möchte ich danken, daß er immer Zeit für mich finden konnte, wenn ich seinen fachlichen Rat benötigte.

- Meinen besonderen Dank möchte ich meinen Korrektoren Björn Schwenninger, Markus Adams und Markus Kolander für ihre kritischen Kommentare nach Lesen des Manuskripts aussprechen.

- Matthias Grewe, Thomas Wenk, Bernhard Bockholt und Karsten Pfeiffer möchte ich für all den Spaß danken, den wir hatten.

- Oliver Leisering danke ich für die schöne Zeit, die wir im Studium hatten.

- Bei allen Mitgliedern des Lehrstuhls für Experimentelle Physik V möchte ich mich für kleine und große Hilfestellungen bedanken.

- Nicht zuletzt danke ich meinen Eltern, Großeltern und meinem Bruder für die Unterstützung, die sie mir während des Studiums haben zukommen lassen.
  Meiner Verlobten, Alexandra, danke ich für ihre Geduld und unermüdliche Hilfe.
  Ihr ist diese Diplomarbeit in allererster Linie gewidmet.

Diese Arbeit wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter der Nummer 057DO55P gefördert.