Untersuchungen der Myon-Pretrigger-Elektronik für das **HERA – B** Experiment

Diplomarbeit

am Lehrstuhl für

Experimentelle Physik V

des Fachbereichs Physik

der Universität Dortmund

vorgelegt von

Björn Schwenninger

14. März 1997

“ This discovery was not expected, it was not wanted when found, and the early explorations were directed to finding a way through and around it. But this is also precisely what has been said about the discovery of America by Columbus. ”

Val L. Fitch über die Entdeckung der CP-Verletzung im K-System [Fit 83]

Inhaltsverzeichnis

Kapitel 1

Einleitung

Die Messung der CP-Verletzung im B-Meson-System ist das Ziel vieler geplanter Experimente im Bereich der Hochenergiephysik. In diesem Kapitel werden die Beweggründe hierfür dargelegt. Ausgehend von dem zentralen Begriff „Symmetrie" wird die Bedeutung der CP-Verletzung in der modernen Physik aufgezeigt. Weiterhin werden die grundlegenden Prinzipien des HERA – B Experimentes erläutert. Im Rahmen dieses Experimentes, welches die CP-Verletzung im System der neutralen B-Mesonen nachweisen soll, ist diese Arbeit entstanden.

1.1 Diskrete Symmetrien

Symmetrie- bzw. Invarianzüberlegungen spielen in der modernen Physik eine zentrale Rolle. Die Arbeiten von Einstein stehen für die Umkehrung der vor seiner Zeit üblichen Vorgehensweise: Er leitete Naturgesetzmäßigkeiten aus Invarianzgesetzen her, nicht umgekehrt [Wig 49]. So entwickelte er z. B. die Gesetzmäßigkeiten der Speziellen Relativitätstheorie aus dem Prinzip der Lorentz-Invarianz; analoges gilt für die Gleichungen der Allgemeinen Relativitätstheorie und das Äquivalenzprinzip.

Grundlage dieser Vorgehensweise bildet das Noether-Theorem, wonach zu jeder kontinuierlichen Symmetrietransformation, die die Bewegungsgleichungen invariant läßt, eine dynamische Erhaltungsgröße und ein Erhaltungssatz gehört [Noe 18]. In der klassischen Mechanik etwa folgen aus der Invarianz gegen Zeit-, Raumtranslationen und gegen Rotationen die Erhaltungssätze für Energie, Impuls und Drehimpuls. Mit dem Korrespondenzprinzip lassen sich diese Erhaltungssätze auf die Quantenmechanik übertragen. Die bisher genannten Symmetrien werden als kontinuierlich bezeichnet, da sich die Transformationen aus infinitesimalen Teilen zusammensetzen lassen.

Im Gegensatz dazu lassen sich die diskreten Symmetrien, wie etwa die räumliche oder zeitliche Spiegelsymmetrie, nicht mit dem Noether-Theorem in Verbindung bringen. Sie werden durch die Paritätsoperation P bzw. die Zeit- oder Bewegungsumkehroperation T vermittelt. Ein weiteres Beispiel ist die Ladungskonjugation C, auch als Parität des Ladungsraumes zu bezeichnet, da sie das Vorzeichen aller ladungsartigen Größen von Teilchen umkehrt. Dies sind nicht nur, wie in der klassischen Physik, elektrische Ladung und magnetisches Moment, sondern zudem Lepton- bzw. Baryonzahl, Strangeness, Charm und Beauty. Das Beispiel von Neutrinos, die nur schwach wechselwirken, zeigt, warum es nicht in allen Fällen korrekt ist, die Ladungskonjugation als Teilchen-Antiteilchen-Operation zu definieren [Jar 89]: Die Anwendung von C führt zu einem Zustand, der nicht existiert, CP dagegen erzeugt ein Antineutrino. Deshalb wird CP auch als „*eigentliche* Teilchen-Antiteilchen-Operation" bezeichnet [Sch 96b]. Das CPT-Theorem besagt, daß die Kombination dieser drei diskreten Transformationen CPT, in beliebiger Reihenfolge ausgeführt, unter weit gefaßten Voraussetzungen[1] erhalten ist [Lüd 57, Pau 55].

Nachdem experimentell gezeigt worden war, daß in der schwachen Wechselwirkung weder P, C noch T alleine erhalten sind [Wu 57, Gar 57, Fri 57], wurde lange Zeit angenommen, daß die Kombination CP auch in dieser Wechselwirkung erhalten ist [Lee 56, Lan 57], womit die T-Invarianz als Folge des CPT-Theorems gelten würde. Auf Grundlage dieses Postulates leiteten Gell-Mann und Pais Konsequenzen für das System der neutralen K-Mesonen her [Gel 55]: Die Eigenzustände der starken Wechselwirkung K^0 (Strangeness $\mathrm{S}=+1$) und $\overline{\mathrm{K}^0}$ ($\mathrm{S}=-1$) lassen sich zu zwei CP-Eigenzuständen der schwachen Wechselwirkung überlagern, von denen einer (K_1) in zwei Pionen (CP-Eigenwert$\,=+1$), der andere (K_2) in drei Pionen ($CP=-1$) zerfallen kann. Deshalb unterscheiden sich die beiden Zustände in ihren Zerfallsraten:

$$\Gamma(K_{1/2} \rightarrow n\pi) \propto (m_K - n \cdot m_\pi)^5. \tag{1.1}$$

Nach (1.1) ist die Zerfallsrate für K_1 wesentlich größer als für K_2.

1.2 *CP*-Verletzung

Im Jahr 1964 veröffentlichten Christenson, Cronin, Fitch und Turlay [Chr 64] das Ergebnis eines Experimentes, das durchgeführt wurde, um eine neue experimentelle Grenze für die CP-Invarianz zu setzen, aber genau das Gegenteil tat: Sie wiesen nach, daß die langlebigen K^0-Mesonen CP-verletzend mit einem Verzweigungsverhältnis von etwa $2 \cdot 10^{-3}$ in zwei Pionen zerfallen. Da sie somit nicht mit dem CP-Eigenzustand K_2 identisch sind, bezeichnet man seither die neutralen langlebigen K-Mesonen mit $\mathrm{K}^0_{\mathrm{L}}$ und die kurzlebigen mit $\mathrm{K}^0_{\mathrm{S}}$.

Nicht nur für die Physik der kleinsten Skala, die Elementarteilchenphysik, ist diese Entdeckung von großer Bedeutung: Die physikalischen Gegebenheiten auf der Skala von Galaxien hängen eng damit zusammen. Die Verbindung zwischen diesen beiden Extremen liegt in der heute allgemein akzepierten Theorie der Entstehung des Universums, der Urknalltheorie. Sie geht von einem Anfangszustand aus, dessen Energien oder Teilchendichten noch weit über die Grenzen der aktuellen Experimente der Hochenergiephysik hinausgehen. Somit spielen viele Effekte der Hochenergiephysik eine große Rolle für die frühe Phase der Entstehung des Universums. Kurze Zeit nach dem Nachweis der CP-Verletzung im K-Meson-System und der Entdeckung der 3K-Hintergrundstrahlung [Pen 65] entwickelte Sakharov eine Theorie [Sak 67], die erklären konnte, warum im Universum eine Asymmetrie zwischen Materie und Antimaterie beobachtet wird. Notwendige Annahmen hierfür sind neben C- und CP-Verletzung eine Verletzung von Baryon- und Leptonzahl, bei gleichzeitiger Erhaltung einer Linearkombination beider,

[1] i. w. für lokale und kausale Lorentz-invariante Quantenfeldtheorien

und eine Periode des thermischen Ungleichgewichtes kurz nach dem Urknall. In dieser Phase bleibt ein kleiner Überschuß von Baryonen gegenüber Antibaryonen, durch den die beobachtete Asymmetrie erklärt werden kann.

Ungeklärt ist bis dato die Ursache der *CP*-Verletzung im K-Meson-System. Eine Möglichkeit ist eine Mischung von K^0 und $\overline{K^0}$ aufgrund einer sog. superschwachen Wechselwirkung, die um Größenordnungen schwächer als die schwache Wechselwirkung und nur im K-Meson-System zu beobachten ist [Wol 64]. Die derzeit favorisierte Erklärung der *CP*-Verletzung erfolgt dagegen mit Hilfe des Standardmodells der Elementarteilchenphysik. Die schwachen Übergänge der Quarks werden darin durch die

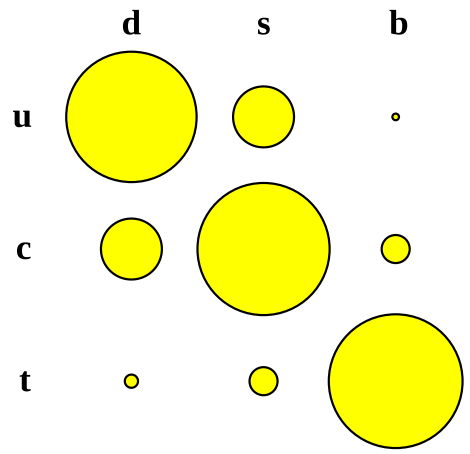


Abb. 1.1: Darstellung der CKM-Matrix. Die Kreisfläche ist proportional zum Betrag der Übergangsamplitude von einem Quark auf der linken Seite zu einem Quark auf der oberen Seite; Zahlenwerte nach [Bar 96].

CKM-Matrix[2] [Cab 63, Kob 73] beschrieben, eine 3×3-Matrix für die drei Familien von Quarks. Abbildung 1.1 zeigt schematisch die betragsmäßige Größe der Matrixelemente. Die Übergänge innerhalb einer Familie, $\mathrm{u} \to \mathrm{d}, \mathrm{c} \to \mathrm{s}, \mathrm{t} \to \mathrm{b}$ dominieren gegenüber den Übergängen zwischen verschiedenen Familien. Auffällig ist, wie schwach die dritte Familie an die anderen beiden koppelt. Allerdings sind die relativen Unsicherheiten gerade bei diesen Matrixelementen groß. Mit drei Familien von Quarks wird es möglich, *CP*-Verletzung zu beschreiben, da hier nicht-reelle Matrixelemente auftreten können [Hal 84]. Dies wird besonders in der Wolfenstein-Parametrisierung der CKM-Matrix in (1.2) deutlich, die eine Approximation in dritter Ordnung des Parameters λ darstellt [Wol 83]. Die linke obere 2×2-Submatrix wird allein durch den Parameter λ beschrieben. Erst mit Hinzufügen der dritten Familie müssen die drei zusätzlichen Parameter A, ρ und η eingeführt werden. Falls $\eta \neq 0$, sind die Mischungselemente zwischen der ersten und dritten Familie nicht-reell und es tritt *CP*-Verletzung auf. Aufgrund der schwachen Kopplung zwischen erster und dritter Familie ist der zu erwartende *CP*-verletzende Ef-

[2] **C**abibbo-**K**obayashi-**M**askawa-Matrix

fekt sehr klein.

$$\mathbf{V_{CKM}} = \begin{pmatrix} 1-\frac{\lambda^2}{2} & \lambda & A\lambda^3(\rho - i\eta) \\ -\lambda & 1-\frac{\lambda^2}{2} & A\lambda^2 \\ A\lambda^3(1-\rho-i\eta) & -A\lambda^2 & 1 \end{pmatrix} + \mathcal{O}(\lambda^4) \tag{1.2}$$

$$\begin{aligned} \text{mit:}\quad & \lambda = \sin(\theta_C) = 0{,}2205 \pm 0{,}0018 \\ & A = 0{,}808 \pm 0{,}058 \\ & (\rho^2 + \eta^2)^{1/2} = 0{,}363 \pm 0{,}073 \qquad \text{[Ros 96]} \end{aligned}$$

Die Wolfenstein-Parametrisierung bietet eine Möglichkeit, das Vorhandensein von CP-Verletzung zu veranschaulichen. Die Unitarität der CKM-Matrix führt zu Relationen wie z. B. (1.3).

$$V_{ud}^* V_{td} + V_{us}^* V_{ts} + V_{ub}^* V_{tb} = 0 \tag{1.3}$$

Diese Relation läßt sich als Dreieck in der komplexen $\rho - \eta-$Ebene darstellen, wie in Abbildung 1.2 zu sehen ist. Dort sind einige physikalische Prozesse gezeigt, aus deren Untersuchung die Seitenlängen und Winkel dieses sog. Unitaritätsdreieckes bestimmt werden können. Besonders interessant ist hierbei das B-Meson-System, weshalb in der nahen und fernen Zukunft viele Experimente Messungen auf diesem Gebiet durchführen werden. Sie werden das Standardmodell daraufhin testen, ob es CP-Verletzung erklären kann. Eines dieser Experimente wird am **D**eutschen **E**lektronen **Sy**nchrotron (DESY) in Hamburg aufgebaut: das HERA – B Experiment.

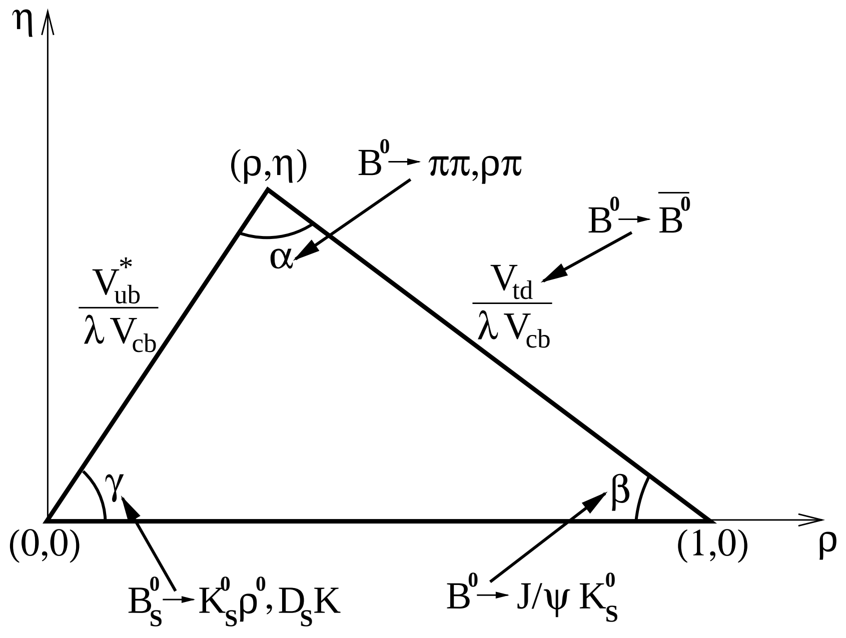


Abb. 1.2: Ein Unitaritätsdreieck und physikalische Prozesse, mit denen sich Winkel oder Seitenlängen bestimmen lassen; nach [Har 95].

1.3 Grundlagen und Ziele des **HERA – B** Experimentes

Das System der neutralen B-Mesonen ist aus mehreren Gründen gut geeignet, eine mögliche *CP*-Verletzung nachzuweisen. Zum einen sagt das Standardmodell einen relativ großen Effekt voraus, zum anderen bieten die schwereren B-Mesonen gegenüber K-Mesonen den Vorteil einer größeren Zahl von Zerfallskanälen, in denen *CP*-Verletzung auftreten kann. Besonders starke *CP*-Asymmetrien sind in Zerfällen von B-Mesonen direkt in *CP*-Eigenzustände zu erwarten. Zudem sind diese Zerfälle unahängig von relativ ungenau bekannten hadronischen Matrixelementen [Big 89]. Ein solcher Zerfall ist der in Abbildung 1.3 dargestellte „goldene Zerfall“ des HERA – B Experimentes

$$\mathrm{B^0/\overline{B^0} \rightarrow J/\psi\, K_S^0 \rightarrow l^+ l^- \pi^+ \pi^-}, \tag{1.4}$$

wobei l für ein Elektron/Positron oder Myon aus dem Zerfall des J/ψ steht. Dieser Zerfallskanal zeigt außerdem einen direkten Zusammenhang zwischen Asymmetrie und Winkel im Unitaritätsdreieck; sog. „Pinguin“-Amplituden tragen hier nicht bei [Loh 94]. Wie aus Abbildung 1.2 ersichtlich ist, kann mit Hilfe dieses Zerfalles der Wert des Winkels β im Unitaritätsdreieck gemessen werden. Die experimentell bestimmbare Asymmetrie in den Zerfallsraten zwischen den Zerfällen von $\mathrm{B^0}$- oder $\overline{\mathrm{B^0}}$-Mesonen in den gleichen End- und *CP*-Eigenzustand $J/\psi K_S^0$ ist mit β über die Beziehung

$$\mathrm{A_{CP}} = \frac{\Gamma(\mathrm{B^0 \rightarrow J/\psi\, K_S^0}) - \Gamma(\overline{\mathrm{B^0}} \rightarrow \mathrm{J/\psi\, K_S^0})}{\Gamma(\mathrm{B^0 \rightarrow J/\psi\, K_S^0}) + \Gamma(\overline{\mathrm{B^0}} \rightarrow \mathrm{J/\psi\, K_S^0})} = \sin 2\beta \sin \mathrm{xt} \tag{1.5}$$

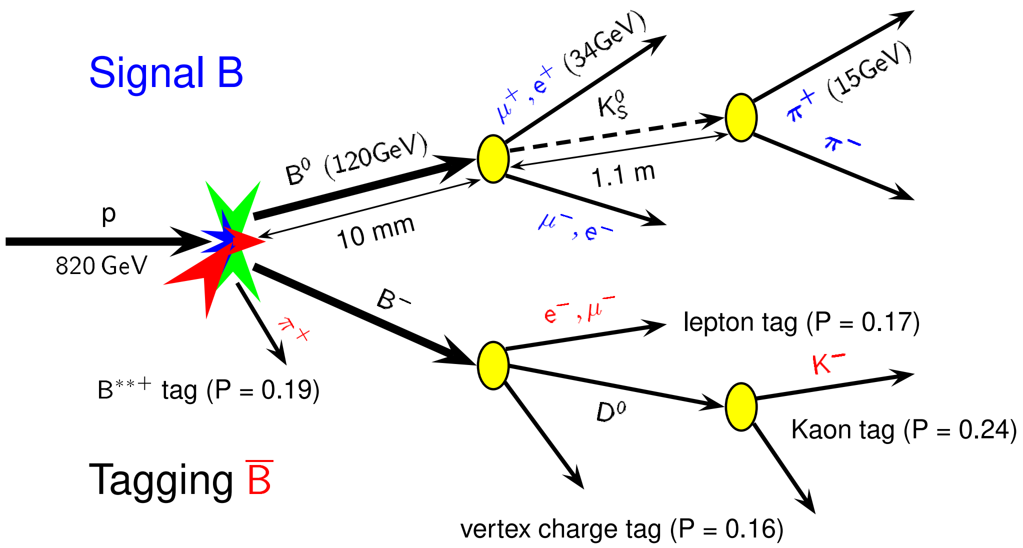


Abb. 1.3: Der „goldene Zerfallskanal“ (Signal B) mit Erwartungswerten für Energie und Zerfallslänge der Sekundärteilchen sowie (Tagging B) Tagging-Vermögen [Spe 96].

verbunden, wobei x den Mischungsparameter zwischen B^0- und $\overline{B^0}$-Mesonen angibt [Loh 94]; t wird in Einheiten der Lebensdauer der B^0-Mesonen angegeben.

Die Produktion der B-Mesonen geschieht am HERA[3]- Speicherring mit einem internen Drahttarget im Halo[4] des Protonstrahls. Der Wirkungsquerschnitt $\sigma(\mathrm{pN} \rightarrow \mathrm{b\overline{b}} + \mathrm{X})$ ist bei der Schwerpunktsenergie von 39,2 GeV nur mit relativ großen theoretischen Unsicherheiten bekannt; neuere Rechnungen liegen im Bereich von 2 bis 20 nb [Iva 95, Kid 95]. Weiterhin liegt das Verzweigungsverhältnis für den „goldenen Zerfall“ bei etwa $4 \cdot 10^{-5}$ [Loh 94]. Für die Messung der Asymmetrie A_{CP} muß festgestellt werden, ob ein B^0 oder ein $\overline{B^0}$ zerfallen ist. Da bei der Proton-Nukleon-Wechselwirkung b- und $\overline{\mathrm{b}}$-Quark nur simultan entstehen, kann aus dem Quarkinhalt der nicht zum „goldenen Zerfall“ gehörenden Reaktionsprodukte auf den Quarkinhalt des zu untersuchenden B-Mesons geschlossen werden. Diese Methode wird als „Tagging“[5] bezeichnet. So kann aus dem Auftreten eines μ^- unter bestimmten Voraussetzungen bezüglich Impuls, Transversalimpuls oder der Distanz zum primären Wechselwirkungspunkt [Hof 94] auf ein B^0 als zu untersuchendem B-Meson geschlossen werden. Das fehlerhafte Tagging aufgrund von Mischung des zu untersuchenden B-Mesons wird durch den sog. Verdünnungsfaktor D_M[6] charakterisiert; Zerfallsprodukte aus anderen als den erwarteten Zerfallskanälen führen zu falschen Tags und somit zu einer Abschwächung um den Faktor D_F. Zusammen mit der Wahrscheinlichkeit ϵ_{Tag}, einen Tag zu finden, beschreibt das sog. Tagging-Vermögen

$$\mathrm{P} = \mathrm{D_M} \cdot \mathrm{D_F} \cdot \sqrt{\epsilon_{\mathrm{Tag}}} \tag{1.6}$$

die Qualität der verschiedenen Tagging-Methoden. Alle Möglichkeiten des Taggings sind in Abbildung 1.3 mit dem jeweiligen Tagging-Vermögen dargestellt. Die erwähnte Möglichkeit, Myonen für das Tagging zu verwenden, ist in den „Lepton-Tags“ enthalten, die ein Tagging-Vermögen von $\mathrm{P} = 0{,}17$ aufweisen. Werden neben den genannten Effekten zusätzlich die endliche Akzeptanz und Effizienz des Detektors einbezogen, kommt man zu dem Schluß, daß ca. $3 \cdot 10^{11}$ primäre Wechselwirkungen benötigt werden, um einen „goldenen Zerfall“ zu rekonstruieren. Für eine angestrebte relative Genauigkeit von 10 % für $\sin(2\beta)$ bei einer Laufzeit von 3 Jahren bedeutet dies, daß im Mittel aus jedem Protonenpaket im HERA-Speicherring drei bis vier Protonen zur Wechselwirkung mit dem Drahttarget gebracht werden müssen [Loh 94].

Die Untersuchung des Zerfallskanals (1.4) ist das erste, aber natürlich nicht einzige Ziel des HERA – B Experimentes. Auf die Möglichkeiten, andere Winkel im Unitaritätsdreieck und B^0_s-Mischung zu messen oder weitere Gebiete der B-Meson-Physik zu untersuchen, wird jedoch in dieser Arbeit nicht eingegangen.

1.4 Ziele dieser Arbeit

Der Nachweis von Myonen ist für dieses Experiment von großer Bedeutung, da der Zerfall des J/ψ in zwei Myonen einfacher rekonstruierbar ist als derjenige in zwei

[3] **H**adron-**E**lektron-**R**ing-**A**nlage
[4] äußerer Bereich des Protonstrahls
[5] wörtlich übersetzt: Etikettieren
[6] von engl. **D**ilution: Verdünnung

Elektronen [Loh 94] und die Myonen eine relativ klare Signatur besitzen. Wegen des hohen Anteils von hadronischem Untergrund ist dies von Vorteil.

Diese Arbeit beschäftigt sich mit dem Myon-Pretrigger für das HERA – B Experiment, der ein substantieller Bestandteil der ersten Triggerstufe des Experimentes ist. Er bildet den Startpunkt für die Rekonstruktion von Myon-Spuren im HERA – B Detektor. Der Myon-Pretrigger soll dabei jeden Kandidaten für eine Myon-Spur an die folgenden Einheiten der ersten Triggerstufe weitergeben. Dabei steht für die Verarbeitung der Datenmenge von ca. 10 GByte/s weniger als 1 μs zur Verfügung.

Im Rahmen dieser Arbeit werden Teile einer Meßumgebung entwickelt, mit der der zentrale Baustein der Myon-Pretrigger-Elektronik getestet werden kann. Nach Untersuchung der Eigenschaften dieser Testumgebung werden alle logischen Funktionen des Bausteins getestet. Schließlich werden anhand von Monte Carlo-Simulationsdaten zu erwartende Belegungen und die datenabhängige Arbeitszeit des Myon-Pretriggers bestimmt.

Das HERA – B Triggersystem wird nach einem Überblick über das Experiment in Kapitel 2 beschrieben, bevor im anschließenden Kapitel gezeigt wird, wie der Myon-Pretrigger verwirklicht werden wird. Kapitel 4 stellt die Umgebung vor, in der die Testmessungen des zentralen Bausteins der Myon-Pretrigger-Schaltung erfolgen. Darauf folgen Untersuchungen zu deren systematischen Fehlern, um dann in Kapitel 6 die logischen Testmessungen der Myon-Pretrigger-Schaltung darstellen zu können. Schließlich werden in Kapitel 7 die Ergebnisse der Simulationsrechnungen präsentiert.

Kapitel 2

Das HERA – B Experiment

Sowohl für das Detektor- als auch für das Triggersystem des HERA – B Experimentes mußten und müssen Komponenten entwickelt werden, die an die Grenze des heute technisch Machbaren heranreichen, um die gestellten Anforderungen erfüllen zu können. Gerade die Detektorkomponenten, die nahe am Protonstrahlrohr des HERA-Speicherringes positioniert werden, sind hohen Teilchenflüssen und damit Strahlenbelastungen ausgesetzt, müssen aber zugleich fein segmentiert sein, um eine hohe Ortsauflösung erzielen zu können. Das Datenauslese- und Triggersystem muß hohen Datenrate verarbeiten und in kurzer Zeit entscheiden, ob ein Ereignis zur späteren Weiterverarbeitung selektiert werden soll oder nicht.

Im folgenden wird der Myon-Pretrigger in das Gesamtsystem des HERA – B Experimentes eingeordnet, indem zunächst die grundlegenden Prinzipien des Experimentes erörtert werden. Der HERA-Speicherring und der HERA – B Detektor werden skizziert, danach das Datenauslese- und Triggersystem vorgestellt. Dabei liegt der Schwerpunkt auf dem Myon-Detektor und der ersten Triggerstufe.

2.1 Der Speicherring HERA und das interne Drahttarget für das HERA – B Experiment

Im HERA-Speicherring laufen in zwei Strahlrohren mit einem Umfang von 6336 m Teilchenpakete[1] von Protonen und Elektronen bzw. Positronen[2] in gegenläufiger Richtung um. Die Teilchenpakete – sowohl die Protonen mit einer Energie von 820 GeV als auch die Elektronen mit einer Energie von 27 GeV – besitzen einen zeitlichen Abstand von 96 ns. Wie in Abbildung 2.1 zu erkennen, können Protonen und Elektronen an vier Stellen des HERA-Speicherringes zur Kollision gebracht werden. Dies geschieht bei den Experimenten H1 und ZEUS, wohingegen das Experiment HERMES die Reaktionen von Elektronen mit einem Gas-Target[3] untersucht.

Im Jahr 1992 wurde erkannt, daß der Speicherring HERA für ein Experiment zur Untersuchung von B-Mesonen geeignet ist [Alb 92]. Dazu werden in den Halo des Pro-

[1] engl. Fachbegriff: Bunch

[2] Im folgenden werden unter dem Begriff „Elektronen“ Elektronen und Positronen zusammengefaßt.

[3] engl.: Ziel

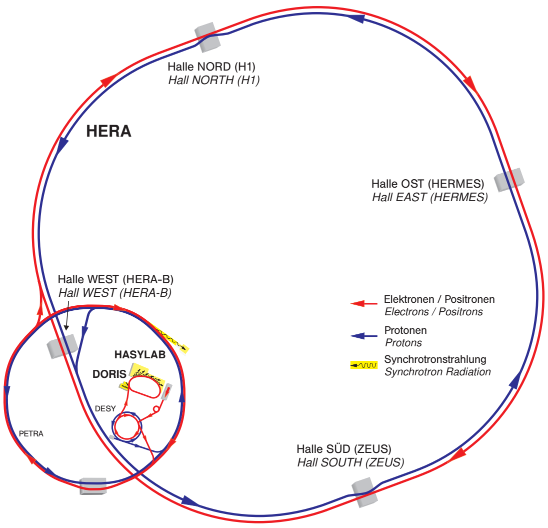


Abb. 2.1: Der Speicherring HERA mit seinen Vorbeschleunigern und den vier Experimenten H1, HERMES, ZEUS und HERA – B.

tonstrahles 2·4 dünne Drähte mit einer Ausdehnung quer zum Strahl von etwa 50 μm eingebracht. Sie sollen mit den Protonen wechselwirken, die vom Strahlmittelpunkt wegdiffundieren und durch Wechselwirkung mit dem Strahlrohr oder Kollimatoren, die zur Reduzierung des protoninduzierten Untergrundes bei den Experimenten H1 und ZEUS dienen, verloren gehen würden. Die so erreichte Schwerpunktsenergie von $\sqrt{s} = 39,2\,\mathrm{GeV}$ liegt über der Schwellenenergie für die Erzeugung von $\mathrm{B}^0/\overline{\mathrm{B}^0}$-Paaren bei 10,6 GeV [Bar 96]. Um die erforderlichen 3 Wechselwirkungen pro Protonenpaket, was einer Wechselwirkungsrate von etwa 30 MHz entspricht, einstellen zu können, ist jeder Draht separat beweglich. Diese Bewegungen werden von einem automatischen Kontrollsystem [İşs 96] gesteuert. Die Targetdrähte bestehen aus Aluminium oder Kupfer, damit der $\mathrm{b\overline{b}}$- Wirkungsquerschnitt möglichst groß ist. Gleichzeitig soll aber die Beeinflussung der anderen Experimente durch das HERA – B Target möglichst gering gehalten werden. Die grundsätzliche Funktionstüchtigkeit des Drahttargets ist in [Spr 96] nachgewiesen worden.

2.2 Die Komponenten des HERA – B Detektors

Der HERA – B Detektor, dargestellt in Abbildung 2.2, ist auf den Nachweis des „goldenen Zerfalles“ (1.4) ausgelegt worden. Das bedeutet, daß die nachweisbaren Zerfallsprodukte – Myonen, Elektronen und Pionen – sowie für das beschriebene Tagging des zu untersuchenden B-Mesons neben den genannten Teilchen u. a. noch K-Mesonen identifiziert werden müssen. Gegebenenfalls müssen ihre Zerfallsvertices und invarianten Massen genau bestimmt werden können.

Es soll hier keine detaillierte Beschreibung aller Komponenten des Detektors gegeben werden, sondern ein Überblick, der sich an dem Design Report für HERA – B orientiert [Har 95], mit besonderer Betonung des Myon-Systems. Die Angaben in Klam-

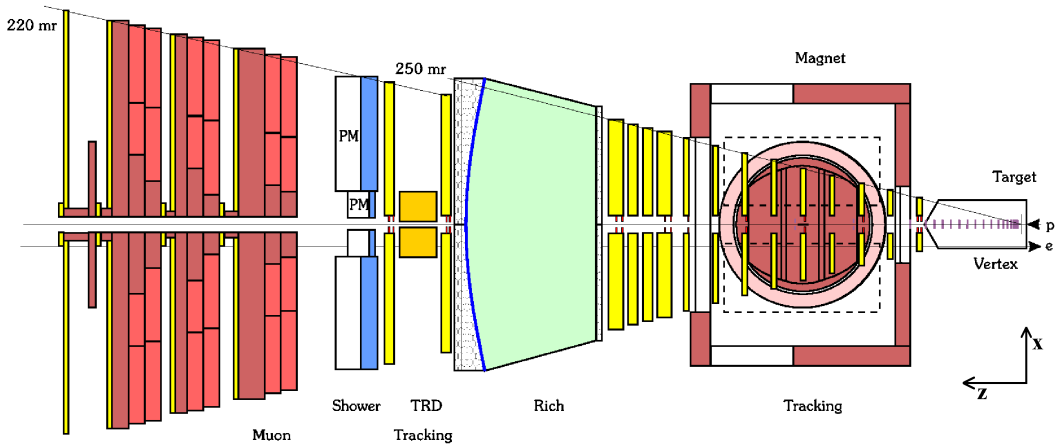


Abb. 2.2: Aufsicht des HERA – B Detektors (x-z-Ebene). Die einzelnen Komponenten werden im Text erläutert [Har 95]. Die äußere Dimension des Detektors beläuft sich auf maximal $20 \cdot 9\,\mathrm{m}^2$ in der x-z-Ebene und bis zu 7 m in y-Richtung.

mern beziehen sich auf Abbildung 2.2.

Direkt an das Drahttarget (**Target**) schließt sich der Vertexdetektor (**Vertex**) an, mit dem die Spurkoordinaten für die Rekonstruktion des $J/\psi \to l^+l^-$-Vertex und die Stoßparameter aller Tagging-Teilchen gemessen werden. Er ist als System von Siliziumstreifendetektoren realisiert, die bis zu 1 cm an das Protonstrahlrohr heranreichen. Zur Impuls- und Ladungsbestimmung der Leptonen und Pionen aus dem „goldenen Zerfall" ist es notwendig, diese Teilchen in einem Magnetfeld abzulenken und ihre Spuren nachzuweisen. Der Spektrometermagnet (**Magnet**) ermöglicht mit einem Feldintegral von 2,2 Tm eine Massenauflösung von 8 MeV. Technisch sehr anspruchsvoll ist die Abschirmung des Elektronstrahls gegen das Magnetfeld, das ansonsten die für andere Experimente an HERA wichtige Spinausrichtung der Elektronen stark störte. Vor, in und hinter dem Magneten sowie kurz vor und hinter dem Übergangsstrahlungsdetektor befindet sich das Spurkammersystem (**Tracking**), das je nach der Entfernung von der Protonstrahlachse in einen inneren und einen äußeren Bereich unterteilt ist. Der innere Teil, der von sehr vielen Teilchenspuren durchquert wird, besteht aus Siliziumstreifendetektoren, die in einem Abstand von 2 bis 6 cm vom Protonstrahlrohr angeordnet sind, und aus Mikrostreifen-Gasdetektoren mit einem Abstand zwischen 6 und 20 cm zum Protonstrahlrohr. Aufgrund von Problemen bei der Entwicklung letztgenannter Detektoren [Sch 96a] müssen sie möglicherweise durch einen anderen Detektortyp ersetzt werden. Für das äußere Spurkammersystem werden Honigwaben-Driftkammern eingesetzt. Zum Nachweis von Teilchen mit einem hohen Transversalimpuls p_T sind innerhalb des Magneten einige Lagen von Pad-Kammern installiert (nicht in Abbildung 2.2 eingezeichnet). Im inneren Teil werden dafür Gas-Pixel-Kammern verwendet, im äußeren Bereich sog. Strohhalm-Kammern, zylindrische Drahtkammern mit Kathodenpadauslese. Zur Unterscheidung der Kaonen von Elektronen und Pionen wird ein

RICH[4]-Detektor (**Rich**) verwendet. Ein relativ kleiner Übergangsstrahlungsdetektor (**TRD**[5]) sorgt für eine bessere Trennung von Elektronen und Hadronen im Bereich nahe dem Protonstrahlrohr. Das elektromagnetische Kalorimeter (**Shower**) für den Nachweis und die Energiemessung von Elektronen ist als Schaschlik-Kalorimeter mit Blei- bzw. Wolfram-Absorbern realisiert. Nach dem Abstand zum Protonstrahlrohr ist es in drei Bereiche unterschiedlicher Granularität unterteilt.

2.2.1 Das Myon-System

Am weitesten vom Drahttarget entfernt ist das Myon-System zum Nachweis von Myonen aus dem „goldenen Zerfall“ oder zum Taggen des zu untersuchenden B-Mesons (**Muon**). Abbildung 2.3 (a) zeigt den Aufbau des Myon-Systems. Es besteht aus drei Myon-Filtern (MF1 bis MF3) und vier Myon-Detektor-Superlagen (MU1 bis MU4). Die Myon-Filter vor den Superlagen MU1, MU2 und MU3 bestehen aus Eisen im inneren Teil, da die Gesamtdicke des Absorbers begrenzt ist, und Beton im äußeren Bereich. Sie dienen der Absorption aller Teilchen außer Myonen, die in Materie einen geringeren Energieverlust als andere Teilchen erfahren. Zwischen den Superlagen MU3 und MU4 befindet sich nur eine kleine Abschirmung im Bereich nahe der Protonstrahlachse, da wegen der Verwendung diese beiden Superlagen für den Myon-Pretrigger Myonen zwischen MU3 und MU4 möglichst wenig gestreut werden sollen.

(a) (b)

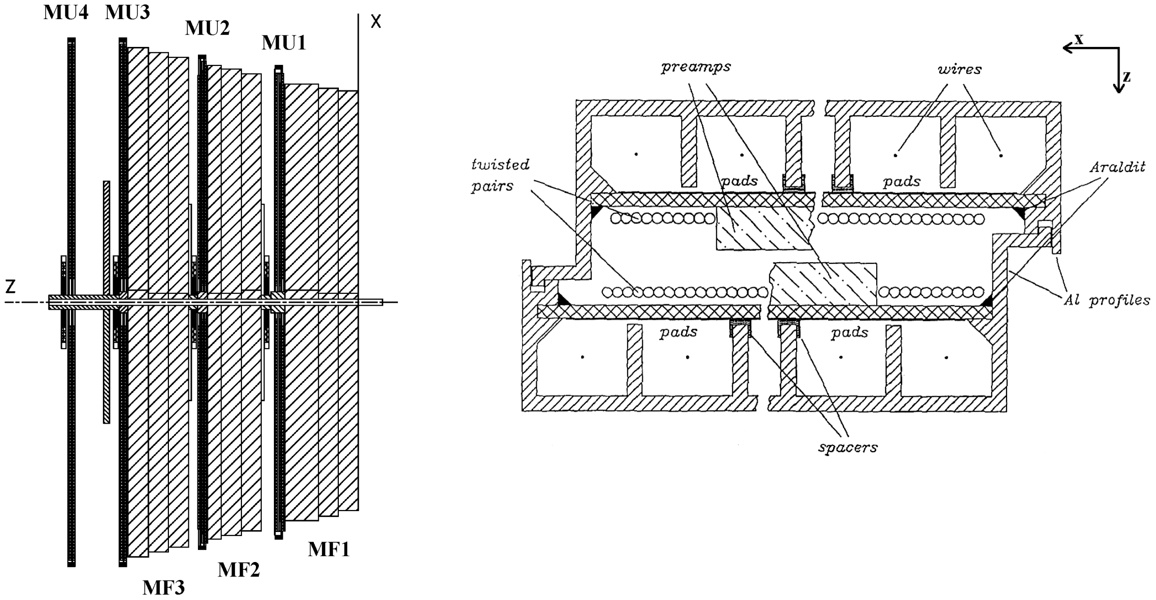


Abb. 2.3: (a) Aufsicht des Myon-Systems [Har 95]. Die Ausdehnung in x-Richtung variiert von 7 m bis 8,7 m, in z-Richtung beträgt sie 5,8 m. (b) Schematischer Querschnitt der Myon-Pad-Kammer. Die horizontale Skala ist unterbrochen, die Kammer ist ca. 4 cm breit (vertikale Richtung) [Zai 95b].

[4]**R**ing-**I**maging **Č**erenkov-**H**odoscope
[5]**T**ransition **R**adiation **D**etector

Die Myon-Detektor-Superlagen sind folgendermaßen aufgebaut:

- MU1 und MU2 bestehen aus jeweils drei einzelnen Lagen von Driftkammern, wobei bei der sog. 0°-Lage die Drähte parallel zur y-Richtung verlaufen, bei den beiden anderen im Winkel von $+20^\circ$ bzw. -20° dazu. Diese Anordnung ermöglicht die Bestimmung der Ortskoordinate von Treffern in y-Richtung und verringert die Wahrscheinlichkeit, Teilchen nicht zu registrieren. Die Driftzellen haben eine Querschnittsfläche von $14 \cdot 12\ \mathrm{mm}^2$ [Zai 95b], was die Driftzeiten in einer Zelle auf etwa 90 ns beschränkt. Wegen der Antwortzeiten der Signale, der zu erwartenden Dichte von Teilchenspuren und Beschränkungen durch die verfügbare Technologie beträgt die maximale Länge der Kammern ca. 3 m. Aus diesem Grund sind die Kammern in y-Richtung nicht durchgängig, sondern der Detektor ist in eine „obere“ und „untere“ Hälfte unterteilt.

- MU3 und MU4 sind aus einer 0°-Lage von Driftkammern aufgebaut, die zusätzlich mit Kathodenpads ausgestattet sind. Ein Querschnitt in der x-z-Ebene einer solchen Pad-Kammer ist in Abbildung 2.3 (b) dargestellt. Die Drifträume mit den zentral verlaufenden, goldbeschichteten Wolframdrähten (wires) (Durchmesser: $40\,\mu$m) sind durch Aluminiumprofile (Al profiles) unterteilt. Die Pads bestehen aus mit Kupfer überzogenen Platten aus Phenol-Papier, einem Material, das zur Herstellung von Platinen verwendet wird. Die Pads der MU3-Lage sind jeweils $12{,}2 \cdot 10{,}0\ \mathrm{cm}^2$ groß, die der MU4-Lage $12{,}2 \cdot 10{,}2\ \mathrm{cm}^2$ [Zai 97] mit 2 mm großen Abständen zwischen den Pads. Mit Kunststoff-Abstandhaltern (spacers) sind die Pads auf den Aluminiumprofilen fixiert. Auf jedem Pad ist ein Vorverstärker (preamps) angebracht, der über Kabel (twisted pairs) mit einem Stecker am Ende der Kammer verbunden ist. Die beiden in Abbildung 2.3 (b) erkennbaren Ebenen, in denen die Pads in einer Kammer angeordnet sind, sind um eine halbe Driftzellenbreite, d. h. 7 mm, gegeneinander verschoben. Die hintereinanderliegenden Pads aus den beiden Ebenen werden gemeinsam ausgelesen, d. h. bei sie werden auf Ausleseebene verodert[6]. Wenn ein Teilchen im nicht-sensitiven Bereich zwischen den Pads der ersten Ebene nicht nachgewiesen werden kann, wird es mit an Sicherheit grenzender Wahrscheinlichkeit ein Pad der zweiten Ebene durchqueren und somit ein Signal erzeugen. Die Anordnung der Pads auf Logikebene, d. h. nach Berücksichtigung der gemeinsamen Auslese, ist aus Abbildung 2.4 ersichtlich. Man erkennt, daß die MU4-Pads in x-Richtung um jeweils zwei Spalten von Pads und in y-Richtung um jeweils eine halbe Reihe überstehen.

- In den Bereichen nahe dem Protonstrahlrohr, wo mit den höchsten Teilchendichten gerechnet werden muß, werden in den Ebenen MU1 bis MU4 Gas-Pixel-Kammern installiert. Eine Ebene dieses Kammertyps besteht aus jeweils vier Quadranten, die ein wenig überlappen. Vier Potentialdrähte und ein $50\ \mu$m dicker Signaldraht aus goldbeschichtetem Wolfram, der parallel zur Protonstrahlrichtung (z-Achse) verläuft, bilden eine Zelle mit einer Grundfläche von $9 \cdot 9\,\mathrm{mm}^2$.

Testmessungen zeigen, daß sowohl die Driftkammern als auch die Gas-Pixel-Kammern die an sie gestellten Anforderungen erfüllen [Are 96, Bal 95].

[6]Mit diesem Begriff wird im folgenden die Operation des logischen „ODER“s beschrieben.

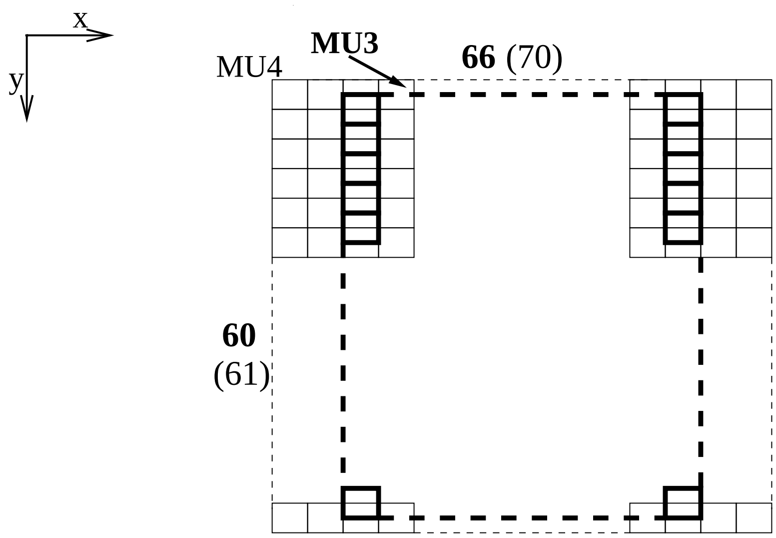


Abb. 2.4: Anordnung der Pads auf Logikebene in der x-y-Ebene. MU3 umfaßt $66 \cdot 60$, MU4 $70 \cdot 61$ Pads.

Untersuchungen des Untergrundes für den Myon-Nachweis zeigen, daß in erster Linie Hadronen, die das Myon-Filter durchdringen, und Myonen aus π- oder K-Zerfällen fälschlicherweise als Myonen identifiziert werden können [Tit 96]. Die Wahrscheinlichkeiten liegen aber den Simulationsrechnungen zufolge in einem akzeptablen Bereich. So liegt die Wahrscheinlichkeit für das Durchdringen des Myon-Filters durch Hadronen unter 1 %.

2.3 Das Datenauslese- und Triggersystem für das HERA – B Experiment

Die Aufgabe eines Triggers ist die Selektion der Ereignisse, die untersucht werden sollen, wobei Untergrundereignisse unterdrückt werden sollen. Im Fall des HERA – B Triggersystems bedeutet dies in erster Linie, daß aus einer Vielzahl geladener Teilchen, die im Detektor Treffer auslösen, der „goldene Zerfall“ (1.4) erkannt werden muß. Da alle 96 ns ein Protonpaket das interne Drahttarget passiert, werden mit einer Rate von 10,4 MHz Ereignisse im Detektor auftreten[7], bei denen etwa $\mathcal{O}(200)$ geladene Teilchen produziert werden. Es ist nicht möglich unter Berücksichtigung der gesamten Detektorinformation Entscheidungen auf der Skala von Mikrosekunden zu treffen. Deshalb wird ein mehrstufiges Triggersystem verwendet. Tabelle 2.1 faßt die wichtigsten Parameter der fünf Stufen des HERA – B Triggersystems zusammen, das im folgenden skizziert wird, bevor anschließend der Myon-Pretrigger und die erste Triggerstufe ausführlicher erläutert werden.

Die erste Triggerstufe verwendet einen Teil der Detektorinformation, um Spuren für Leptonen oder Teilchen mit hohem Transversalimpuls zu finden. Die Startpunkte

[7] Bezeichnet als Bunch Crossing, kurz BX

Tab. 2.1: Die Stufen des Triggersystems für das HERA – B Experiment; nach [Res 96a]. Die Pretrigger werden als nullte Triggerstufe bezeichnet.

Trigger-stufe	Eingangs-rate	Benutzte Detek-torkomponenten	Zahl der Auslesekanäle	Latenz-zeit	Unterdrük-kungsfaktor
0	10 MHz	Myon-Pads ECAL High-p_T-Pads	$0,7 \cdot 10^5$	x μs $\mathcal{O}(\mathrm{x}) = 1$	—
1	10 MHz	Myon-System Spurkammern (teilw.)	$1,5 \cdot 10^5$	$(12 - \mathrm{x})$ μs $\mathcal{O}(\mathrm{x}) = 1$	200
2	50 kHz	Spurkammern Vertexdetektor	$4 \cdot 10^5$	5 - 50 ms	25
3	2 kHz	alle	$6 \cdot 10^5$	100 ms	20
4	100 Hz	alle	$6 \cdot 10^5$	2 s	—

dieser Suche werden von Pretriggern geliefert, die man als nullte Stufe des Triggersystems bezeichnen kann. Gemäß den verschiedenen Arten von Startpunkten, gibt es drei Pretrigger: Der Myon-Pretrigger verwendet Informationen von Pad-Kammern des Myon-Systems, um Myon-Spuren zu finden. Da die Pad-Kammern nur Ja/Nein-Informationen liefern, je nachdem, ob ein oder mehrere Teilchen einen Treffer auf einem Pad ausgelöst haben oder nicht, stehen die Daten verglichen mit anderen Detektorinformationen, wie etwa Driftzeiten, schnell zur Verfügung. Die ermittelten Kandidaten für Myon-Spuren werden an die erste Triggerstufe weitergegeben. Der Elektron-Pretrigger benutzt Informationen des elektromagnetischen Kalorimeters, um Elektronen zu finden. Informationen aus Pad-Kammern innerhalb des Magneten nutzt der High-p_T-Pretrigger, um Spuren von Teilchen mit hohem Transversalimpuls zu finden. Die Startpunkte für die erste Triggerstufe werden möglichst weit vom Drahttarget entfernt gesetzt, da hier die Spurdichte geringer ist als in der Nähe des Wechselwirkungspunktes. Von hier aus werden die Spurkandidaten in Richtung des Drahttargets verfolgt. Weiterhin werden Impulse der gefundenen Leptonkandidaten berechnet und Schnitte auf die Massen von Leptonpaaren ($m_{J/\psi}$) angewandt. Für die Pretrigger- und die erste Triggerstufe steht eine Latenzzeit von $12\,\mu$s zur Verfügung, d. h. innerhalb dieser Zeit muß eine Triggerentscheidung auf dieser Stufe gefällt werden, da ansonsten die entsprechenden Detektordaten überschrieben werden. Dabei stehen für die Pretrigger-Entscheidungen maximal etwa $1\,\mu$s zur Verfügung. Passieren die Spurkandidaten diese Stufe, werden ihre Parameter an die zweite Triggerstufe weitergegeben. Da diese aufwendigere Berechnungen mit mehr Detektorinformationen durchführt, muß ihre Dateneingangsrate von der ersten Triggerstufe um einen Faktor 200 gegenüber der Rate vermindert werden, mit der Ereignisse im Detektor erzeugt werden, der BX-Rate von 10,4 MHz. Insbesondere durch Hinzunahme von Informationen des Vertexdetektors sollen die Datenraten nochmals um einen Faktor 25 reduziert werden, bevor – im Falle einer postiven Entscheidung – die Spurinformationen der dritten Triggerstu-

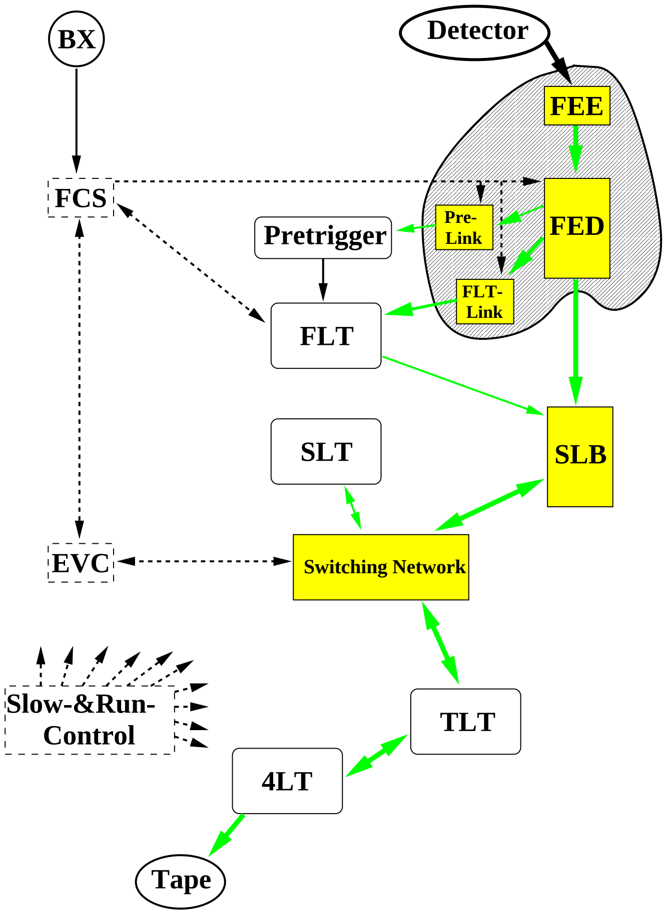


Abb. 2.5: Schematische Skizze des mehrstufigen Kontroll-, Trigger- und Datenauslese-Systems von HERA – B. Markiert ist der detektorspezifische Teil des Systems. Die gegenseitigen Abhängigkeiten werden im Text erläutert; nach [Res 97b].

fe übergeben werden. Hier wird erstmals die gesamte Detektorinformation verwendet. Dies erlaubt neben einer weiteren Verfeinerung der Spuren und engeren Schnitten auf Massen und Vertices die Berücksichtigung von Vielfachstreuung. Die vollständige Rekonstruktion der Ereignisse, die auch die dritte Triggerstufe passieren, erfolgt in der vierten.

Nach dieser Übersicht über die Stufen des HERA – B Triggersystems, wird nun die Realisierung des Datenauslese- und Triggersystems genauer beschrieben. Dabei liegt der Schwerpunkt auf der Darstellung des Myon-Pretriggers und der ersten Triggerstufe. Da sich das HERA – B Experiment noch in der Aufbauphase befindet, sind einige der nachfolgend genannten Eigenschaften noch Gegenstand von Diskussionen.

Abbildung 2.5 stellt das das Kontroll-, Datenauslese- und Triggerschema für das HERA – B Experiment dar. Erkennbar ist einerseits die strukturelle Gliederung des Systems: Links sind die Einheiten des Kontrollsystems zu erkennen, in der Mitte die Triggerstufen und im rechten Teil die Datenausleseeinheiten. Die gegenseitigen Beeinflussungen der verschiedenen Einheiten erlauben keine separate Behandlung der Teilsysteme. Die hervorgehobenen Ausdrücke im folgenden beziehen sich auf Abbildung 2.5.

Die Detektordaten (**Detector**) werden zunächst durch die **F**ront **E**nd[8]-**E**lektronik (**FEE**) ausgelesen. Sie variiert von Detektorkomponente zu Detektorkomponente, abgestimmt auf die jeweiligen Anforderungen. Bei den Myon-Pad-Kammern werden die analogen Signale mit Vorverstärkern verstärkt und an das Kammerende übertragen. Wie in Abschnitt 2.2.1 beschrieben, werden die Signale von je zwei Pads gemeinsam ausgelesen. Sie gelangen auf jeweils einen Eingang eines ASD-8B-Bausteins[9] [New 93]. Dieser verstärkt die anliegenden Signale, führt eine Pulsformung durch und erzeugt, abhängig von einer einstellbaren Schwellenspannung, ein digital verarbeitbares Ausgangssignal [Ati 96]. Da je zwei Pads, die gemeinsam ausgelesen werden, auf Logikebene nicht unterscheidbar sind, werden sie im folgenden als Pad bezeichnet. Die digitalen Signale werden zum Front End-Treiber (**FED**[10]) übertragen, der sich etwa 4 m vom Myon-System entfernt befindet [Wur 96].

Auch der Front End-Treiber ist detektorspezifisch, für die meisten Detektorkomponenten wird jedoch als zentraler Baustein der TDC[11]-Hit-Baustein verwendet [Zwe 96]. Für die Myon-Pad-Kammern dient der Front End-Treiber als Zwischenspeicher für die digitalen Signale, wobei mit jeder neuen **BX**-Nummer, d. h. alle 96 ns, Daten eingelesen werden. Die Zeitreferenz und die aktuelle BX-Nummer werden vom **F**ast **C**ontrol **S**ystem (**FCS**) an den Front End-Treiber, die Verbindung zum Myon-Pretrigger (**Pre-Link**) und die Verbindung zur ersten Triggerstufe (**FLT**[12]**-Link**) weitergegeben. Diese Links sorgen für die Übertragung der benötigten Daten zum **Pretrigger** und zur ersten Triggerstufe (**FLT**) über $\mathcal{O}(40\,\mathrm{m})$ mittels optischer Datenübertragung. Die „Markierung“ jedes Ereignisses mit seiner BX-Nummer erlaubt eine asynchrone Verarbeitung der Daten, so daß die benötigte Zeit nur von der anfallenden Datenmenge abhängig ist. Nur so kann ein Unterdrückungsfaktor von 200 auf der ersten Triggerstufe erreicht werden.

Pretrigger liefern die Startpunkte für die Spurensuche von Leptonen oder Teilchen mit hohem Transversalimpuls („Track Seeds“[13]), der Myon-Pretrigger durch das Bilden von Koinzidenzen zwischen Pads der Myon-Lagen MU3 und MU4 für Myonkandidaten. Myonen sollen nachgewiesen werden, wenn sie aus der Richtung des Drahttargets kommen, wobei sie in vertikaler Richtung durch Mehrfachstreuung und in horizontaler Richtung zusätzlich durch das Magnetfeld abgelenkt werden. Deshalb wird jedem Pad im äußeren Teil von MU3 eine Gruppe von $2 \cdot 3$ Pads auf MU4 gemäß Abbildung 2.6 (a) logisch zugeordnet. Treten beim selben BX Treffer des MU3-Pads und mindestens eines der sechs MU4-Pads auf, wird dies als Koinzidenz bezeichnet. Bei einer solchen 1 – 6-Koinzidenz können zufällige Koinzidenzen zwar nicht ausgeschlossen werden, aber bei Verwendung von weniger MU4-Pads zur Bildung von Koinzidenzen würde die Effizienz des Myon-Nachweises sinken, z. B. bei Verwendung von nur 4 MU4-Pads von 98,7 % auf 92,5 %, wie Simulationsergebnisse zeigen [Tit 95]. Ohne den Nachweis bei-

[8] Bezeichnung für Komponenten, die sich in unmittelbarer Umgebung des Detektors befinden
[9] **A**mplifier-**S**haper-**D**iscriminator: Verstärker-Pulsformer-Diskriminator
[10] **F**ront **E**nd **D**river
[11] **T**ime to **D**igital **C**onverter
[12] **F**irst **L**evel **T**rigger
[13] wörtl.: Spur-Samen

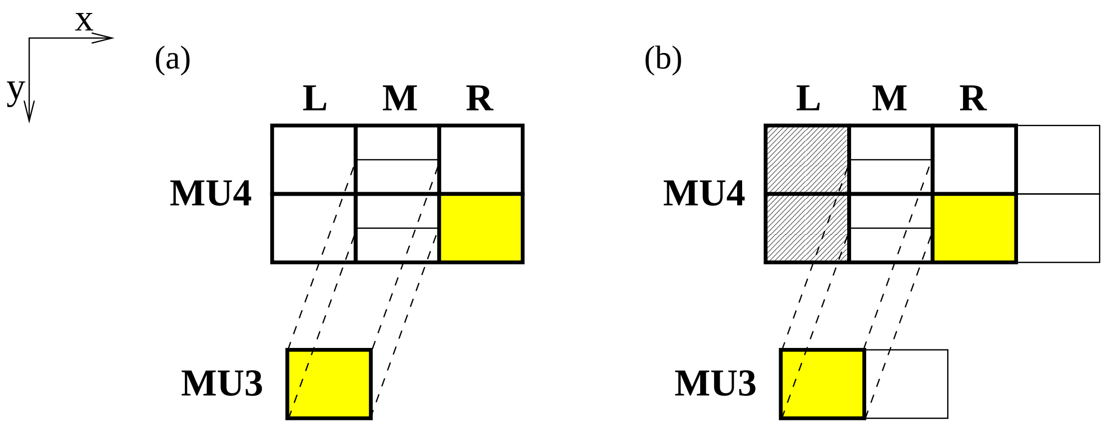


Abb. 2.6: (a) Koinzidenzschema der äußeren Pad-Kammern von MU3 und MU4 auf Logikebene für ein Pad auf MU3. Zu jedem Pad von MU3 gehören 6 Pads von MU4 in 2 Reihen und 3 Spalten (**L**inks, **M**itte, **R**echts). Als Orientierungshilfe ist die Projektion des MU3-Pads auf die Ebene von MU4 eingezeichnet. Würden z. B. die dunkel gezeichneten Pads getroffen, spräche man von einer Koinzidenz. (b) Zusätzlich sind – etwas dünner – die Pads eingezeichnet, die für die Koinzidenzbildung des danebenliegenden Pads auf MU3 außerdem benötigt werden. Die Trefferinformationen der schraffiert gezeichneten MU4-Pads werden für diese Koinzidenzbildung nicht benötigt.

der Myonen aus einem „goldenen Zerfall“ ist dessen Rekonstruktion unmöglich. Teil (b) der Abbildung 2.6 verdeutlicht das Überlappen der MU4-Pads, die zu verschiedenen Koinzidenzbildungen beitragen. Im Bereich der Gas-Pixel-Kammern mit höherer Granularität werden Koinzidenzen zwischen einer Einheit auf MU3 und 4 Einheiten auf MU4 gebildet, da hier Myonen nachgewiesen werden sollen, die aufgrund ihres hohen Impulses weniger durch Vielfachstreuung und das Magnetfeld abgelenkt werden.

Abbildung 2.7 zeigt den Aufbau der nullten und ersten Triggerstufe. Es ist zu erkennen, daß die Pretrigger die Ausgangspunkte für die Berechnungen der ersten Triggerstufe bilden. Die Ortsinformationen der vom Myon-Pretrigger gefundenen Koinzidenzen werden über sog. Mitteilungen[14] (vgl. Pfeile zwischen den Triggereinheiten in Abbildung 2.7) an die erste Triggerstufe weitergeleitet. Diese besteht aus nur drei verschiedenen Typen von Hardware-Prozessoren[15]: **T**rack **F**inding **U**nits (TFU), **T**rack **P**arameter **U**nits (TPU) und einer **T**rigger **D**ecision **U**nit (TDU). Die Realisierung dieser Einheiten soll hier nicht besprochen werden, sondern allein ihre Funktion [Glä 95, Res 96a].

Durch die Myon-Pretrigger-Koinzidenzen wird ein Bereich auf MU4 und MU3 definiert, in dem die ersten beiden TFU-Stufen der ersten Triggerstufe nach Treffern suchen. Jeder TFU stehen Driftzeitinformationen aus einem bestimmten Teil der zugehörigen Detektorlage zur Verfügung. Diese Informationen werden zu einer genaueren Ortsbestimmung benutzt, als dies die Pad-Kammern erlauben. Dabei berechnet jede TFU aufgrund der gefundenen Trefferinformationen aus drei Lagen von Spurkam-

[14] engl.: Messages
[15] Das bedeutet, daß die verwendeten Algorithmen direkt in Hardware umgesetzt sind.

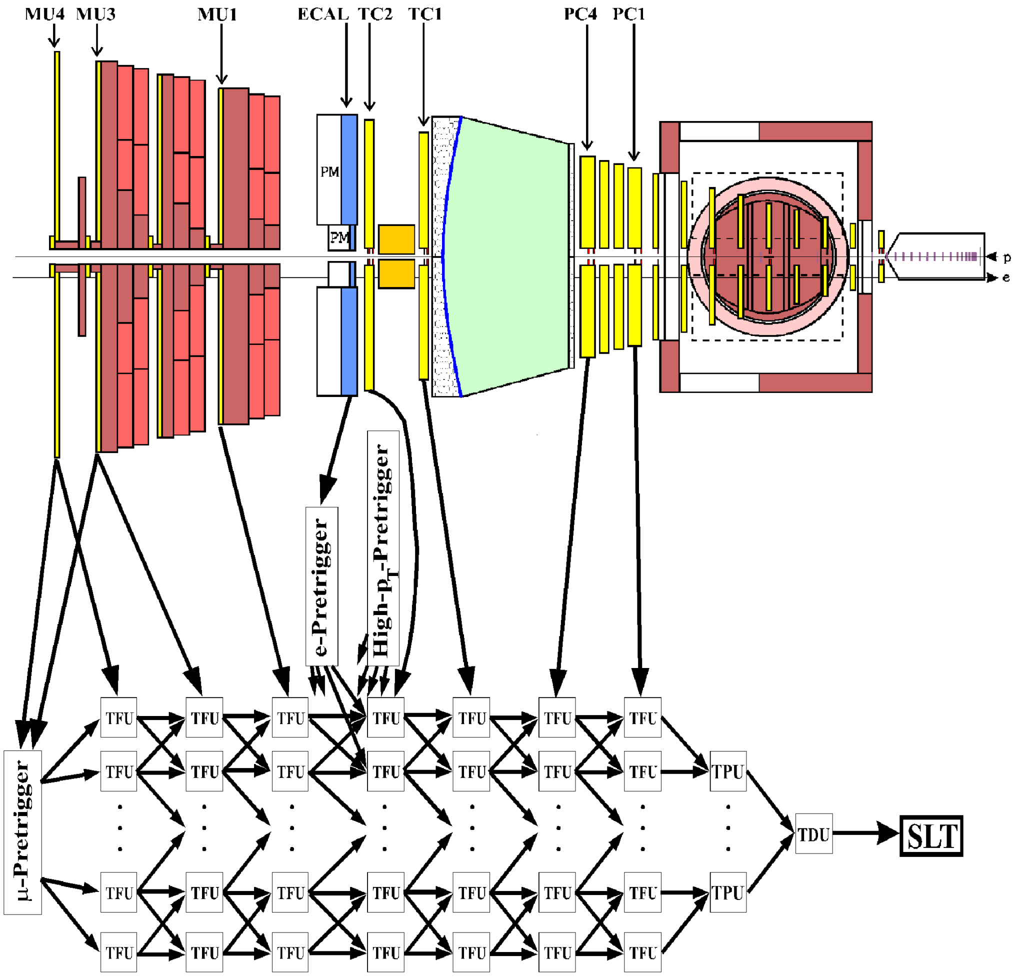


Abb. 2.7: Darstellung der die für Pretrigger und die erste Triggerstufe verwendeten Detektorkomponenten. Der High-p_T-Pretrigger erhält seine Informationen aus den Pad-Kammern PT1, PT2 und PT3, die sich innerhalb des Magneten befinden, in dieser Skizze des HERA – B Detektors aber nicht eingezeichnet sind; nach [Glä 95, Res 95a].

mern Koinzidenzen und extrapoliert die Ortsinformation in Richtung des angenommenen Wechselwirkungspunktes, des Drahttargets. Diese Bereiche, sog. **R**egions **o**f **I**nterest (RoI), definieren den Bereich auf der Detektorlage, die zur folgenden TFU-Stufe gehört, wo ein Treffer zu erwarten ist. Wird dort wiederum ein Treffer gefunden, werden die Informationen über den Bereich der darauffolgenden RoI in einer Mitteilung an die entsprechende Einheit der nächsten TFU-Stufe weitergeleitet. Befindet sich die RoI im Überlappungsbereich verschiedener TFUs, werden die Mitteilungen an die entsprechenden Einheiten gesendet. Wird in einer RoI kein Treffer gefunden, bricht die Suche ab. Diese Methode wird als Kalman-Filter bezeichnet [Kal 61]. Kann eine Spursuche bis zu der Detektorlage PC1 erfolgreich fortgesetzt werden, wird eine Mitteilung an eine TPU geschickt, die die kinematischen Parameter der gefundenen Spur berechnet und Schnitte darauf anwendet. Wird eine Spur auch in dieser Stufe nicht verworfen, werden die geometrischen und kinematischen Parameter an die TDU weitergegeben. Hier werden die Spurparameter nach der BX-Nummer geordnet, da alle geschilderten Berechnungen asynchron verlaufen. Danach werden für alle Kombinationen von Spurkandidaten-Paaren die invarianten Massen bestimmt, bevor anhand der bekannten Parameter eine programmierbare Triggerentscheidung getroffen wird [Glä 95]. Für den Elektron- und den High-p_T-Pretrigger gilt analoges, abgesehen davon, daß die erste Triggerstufe hier, wie in Abbildung 2.7 zu sehen, keine Informationen des Myon-Systems benutzt.

Während dieser Berechnungen werden alle Detektordaten des Ereignisses im Front End-Treiber zwischengespeichert. Da darin die Daten von maximal 128 Ereignissen gespeichert werden können, bleiben für die Berechnungen der Pretrigger und der ersten Triggerstufe höchstens 12,3 μs. Diese werden durch die Auslesezeit der Daten noch etwas verkürzt. Jede positive Triggerentscheidung der ersten Triggerstufe wird mit einer Nummer, der FLT-Nummer, gekennzeichnet [Res 96b]. Diese Nummer wird vom FLT an das Fast Control System gegeben, das sie zusammen mit der korrekten BX-Nummer des FLT-akzeptierten Ereignisses an den Front End-Treiber weitergibt. Ist der Speicherplatz des Front End-Treibers erschöpft, verhindert das Fast Control System das Akzeptieren des Ereignisses durch die erste Triggerstufe [Res 97a]. Ansonsten werden die Daten aus dem Front End-Treiber in den **S**econd **L**evel **B**uffer (SLB) geschrieben. Auch dies geschieht nur, wenn ein Eingangspuffer des SLB frei ist; dies wird vom **Ev**ent **C**ontroller (**EVC**) gesteuert [Zwe 97]. Er übernimmt die gesamte Kontrolle über die zweite und dritte Datenauslese- und Triggerstufe. Anders als im Fall der ersten Triggerstufe und dem Front End-Treiber haben die Prozessoren der zweiten Triggerstufe (**SLT**[16]) – einer Prozessor-Farm – die Zugriffsmöglichkeit auf die Daten im SLB. Dies wird durch ein Schaltnetzwerk ermöglicht (**Switching Network**). Die Übernahme der Daten, die die zweite Triggerstufe passieren, organisiert der EVC: Aus dem SLB werden sie in den Speicher auf einen Knoten[17] der Prozessor-Farm der dritten Triggerstufe geschrieben (**TLT**[18]). Nach einer positiven TLT-Entscheidung werden die verbliebenen Ereignisse in der vierten Triggerstufe (**4LT**[19]) – wiederum auf einer Prozessor-Farm – vollständig rekonstruiert [Res 97b]. Danach werden diese Ereignisse dauerhaft gespeichert (**Tape**).

Die **Slow- & Run-Control** sorgt einerseits für das Funktionieren der Datenauslese-Einheiten selbst, setzt andererseits bestimmte Parameter für Detektorkomponenten, wie z. B. Schwellenspannungen für die ASD-8B-Bausteine der Myon-Front End-Elektronik, und überprüft diese. Zudem zeichnet sie langsam variierende Größen wie Temperatur, Gasfluß etc. auf [Res 95b] und liefert Alarmsignale, falls diese außerhalb vorgegebener Grenzen liegen.

[16]**S**econd **L**evel **T**rigger
[17]engl. Fachbegriff: Node
[18]**T**hird **L**evel **T**rigger
[19]**4**th **L**evel **T**rigger

Kapitel 3

Realisierung der Myon-Pretrigger-Logik

In diesem Kapitel wird beschrieben, wie die erste Version des Myon-Pretrigger für das HERA – B Experiment realisiert wird. Die Planungen für die zweite, verbesserte Version werden – auch auf Ergebnissen dieser Arbeit aufbauend – bis März 1997 abgeschlossen werden. Weitere Informationen hierzu finden sich in Kapitel 8. Der zentrale Baustein für die Berechnung der Koinzidenzen ist der FLEX 8000[1]-Baustein der Firma Altera[2]. Im folgenden Abschnitt wird dieser Baustein in die große Gruppe der programmierbaren Logikbausteine eingeordnet, bevor sein interner Aufbau und seine Programmierung erläutert werden. Anhand dieser Ausführungen wird die Wahl gerade dieses Bausteins begründet. Der letzte Abschnitt behandelt die konkrete Verwirklichung der Myon-Pretrigger-Schaltung.

3.1 Familien programmierbarer Logik

Für Anwendungen in der Hochenergiephysik, bei denen in kurzer Zeit komplexe Algorithmen für große Datenmengen bearbeitet werden müssen, werden i. d. R. integrierte Schaltungen verwendet, die auf kleinstem Raum große Logikkapazitäten beinhalten. Oft sind dabei so spezielle Anforderungen zu erfüllen, daß keine Standardbausteine, sondern anwenderspezifische Bausteine (ASIC[3]) benötigt werden. Wie Abbildung 3.1 zeigt, gibt es zwei Arten von ASICs: voll- und semi-kundenspezifische Schaltungen. Bei voll-kundenspezifischen Schaltungen geschieht die gesamte Entwickung und Herstellung anhand der vom Kunden gewünschten Schaltungsfunktion beim Hersteller [Küh 93]. Dieses Vorgehen führt jedoch neben großen Entwicklungszeiten und -Kosten zu Infexibilität bei Änderungen der Schaltung. Für die Neuentwicklung von Logik, bei der mehrere Iterationen notwendig sein können, ist dies von großem Nachteil. In diesen Fällen wird man auf eine semi-kundenspezifische Schaltung zurückgreifen, in erster Linie auf einen vom Anwender programmierbaren Baustein. Maskenprogrammierba-

[1] **F**lexible **L**ogic **E**lement Matri**x**; eingetragenes Warenzeichen der Firma Altera Corporation, San Jose, USA

[2] Altera Corporation, San Jose, USA

[3] **A**plication **S**pecific **I**ntegrated **C**ircuit

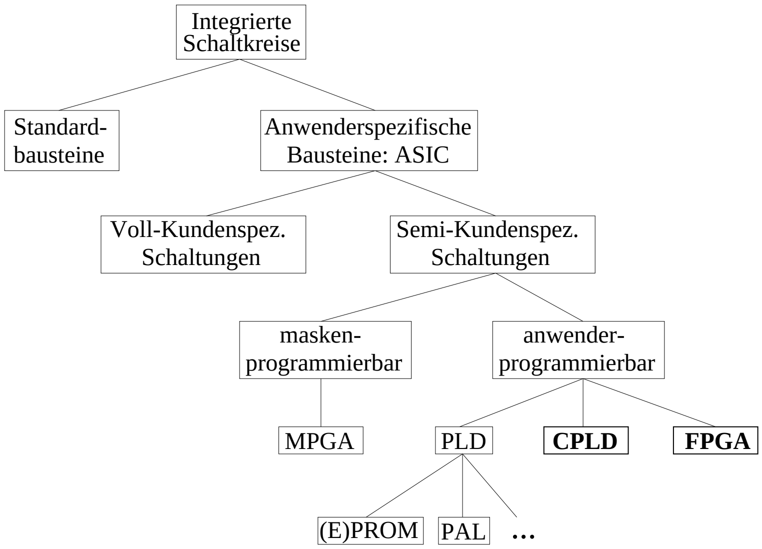


Abb. 3.1: Übersicht über verschiedene Familien programmierbarer Logikbausteine.

re Bausteine (MPGA[4]) bestehen aus einer Anordnung von noch nicht untereinander verdrahteten Transistoren, die mittels einer Verdrahtungsmaske, die beim Hersteller erstellt werden muß, so zusammengeschaltet werden, daß die gewünschte Schaltung synthetisiert wird [Dre 95]. Die Herstellung der Maske ist relativ zeitaufwendig, insbesondere wenn keine großen Stückzahlen benötigt werden. Deshalb wird für die Myon-Pretrigger-Logik ein anwenderprogrammierbarer Baustein ausgewählt, dessen größerer Flexibilität eine geringere Integrationsdichte als Nachteil gegenübersteht.

Anwenderprogrammierbare Bausteine werden nach ihrer Komplexität unterteilt: Zu den verhältnismäßig einfach aufgebauten **P**rogrammable **L**ogic **D**evices (PLD) gehören z. B. PROMs[5]und EPROMs[6], also programmierbare Festwertspeicher. Auch PALs[7], die aus zwei programmierbaren, miteinander verbundenen Matrizen von UND- und ODER-Gattern aufgebaut sind, werden zu den PLDs gerechnet. Für die Anforderungen der Myon-Pretrigger-Logik werden Bausteine mit einer höheren Komplexität benötigt, d. h. **F**ield **P**rogrammable **G**ate **A**rrays (FPGA) oder **C**omplex **P**rogrammable **L**ogic **D**evices (CPLD).

FPGAs sind als zweidimensionale Anordnung relativ einfacher Logikzellen aufgebaut, die mittels eines stark segmentierten Verbindungsnetzwerkes untereinander verbunden werden können [Heu 94]. Das zeitliche Verhalten von Signalen ist aufgrund dieser Struktur nicht exakt vorhersagbar. Dies ist bei CPLDs anders, da sie eine Schalt-Matrix besitzen, die die Logikblöcke miteinander verbindet. Sie ermöglicht es, Signallaufzeiten vorhersagbar zu machen. Die Logikblöcke besitzen eine Struktur, die PALs ähnlich ist, sie sind also wesentlich komplexer als die FPGA-Logikzellen [Heu 94].

[4]**M**ask **P**rogrammable **G**ate **A**rray
[5]**P**rogrammable **R**ead **O**nly **M**emory
[6]**E**rasable **PROM**
[7]**P**rogrammable **A**rray **L**ogic

3.2 Der FLEX 8000-Baustein

Zentraler Baustein der Myon-Pretrigger-Logik ist der FLEX 8000-Baustein, der eine Zwischenstellung zwischen FPGA und CPLD einnimmt. Abhängig davon, wo die Schwerpunkte in der Unterscheidung beider Architekturen gesehen werden, wird er mehr der ersten [Aue 95, Heu 94] oder mehr der zweiten [Alt 95] zugerechnet.

3.2.1 Interner Aufbau

Die Architektur der FLEX 8000-Baureihe ist in Abbildung 3.2 dargestellt. Sie besteht aus einer Matrix von kompakten Einheiten, die als Logikelemente (LE[8]) bezeichnet

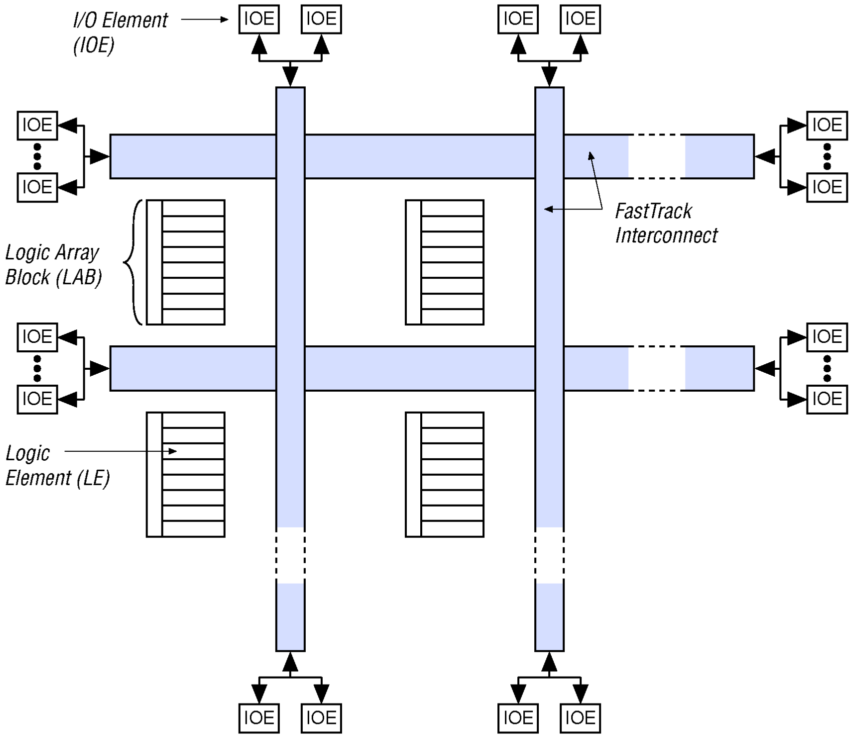


Abb. 3.2: Blockdiagramm der Architektur des FLEX 8000-Bausteins [Alt 96a].

werden. Jeweils acht Logikelemente sind zu einem **L**ogic **A**rray **B**lock (LAB) zusammengefaßt. Über horizontale und vertikale Verbindungskanäle, sog. FastTrack Interconnects, werden die LABs untereinander und mit den Ein-/Ausgabeelementen (IOE[9]) verbunden [Alt 96a].

Die kleinste logische Einheit, das Logikelement, besteht, wie Abbildung 3.3 zeigt, aus einer **L**ook-**u**p **T**able (LuT[10]) mit vier Eingängen, einem programmierbaren Flip-Flop, einer Carry Chain und einer Cascade Chain. Letztere bieten die Möglichkeit,

[8] **L**ogic **E**lement

[9] **I**nput **O**utput **E**lement

[10] Digitaler Speicher, der mit Hilfe der Wahrheitstabelle einer bestimmten Funktion den korrekten Funktionswert zu den Eingangssignalen ausgibt.

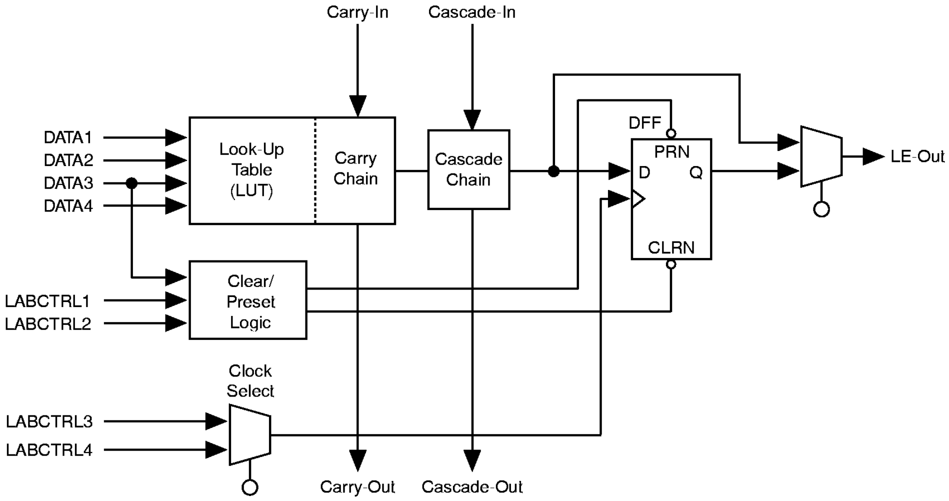


Abb. 3.3: Aufbau eines Logikelements, der kleinsten logischen Einheit des FLEX 8000-Bausteins [Alt 96a].

Signale schnell von einem LAB zum nächsten weiterzuleiten, ohne die Verbindungskanäle zu verwenden. Dies ermöglicht, Zwischenergebnisse eines Logikelements schnell an das nächste weiterzugeben, wie es von arithmetischen oder Zähleroperationen mit vielen Eingängen benötigt wird. Die LuT ist in der Lage, jede Funktion von vier Variablen zu berechnen. Das Flip-Flop kann als D-, T-, JK- oder SR-Typ (vgl. [Küh 93]) realisiert werden; als Steuersignale stehen ein Takt (Clock)-, ein Clear- und ein Preset-Signal zur Verfügung, die über Eingänge des Bausteins oder durch die interne Logik gesetzt werden. Für rein kombinatorische Anwendungen kann das Flip-Flop auch umgangen werden. Dieser Aufbau – 4-Eingang-LuT und Flip-Flop – zeichnet sich durch ein besonders günstiges Verhältnis von Funktionalität und Flächenbedarf aus [Ros 90].

Durch die Zusammenfassung von je acht Logikelementen zu einem LAB (vgl. Abbildung 3.4) wird eine übergeordnete Struktur geschaffen, die es ermöglicht, Zeitunterschiede zwischen Signalen zu minimieren: die lokale Verbindungsstruktur (LAB Local Interconnect). Die in Abbildung 3.4 mit „Dedicated Inputs“ bezeichneten Signale (LABCTRL1 bis 4 in Abbildung 3.3) können als globale Signale für den gesamten Baustein definiert werden, die in allen Logikelementen ohne gegenseitige Zeitdifferenz ankommen [Alt 96a].

Besonderheit der FLEX 8000-Bausteine sind ihre horizontalen und vertikalen Verbindungskanäle, die in Abbildung 3.4 dargestellten Reihenkanäle (zusammengefaßt als Row Interconnect) und Spaltenkanäle (zusammengefaßt als Column Interconnect). Jedes Logikelement ist mit einem Reihen- und zwei Spaltenkanälen verbunden, die die Signale horizontal bzw. vertikal weiterleiten. Außerdem besteht die Möglichkeit, Reihen und Spalten zu verbinden (Column-to-Row Interconnect), so daß jedes beliebige Logikelement mit jedem anderen verbunden werden kann. Die dabei auftretenden Signallaufzeiten sind mit Hilfe eines detaillierten Zeitanalyse-Modells vorhersagbar [Alt 96c]. Die Ein- und Ausgabeelemente lassen sich als Ein- oder Ausgang mit Register oder

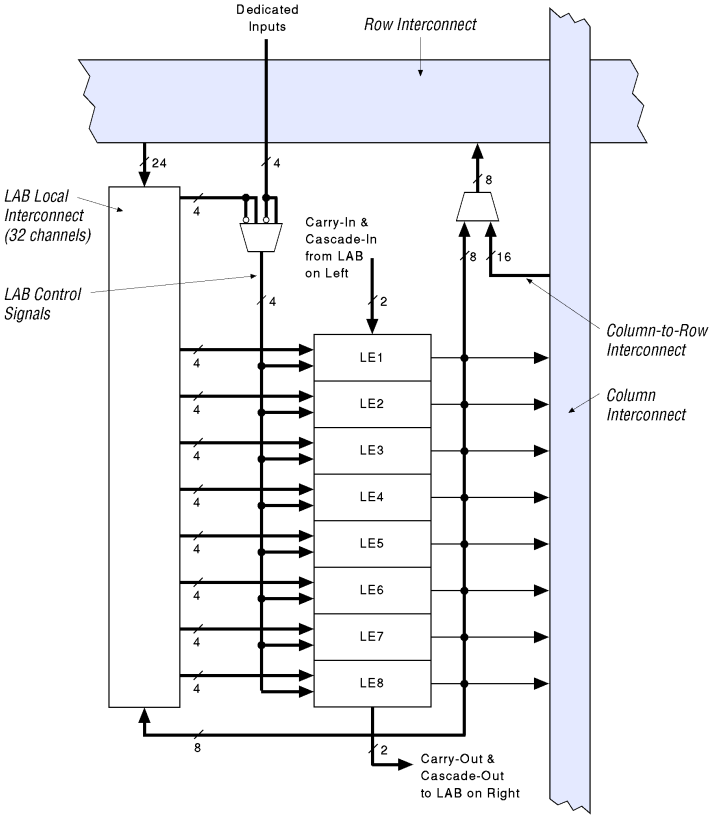


Abb. 3.4: Verbindung der zu LABs zusammengefaßten Logikelemente mit den internen Reihen- und Spaltenverbindungen im FLEX 8000-Baustein [Alt 96a].

bidirektional konfigurieren.

Als zentraler Baustein der Myon-Pretrigger-Logik wurde aus der FLEX 8000-Baureihe der EPF81188A-Baustein ausgewählt. In 6 Reihen und 21 Spalten von LABs sind die 1008 Logikelementen angeordnet, aus denen dieser Baustein aufgebaut ist ($21 \cdot 6$ LABs à 8 Logikelemente). Die LABs sind durch Reihen, die jeweils 168 Kanäle umfassen, und Spalten mit jeweils 16 Kanälen untereinander und mit den Ein-/Ausgabeelementen verbunden. Der Baustein besitzt 240 Pins, von denen maximal 184 als Ein- und Ausgänge genutzt werden können. Die Komplexität dieses Bausteins beträgt 12000 Gatteräquivalente [Alt 96a], d. h. sie entspricht der von 12000 2-Eingangs-NAND[11]-Gattern [Heu 94].

3.2.2 Programmierung

Die Programmierung des FLEX 8000-Bausteins wird mit SRAM[12]-Elementen gespeichert, die in CMOS[13]-Technologie realisiert sind. Sie verbrauchen wenig Strom und las-

[11]logische Verneinung des UND

[12]**S**tatic **R**andom **A**ccess **M**emory: statisches Speicherelement

[13]**C**omplementary **M**etal **O**xid **S**emiconductor; aufgebaut aus Feldeffekttransistoren

sen sich beliebig oft neu konfigurieren[14], auch während des Betriebes, benötigen aber viel Platz und müssen nach jedem Abschalten der Versorgungsspannung neu konfiguriert werden [Nof 95]. Die Konfiguration des FLEX 8000-Bausteins wird in Abschnitt 4.1.1 behandelt.

Erster Schritt der Programmierung ist die Design-Eingabe. Als Design wird dabei die vom Anwender entworfene Schaltung bezeichnet, die der Baustein ausführen soll. Das verwendete Programmentwicklungssystem[15] bietet mehrere Eingabemöglichkeiten, u. a. eine graphische Eingabe oder mittels einer Hardware-Beschreibungssprache (HDL[16]) [Alt 96b]. Dabei werden in Bibliotheken häufig verwendete Gatter, wie z. B. AND-Gatter oder Eingabe-Register, zur Verfügung gestellt.

In der nächsten Stufe muß das Design kompiliert werden. Das Programmentwicklungssystem optimiert den Design-Eintrag, etwa durch Löschen von überflüssiger Logik nach festen Regeln [Alt 96b]. Weiterhin wird das Design optimal in den Baustein eingepaßt (Fitting).

Im letzten Schritt wird die Programmdatei erstellt, mit der der Baustein schließlich konfiguriert werden kann. Für die Testmessungen wird dabei das Intel-HEX-Format gewählt (vgl. Abschnitt 4.1.1.2). Zudem kann das Design durch funktionale und zeitkritische Simulationen verifiziert werden [Alt 96b].

3.3 Die Schaltung des Myon-Pretriggers

In diesem Abschnitt wird gezeigt, wie die Anforderungen, die an den Myon-Pretrigger gestellt werden, mit Hilfe des FLEX 8000-Bausteins erfüllt werden können.

Die Daten der Pad-Kammern der Superlagen MU3 und MU4 (vgl. Abschnitt 2.2.1) stehen dem Pretrigger als spaltenweise geordnete Ja/Nein-Informationen zur Verfügung. Dabei steht eine **1** für ein Pad, das getroffen wurde, eine **0** für keinen Treffer.

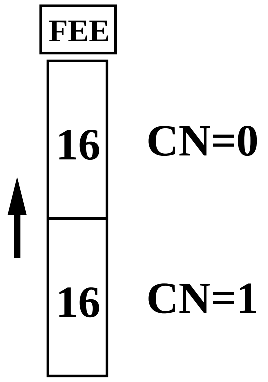


Abb. 3.5: Ordnungsschema einer Spalte von MU3 oder MU4. Beispielhaft ist hier eine Spalte der „oberen“ Hälfte des Myon-Systems gezeigt, die nach oben hin ausgelesen wird (FEE: Ausleseelektronik; CN: Zyklusnummer).

Wegen der beschränkten Zahl von Ein- und Ausgangspins des FLEX 8000-Bausteins ist es nicht möglich, die Informationen einer MU3-Spalte (30 Pads) und der drei zugehörigen MU4-Spalten ($3 \cdot 31$ Pads) zeitgleich zu verarbeiten. Wie aus Abbildung 2.6

[14] Als Konfiguration wird das Laden des FLEX 8000-Bausteins mit den Daten, die die Programmierung enthalten, bezeichnet.

[15] MAX+PLUS II (eingetragenes Warenzeichen der Firma Altera Corporation, San Jose, USA)

[16] **H**ardware **D**escription **L**anguage

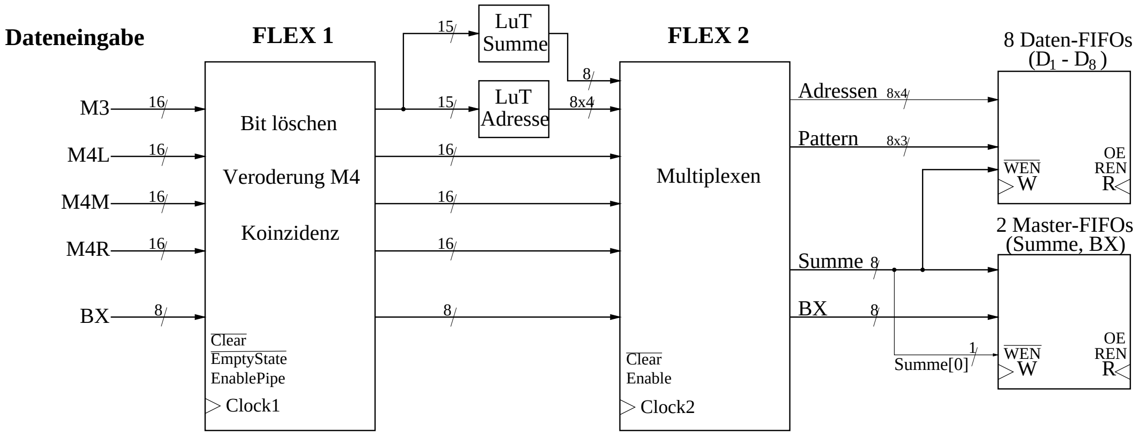


Abb. 3.6: Schematische Darstellung der zentralen Teile der Myon-Pretrigger-Schaltung.

ersichtlich ist, werden die Daten dieser vier Spalten benötigt, um Koinzidenzen bilden zu können. Deshalb wird die Bearbeitung einer Spalte von Pads in zwei Zyklen unterteilt, die nacheinander ausgewertet werden. Abbildung 3.5 veranschaulicht diese Unterteilung. Dabei werden beide Zyklen mit der sog. Zyklusnummer CN[17] gekennzeichnet: $\mathrm{CN} = 0$ für den ersten, $\mathrm{CN} = 1$ für den zweiten Zyklus. Um beide Zyklen innerhalb der BX-Zeit von 96 ns auswerten zu können, muß der FLEX 8000-Baustein mit einer Taktperiode von 48 ns, entsprechend einer Taktrate von 20,8 MHz, arbeiten. Jede der im folgenden beschrieben Myon-Pretrigger-Einheiten verarbeitet die Informationen von einer Spalte von MU3 und die zugehörigen MU4-Informationen, d. h. insgesamt werden 132 solche Einheiten benötigt, die die Bildung von Koinzidenzen der äußeren Padkammern durchführen (vgl. Abbildung 2.4).

In Abbildung 3.6 findet sich eine blockweise Übersicht über den zentralen Teil der Myon-Pretrigger-Logik. Die Bildung von Koinzidenzen erfolgt in einem FLEX 8000-Baustein, die Ordnung der Daten nach Koinzidenzen erfolgt mit Hilfe von LuTs (vgl. Abschnitt 3.2.1) und eines zweiten FLEX 8000-Bausteins. Die letzte Stufe dient dazu, nur die Koinzidenzinformationen herauszufiltern (Null-Unterdrückung) und diese zu serialisieren, bevor sie zur ersten Triggerstufe weitergeleitet werden. Die Einzelheiten der Myon-Pretrigger-Logik werden im folgenden besprochen. Im folgenden beziehen sich die fettgedruckten Ausdrücke in Klammern auf die Bezeichnungen in den beiden FLEX 8000-Design-Schaltplänen in Anhang A in Abbildung A.1 und Abbildung A.2.

Der Schaltplan für die oberste Ebene des Designs für den ersten FLEX 8000-Baustein (FLEX 1) findet sich in Anhang A in Abbildung A.1. Von „oberster Ebene" muß gesprochen werden, weil die Einzelheiten der Realisierung einiger Logikeinheiten (z. B. **Clearstore**) nicht aufgelöst sind. Die Ein- und Ausgangssignale des FLEX 1-Designs sind in Tabelle 3.1 zusammengefaßt. Die Daten einer Spalte von MU3, der drei zugehörigen Spalten von MU4, die BX-Nummer und das Taktsignal werden vom Pretrigger-Link übertragen. Alle anderen Signale lassen sich über eine VME-Schnittstelle steuern. Die BX-Nummer unterscheidet sich von der HERA-BX-Nummer: Als

[17] **C**ycle **N**umber

Tab. 3.1: Ein- und Ausgangssignale für das FLEX 1-Design.

Signalgruppe	Kanalzahl	Beschreibung der Funktion
M3	16	Dateneingänge MU3 (15+1)
M4L	16	Dateneingänge MU4 Links
M4M	16	Dateneingänge MU4 Mitte
M4R	16	Dateneingänge MU4 Rechts
BX	8	Dateneingänge BX-Nummer BX 1 wird auch als Zyklusnummer (CN) bezeichnet
Clock	1	Taktsignal für Einlesen in Ein- und Ausgangsregister globales Signal
$\overline{\text{Clear}}$	1	Löschen des Ausgangsregisters für Koinzidenzen und Pattern globales Signal **0**-aktiv
$\overline{\text{EmptyState}}$	1	Löschen aller Eingangsregister und des BX-Ausgangs- registers **0**-aktiv
EnablePipe	1	Freigabesignal für alle Ein- und Ausgangsregister **1**-aktiv
DataSerial	1	Dateneingabe für Clear-Register
SerialClock	1	Takt für Dateneingabe der Clear-Register
$\overline{\text{AllSet}}$	1	Setzsignal für ein Clear-Register **0**-aktiv
$\overline{\text{AllUnset}}$	1	Löschsignal für ein Clear-Register **0**-aktiv
EnableLoad	1	Ermöglicht Laden eines Clear-Registers
BankAdress	3	Auswahl eines Clear-Registers
Coincidence	16	Datenausgang Koinzidenzen (15+1)
PatternLeft	16	Datenausgang veroderte MU4 Links-Daten
PatternMid	16	Datenausgang veroderte MU4 Mitte-Daten
PatternRight	16	Datenausgang veroderte MU4 Rechts-Daten
BXOut	8	Datenausgang BX-Nummer

niederwertigstes Bit (LSB[18]) wird die Zyklusnummer CN, die sich alle 48 ns ändert, hinzugefügt. Von der HERA-BX-Nummer stammen also nur die oberen 7 Bit, das höchstwertige Bit (MSB[19]) Bit der HERA-BX-Nummer wird vernachlässigt.[20] Die BX-Nummer wird durch den Baustein durchgetaktet, d. h. bei der ersten positiven Taktflanke (Clock) wird sie in das Eingangsregister (**8dffe**) – realisiert durch Flip-Flops –

[18]**L**east **S**ignificant **B**it

[19]**M**ost **S**ignificant **B**it

[20]Im folgenden wird unter dem Begriff „BX-Nummer“ immer die hier definierte Zahl verstanden, also inklusive Zyklusnummer.

eingelesen und bei der zweiten positiven Taktflanke in das Ausgangsregister verschoben. Etwa 10 ns später liegen die Daten dann am Ausgang an. Wegen der in Abschnitt 2.3 beschriebenen Funktion der BX-Nummer als „Markierung“ der Daten muß sie immer gleichzeitig mit den entsprechenden Daten mitgeführt werden. Andernfalls können diese nicht sinnvoll weiterverarbeitet werden.

Die Eingangsdaten der MU3- und MU4-Spalten werden in drei Stufen verarbeitet. Es stehen parallel 16 Bit MU3-Daten an, obwohl eine MU3-Halbspalte aus nur 15 Pads besteht. Das 16. Bit, das nach dem Ausgang des FLEX 1-Designs nicht weitergeführt wird, wird hinzugefügt, da in der Binärlogik „16“ einfacher zu handhaben ist als „15“. Von MU4 wird für die Koinzidenzbildung mit den Pads einer festen MU3-Spalte jedes MU4-Pad zwei Mal benötigt (vgl. Abbildung 2.6). Somit werden von den MU4-Daten 16 Bit benötigt, da für die Koinzidenzberechnung das 16. Bit des ersten Zyklus im zweiten Zyklus noch einmal benötigt wird. Aus 31 Pads werden also durch die Bearbeitung in zwei Zyklen 32 Bit verwendeter Informationen.

Nach dem Einlesen der Daten in die Eingangsregister (**Register (4×16)**) bei der ersten positiven Taktflanke kann in sog. Clear-Registern jedes einzelne Pad gelöscht werden. Dies ist nötig, falls sich im Experiment herausstellen sollte, daß einzelne Pads fehlerhaft permanent gesetzt sind. Für jede Halbspalte und beide Zyklen müssen insgesamt $4 \cdot 2 = 8$ Clear-Register (**Clearstore**) à 16 Einträge geladen werden, wobei eine **0** das Pad löscht, das der Position im Register entspricht, und eine **1** es unverändert läßt. Die Eingabe der 16 Bit in ein Clear-Register geschieht mit den Signalen SerialClock und DataSerial: Bei jeder positiven Flanke auf SerialClock wird der Zustand von DataSerial in das Clear-Register übernommen. Die Auswahl des Clear-Registers, das geladen werden soll, geschieht mit den 3 Bit BankAdress[3:1]. EnableLoad erlaubt bei **1** das Laden des ausgewählten Registers, wobei dieses Signal vor dem Laden des nächsten Registers zwischenzeitlich auf **0** gesetzt werden muß. Wenn ein ganzes Clear-Register mit **0** oder **1** geladen werden soll, können auch $\overline{\text{AllUnset}}$ bzw. $\overline{\text{AllSet}}$ verwendet werden. Hierbei genügt die Auswahl eines Clear-Registers, wie oben beschrieben, und ein **0**-Zustand des entsprechenden Signales; beide sind **0**-aktiv, d. h. sie sind nur wirksam, wenn sie auf **0** gesetzt sind. Das mögliche Löschen von Pads wird durch eine logisches UND der Clear-Register-Daten mit den M3- und M4L/M/R-Daten[21] erreicht (**Clear-Field**). Die Zyklusnummer sorgt dabei für die korrekte Auswahl der zum Zyklus passenden Clear-Register.

In einer zweiten Stufe werden die M4-Daten paarweise verodert (**Or-Field**). Aus der Darstellung des Koinzidenzschemas in Abbildung 3.7 läßt sich ablesen, was dies bedeutet: Die Information über die y-Position eines Pads von MU4, das zu einer Koinzidenzbildung beiträgt, wird ungenauer. Nur die Information, wie sie im rechten Teil der Abbildung 3.7 zu sehen ist, steht zur Verfügung. Der Vorteil dieses Vorgehens liegt darin, daß die Koinzidenzbildung stark vereinfacht ist. Symbolisch geschrieben ist aus der logischen Koinzidenzbedingung (3.1)[22] die Relation (3.2) geworden. Dabei werden

[21] Innerhalb des Myon-Pretrigger-Logik werden die von MU3 bzw. MU4 stammenden Daten mit M3 bzw. M4 bezeichnet, wie in den Schaltplänen in Anhang A. Beide Benennungen sind äquivalent.

[22] „o“ steht für ein Pad der oberen Reihe von MU4, „u“ entsprechend für eines der unteren Reihe.

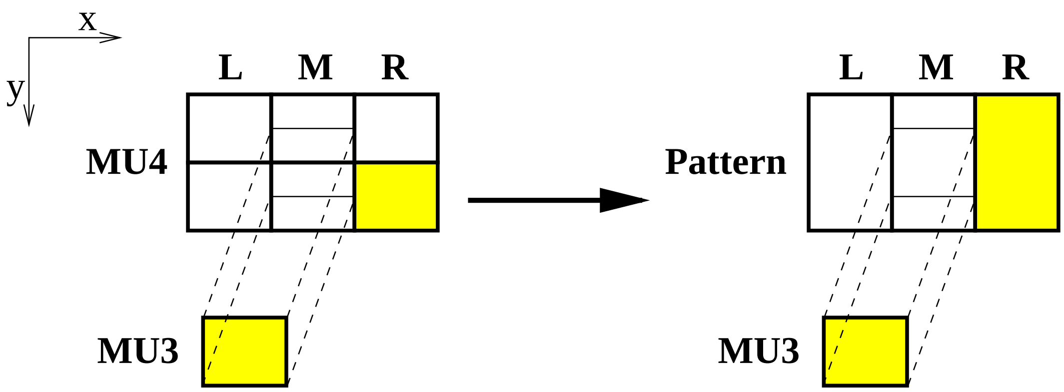


Abb. 3.7: Schematische Darstellung der paarweisen Veroderung der MU4-Pads auf Logikebene. Dunkel dargestellt sind Pads, die ein Signal (Teilchendurchgang) abgeben.

die veroderten MU4-Daten als Pattern[23] bezeichnet (vgl. Abbildung 3.7).

$$\mathrm{MU3} \wedge (\mathrm{MU4L_o} \vee \mathrm{MU4L_u} \vee \mathrm{MU4M_o} \vee \mathrm{MU4M_u} \vee \mathrm{MU4R_o} \vee \mathrm{MU4R_u}) \tag{3.1}$$
$$\mathrm{MU3} \wedge (\mathrm{PatL} \vee \mathrm{PatM} \vee \mathrm{PatR}) \tag{3.2}$$

Diese Reduzierung der zur Verfügung stehenden Information ist möglich, da die nachfolgende erste Triggerstufe die Driftzeitinformationen der Superlage MU4 benutzt, um die Suche nach Teilchenspuren zu beginnen (vgl. Abschnitt 2.3). Dadurch kann die y-Position genauer bestimmt werden, als dies mit den Pad-Kammern möglich ist.

Im FLEX 8000-Baustein werden daraufhin die M3- und Pattern-Daten auf mögliche Koinzidenzen untersucht (**Coincidence-Field**). Die Position einer gefundenen Koinzidenz wird der Position des zugehörigen MU3-Treffers zugeordnet. Die drei Stufen, Clear-Register, Veroderung und Koinzidenzbildung, werden in weniger als 48 ns durchgeführt. Die Ergebnisse, Koinzidenzen und Pattern, werden bei der zweiten positiven Taktflanke in das Ausgangsregister (**Register(4×16)**) geschrieben.

Weiterhin stehen noch drei Steuersignale, die teilweise als globale Signale (vgl. Abschnitt 3.2.1) konfiguriert sind, zur Verfügung: $\overline{\text{Clear}}$, $\overline{\text{EmptyState}}$ und EnablePipe. Ihre Funktion kann Tabelle 3.1 entnommen werden.

Die Pattern- und BX-Daten werden direkt zum zweiten FLEX 8000-Baustein weitergeleitet. Die Pattern werden im zweiten Baustein nicht spaltenweise geordnet als $3 \cdot 16$ Bit eingelesen, sondern reihenweise als $16 \cdot 3$ Bit, da jeder Koinzidenz das zugehörige Pattern zugewiesen werden soll. Die Koinzidenz-Daten werden in der Zwischenzeit mit Hilfe von LuTs ausgewertet (vgl. Abbildung 3.6).

Abbildung 3.8 stellt am Beispiel einer Halbspalte, in der zwei Koinzidenzen gefunden worden sind, die Funktion der LuTs dar. Gemäß Tabelle 3.2 wird eine 8 Bit umfassende Summe der Koinzidenzen in der Halbspalte gebildet. Dabei ist die Zahl der Nullen unter den 8 Bit gleich der Zahl der Koinzidenzen. Der Grund für die Form dieser Summe wird bei der Beschreibung der Null-Unterdrückung deutlich. Werden mehr als 8 Koinzidenzen in einer Halbspalte gefunden, wird ein Fehler-Bit gesetzt, das

[23]engl.: Muster

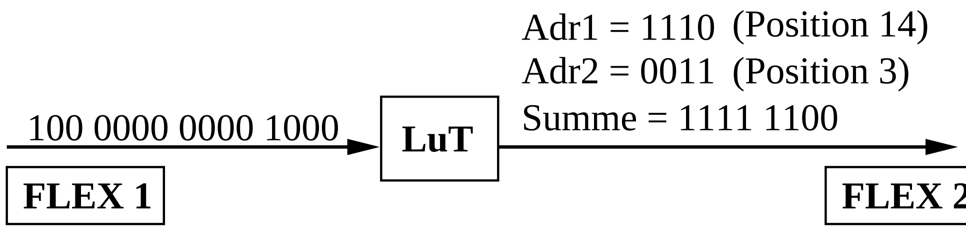


Abb. 3.8: Funktionelle Darstellung der LuT.

Tab. 3.2: Summe nach der LuT in Abhängigkeit von der Zahl der Koinzidenzen in einer Halbspalte. MSB: höchstwertiges Bit, LSB: niederwertigstes Bit.

Zahl der Koinzidenzen pro Viertelspalte	Summe nach LuT MSB LSB
0	1111 1111
1	1111 1110
2	1111 1100
3	1111 1000
4	1111 0000
5	1110 0000
6	1100 0000
7	1000 0000
8	0000 0000
9-15	0000 0000

hier nicht aufgeführt ist. Was daraufhin mit diesem Ereignis geschieht, ist noch nicht endgültig entschieden. Die Begrenzung von maximal 8 Koinzidenzen ergibt sich aus der Höchstzahl von Adressen, die die LuT aus den Koinzidenzen generiert. Wie das Beispiel in Abbildung 3.8 zeigt, wird jeder Koinzidenz eine 4 Bit umfassende Adresse von $\mathbf{0000} = 0_{dez}$ (Coincidence[1]) bis $\mathbf{1110} = 14_{dez}$ (Coincidence[15]) zugeordnet. Die Adressen sind nach der Position der Koinzidenz geordnet. Wenn weniger als 8 Koinzidenzen gefunden werden, bleibt der Zustand der nicht benötigten Adreßkanäle unbestimmt.

Bei der von der Dateneingabe in den ersten FLEX 8000-Baustein gerechnet dritten positiven Taktflanke werden die Daten von den LuTs ebenso wie die vom ersten Baustein in den zweiten FLEX 8000-Baustein eingelesen (**Register(...)** in Abbildung A.2). Tabelle 3.3 gibt einen Überblick über Ein- und Ausgangssignale des FLEX 2-Designs. Die oberste hierarchische Ebene ist als Schaltplan in Abbildung A.2 in Anhang A zu sehen. Die Aufgabe des FLEX 2-Designs liegt in der Zuordnung der Pattern zu den Adressen der zugehörigen Koinzidenzen. Dazu werden die 16 Pattern (je drei Bit) und die 8 Adressen (je vier Bit) auf eine Multiplexer-Einheit (**Pattern-MUX**) gegeben, die den 8 Adressen die zugehörigen Pattern der veroderten M4-Daten zuordnet: Das zu Adr 1 gehörige Pattern wird an den Pat QA-Ausgang gelegt, das zu Adr 2 gehörige an Pat QB, usw. bis Adr 8, deren zugehöriges Pattern am Pat QH-Ausgang erscheint. Bei der insgesamt vierten positiven Taktflanke werden diese Daten ebenso wie die Adressen,

Tab. 3.3: Ein- und Ausgangssignale für das FLEX 2-Design.

Signalgruppe	Kanalzahl	Beschreibung der Funktion
Pattern 1-16	16·3 = 48	Dateneingänge Pattern
Adr 1-8	8·4 = 32	Dateneingänge LuT-Adressen
Summe	8	Dateneingang LuT-Summe
BX	8	Dateneingang BX-Nummer
Clock	1	Taktsignal für Einlesen in Ein- und Ausgangsregister globales Signal
$\overline{\text{Clear}}$	1	Löschen aller Ein- und Ausgangsregister globales Signal; **0**-aktiv
Enable	1	Freigabesignal für alle Ein- und Ausgangsregister: **1**-aktiv Freigabesignal für Multiplexer-Einheit: **0**-aktiv
PatternQ A-H	8·3 = 24	Datenausgang zugeordnete Pattern
AdrQ 1-8	8·4 = 32	Datenausgang LuT-Adresse
SummeQ	8	Datenausgang LuT-Summe
BXQ	8	Datenausgang BX-Nummer

die BX-Nummer und die Summe in die Ausgangsregister geschrieben (**Register(...)**). Die Funktionen der Steuersignale $\overline{\text{Clear}}$ und Enable sind Tabelle 3.3 zu entnehmen.

Die letzte Stufe des zentralen Teils der Myon-Pretrigger-Logik sorgt für die Null-Unterdrückung und Serialisierung der Koinzidenz-Daten. Abbildung 3.6 zeigt, daß die 8 Adressen und Pattern an den Eingängen von 8 sog. Daten-FIFOs[24] anliegen (AdrQ1 und PatQA auf FIFO D_1, AdrQ2 und PatQB auf FIFO D_2, etc.). FIFOs sind Speicherbausteine, in die von einer Seite Daten mit einer Taktrate geschrieben und unabhängig davon von der anderen Seite mit einer anderen Taktrate ausgelesen werden können. Dabei werden die Daten in der Reihenfolge ausgelesen, in der sie hineingeschrieben worden sind. Die BX-Nummer und die oben beschriebene Summe können in je einen sog. Master-FIFO geschrieben werden. Dies erfolgt jedoch nur dann, wenn einerseits eine positive Taktflanke anliegt (W[25]) und gleichzeitig am WEN[26]-Eingang eine **0** anliegt. Die 8 Bit der Summe liegen nun an den WEN-Eingängen verschiedener FIFOs an: Summe[1] (LSB) an Summe-, BX- und D_1-FIFO, Summe[2] am D_2-FIFO, Summe[3] am D_3-FIFO, usw. bis zu Summe[8] (MSB) am D_8-FIFO. Das bedeutet, daß nur dann in einen FIFO geschrieben wird, wenn Daten einer Koinzidenz anliegen. In die übrigen FIFOs kann nicht geschrieben werden, so daß nicht von Belang ist, daß die dort anliegenden Daten unbestimmt sind.

In Abbildung 3.9 wird die geschilderte Null-Unterdrückung anhand des folgenden Beispiels beschrieben: Beim ersten BX (BX_1) wird eine Koinzidenz (D_{11} für entsprechende Adreß- und Pattern-Daten) gefunden, beim zweiten BX (BX_2) drei (D_{12}, D_{22}, D_{32}) und beim dritten BX (BX_3) zwei (D_{13}, D_{23}). Dargestellt ist die Situation, in der

[24] **F**irst **I**n - **F**irst **O**ut
[25] **W**rite Clock
[26] **W**rite **En**able

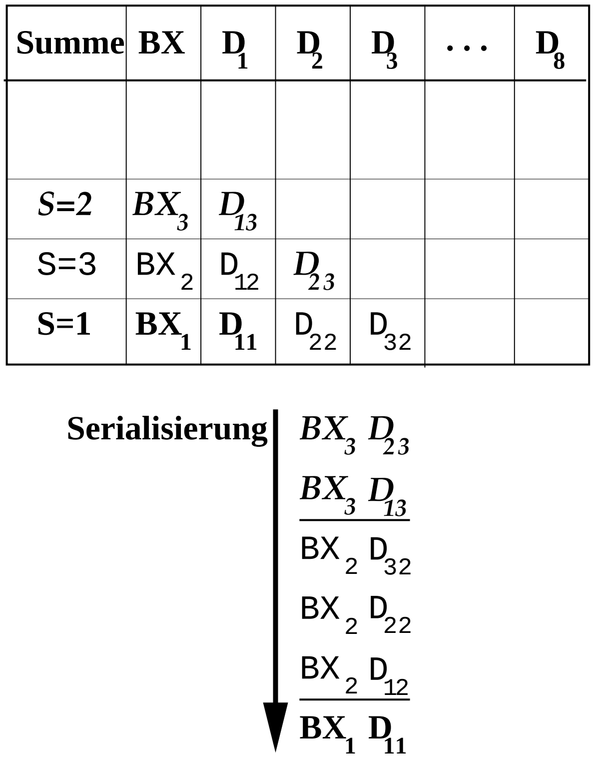


Abb. 3.9: Schematische Darstellung der Master (Summe, BX)- und der Daten-FIFOs (D_1 bis D_8). Daten zu verschiedenen BX-Nummern sind durch unterschiedliche Schriftarten gekennzeichnet.

alle Daten in die maximal 10 FIFOs – das entspricht den 10 Spalten in Abbildung 3.9 – geschrieben worden sind („von oben“). Die FIFOs D_4 bis D_8 sind leer, da maximal drei Koinzidenzen pro BX aufgetreten sind. Die Serialisierung geschieht nun, indem zunächst der Summen-FIFO ausgelesen wird; die Summe wird ausgewertet, so daß bekannt ist, in wievielen FIFOs Koinzidenz-Daten zur gleichen BX-Nummer enthalten sind. In diesem Beispiel wird zuerst der D_1-FIFO ausgelesen; jedes ausgelesene Datum wird immer mit der passenden BX-Nummmer „markiert“. Danach werden nacheinander die FIFOs D_1, D_2, D_3 ausgelesen, um alle Koinzidenzen zur zweiten BX-Nummer zu erhalten. Entsprechend wird für die dritte BX-Nummer verfahren: Die FIFOs D_1 und D_2 werden ausgelesen. Die Ausleseseite ist dabei von der Schreibseite unabhängig, das gilt insbesondere für die Schreib- und Auslese-Taktraten.

Deshalb ist die Berechnungszeit, die der Myon-Pretrigger benötigt, um Koinzidenzen zu bilden und an die erste Triggerstufe weiterzugeben, datenabhängig, und kann nur mit Hilfe von Simulationsdaten für den HERA – B Detektor bestimmt werden. Die Berechnung mit Hilfe von Monte Carlo-Simulationsdaten wird in Kapitel 7 vorgestellt.

Kapitel 4

Die Meßumgebung

Die Myon-Pretrigger-Logik für das HERA – B Experiment muß in erster Linie schnell und zuverlässig die Koinzidenzbildung durchführen. Die in Abschnitt 3.3 vorgestellte Schaltung ist dazu theoretisch in der Lage, und die Simulation der beiden FLEX 8000-Designs ergibt, daß sie mit einer Taktrate von bis zu 38 MHz ihre Funktionen erfüllen [Kol 96]. Dennoch ist es von großer Wichtigkeit, dies durch Messungen zu verifizieren. Zum einen ist es nicht auszuschließen, daß kleinere Entwurfs-Fehler auftreten; zum anderen muß bei Frequenzen in der Größenordnung MHz damit gerechnet werden, daß Digitalelektronik analoge Störeffekte zeigt. Diese Störungen gilt es zu lokalisieren, um für das endgültige Design entsprechende Gegenmaßnahmen ergreifen zu können. Deshalb ist eine Meßumgebung geschaffen worden, mit der die Programmierung eines FLEX 8000-Bausteins getestet werden kann. In diesem Kapitel wird diese Meßumgebung beschrieben, zu der mit der Programmierung eines Mikrocontrollers im Rahmen dieser Arbeit ein wesentlicher Beitrag geleistet wird. Die Testmessungen der beiden FLEX 8000-Designs werden in Kapitel 6 beschrieben.

Abbildung 4.1 gibt einen schematischen Überblick über die verschiedenen Komponenten der Meßumgebung. Zentraler Bestandteil ist eine Platine, die im wesentlichen den zu testenden Baustein (FLEX 81188), eine Microcontroller-Einheit (MC 80C535, RAM, EPROM) und eine serielle Schnittstelle (RS232) umfaßt. Über letztere werden die Konfigurationsdaten für den FLEX 8000-Baustein von einem PC[1] aus eingelesen. Für die logischen Testmessungen stehen ein Wortgenerator (WG 64), mit dem digitale Signale erzeugt werden können, und ein Logikanalysator (LA 24/32), der die digitalen Ausgangssignale messen kann, zur Verfügung. Die Steuerung und die Auslese der Ergebnisse geschieht mit Hilfe spezieller Programme über einen weiteren PC.

4.1 Die FLEX 8000-Testplatine

Anhand einer Photographie der FLEX 8000-Testplatine in Abbildung 4.2 werden die wesentlichen Elemente der Platine erläutert. Zu sehen sind im unteren Teil der Platine zwei FLEX 8000-Bausteine. Der linke wird für die Messungen nicht benutzt, da seine Logikkapazität nicht ausreicht, um mit einem der beiden Designs konfiguriert zu wer-

[1] **P**ersonal **C**omputer

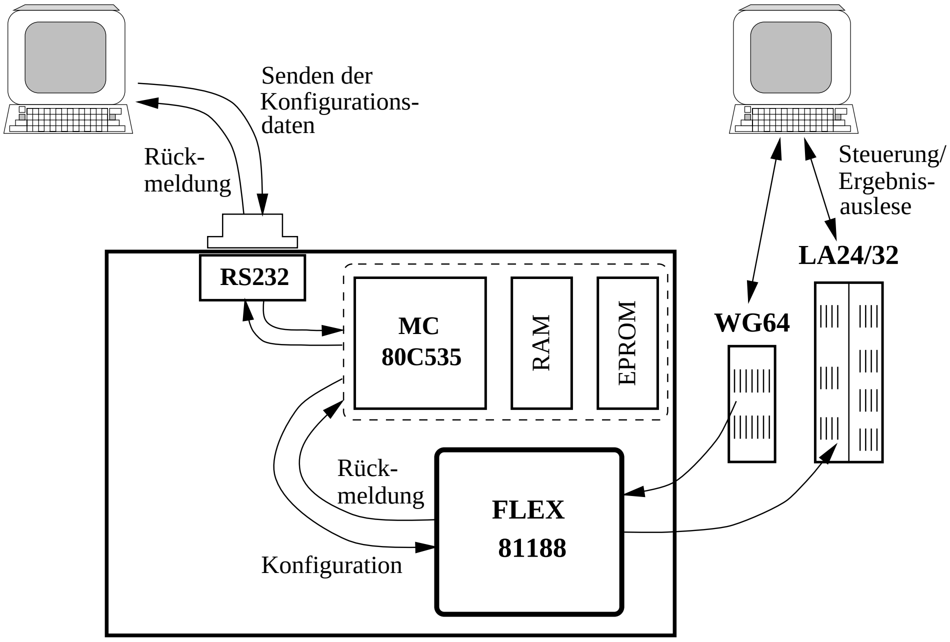


Abb. 4.1: Schematische Darstellung der Meßumgebung für die logischen Testmessungen.

Photo Testplatine

Abb. 4.2: Photographie der FLEX 8000 -Testplatine. Die äußeren Abmessungen betragen $23 \times 16\text{cm}^2$.

den. Der rechte dagegen ist der untersuchte FLEX 81188-Baustein. Alle 240 Ein- und Ausgangspins des Bausteins sind mit den vier doppelzeiligen Steckerleisten verbunden, die um den Baustein herum angeordnet sind. Die Konfiguration des Bausteins läßt sich mit Hilfe dreier LEDs[2] überwachen. Oberhalb des untersuchten FLEX 8000-Bausteins ist die Mikrocontroller-Einheit zu erkennen: externes EPROM, externes RAM, zwei einfache Logikbausteine (Speicher und NAND-Gatter) und der Mikrocontroller vom Typ 80C535 (v.r.n.l.), darunter der Quarzoszillator für den Mikrocontroller. Der Schaltplan für diese sechs Komponenten ist in Anhang A in Abbildung A.3 abgebildet. Für die Messungen wird anstelle eines EPROMs ein EPROM-Simulator verwendet. Dies ist eine Schaltung, die sich wie ein EPROM verhält, über einen PC aber immer wieder neu geladen werden kann [Koc 95b]. In Abbildung 4.2 sind weiterhin der Treiberbaustein für die serielle Schnittstelle und darüber ihre Steckerverbindung erkennbar. Daneben befinden sich noch ein Schalter für das Mikrocontroller-Reset und die Spannungsregelung mit dem Kühler auf der Platine.

4.1.1 Die Mikrocontroller-Einheit

Es gibt mehrere Möglichkeiten, den FLEX 8000-Baustein zu konfigurieren, u. a. mittels eines EPROMs, das die Konfigurationsdaten enthält, oder unter Verwendung eines Mikrocontrollers, der die Programmierungsdaten mit genau spezifizierten Signalen in den FLEX 8000-Baustein lädt. Da zwei verschiedene Designs am selben Baustein getestet werden müssen und Designfehler enthalten sein können, wäre es sehr zeitraubend und aufwendig, für jedes neue Design ein EPROM mit den Konfigurationsdaten zu brennen. Aus diesem Grund wird ein Mikrocontroller verwendet.

4.1.1.1 Aufbau des Mikrocontrollers

Einen Mikrocontroller kann man als „Ein-Chip-Computer“ bezeichnen: Er besitzt einen Prozessor, um Programme ausführen zu können, Programm- und Datenspeicher und Ein-/Ausgabeleitungen (I/O-Ports), um mit der „Außenwelt“ in Verbindung treten zu können. Zu einem Computer, wie man ihn heute versteht, fehlen nur Datenträgerlaufwerke, Tastatur und Bildschirm. Eine weit verbreitete Familie von Mikrocontrollern ist die MCS-51-Familie, deren Vertreter bis auf kleine Ausnahmen abwärtskompatibel zu den Grundvertretern 8051 und 8031 sind. Der schematische Aufbau des hier verwendeten Mitgliedes der MCS-51-Familie, des 80C535[3]-Bausteins, ist Abbildung 4.3 zu entnehmen. Im Anschluß werden die Komponenten, die für das Verständnis des entwickelten Mikrocontroller-Programmes wichtig sind, erläutert.

Die zentrale Prozessoreinheit (CPU[4]) initialisiert alle Funktionen des Mikrocontrollers. Sie holt sich die Anweisungen aus dem Programmspeicher des Systems. Ein Charakteristikum ist dabei die Wortlänge der Befehle: Sie beträgt hier 8 Bit oder ein Byte. Dies ist gleichzeitig die Breite des internen Bussytems, das die verschiedenen Einheiten des Mikrocontrollers untereinander verbindet. Die CPU ist weiterhin in

[2]**L**ight **E**mitting **D**iode
[3]Das „C“ steht für die CMOS-Version.
[4]**C**entral **P**rocessing **U**nit

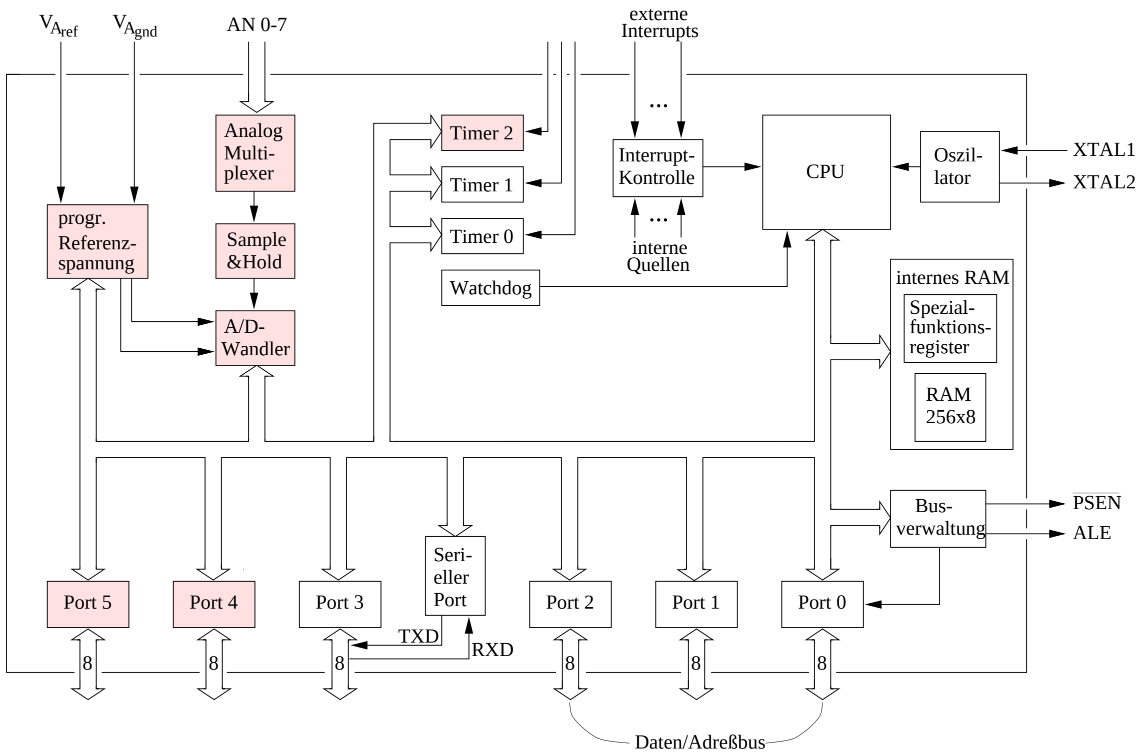


Abb. 4.3: Block-Diagramm des Aufbaus des 80C535-Mikrocontrollers. Die Erweiterungen gegenüber dem 8031-Baustein sind schraffiert dargestellt [Rot 93].

der Lage, arithmetische Operationen und – eine Besonderheit der MCS-51-Familie – Einzelbitoperationen durchzuführen [Rot 93]. Die Taktrate, mit der alle Operationen der CPU durchgeführt werden, bestimmt der interne oder extern über die XTAL1- und XTAL2-Verbindungen angeschlossene Oszillator. Wie dem Schaltplan in Abbildung A.3 zu entnehmen ist, wird für die FLEX 8000-Testplatine ein externer 12 MHz-Oszillator verwendet.

Quelle der Befehle, die die CPU ausführen soll, ist der Programmspeicher (ROM). Der 80C535-Mikrocontroller besitzt kein internes, sondern ein externes ROM mit 32k ($32 \cdot 1024 = 2^{15}$) 8-Bit-Worten Speicherplatz. Die Adressierung der Speicherplätze im Programmspeicher geschieht über Port 0 und Port 2, da 15 Bit zur Adressierung benötigt werden. Über Port 0 wird das niederwertige Byte der Adresse (Low-Byte) mit Hilfe des ALE[5]-Signales zwischengespeichert (in Baustein 74HCT573, vgl. Abbildung A.3). An Port 2 wird dann das höherwertige Adreß-Byte (High-Byte) zusammen mit dem Signal für die Programmspeicher-Freigabe ($\overline{\text{PSEN}}$[6]) ausgegeben. Der adressierte Befehl wird dann über Port 0 eingelesen.

Zur Speicherung von Daten stehen ein internes und ein externes RAM zur Verfügung. Die Adressierung des externen 32k×8-Bit großen RAMs zum Lesen oder Schreiben von Daten funktioniert genauso, wie für das externe ROM beschrieben, allerdings wird

[5] **A**ddress **L**atch **E**nable
[6] **P**rogram **S**tore **En**able

beim Lesen das $\overline{\mathrm{RD}}$[7]-Signal gesetzt. Das interne RAM gliedert sich in einen „unteren“ und einen „oberen“ Bereich (Spezialfunktionsregister) à 128×8 Bit[8]. Der untere Bereich beinhaltet u. a. 16 Bytes, in denen jedes Bit einzeln adressierbar ist. Weiterhin befindet sich in diesem Bereich der sog. Stack, der den Wert des Programmzählers speichert, wenn z. B. eine Subroutine aufgerufen wird, um nach deren Beendigung an der richtigen Stelle im Hauptprogramm fortfahren zu können. Der obere Teil des internen RAMs besteht zu einem größeren Teil aus den sog. **S**pezial**f**unktions**r**egistern (SFR). Das sind einzelne, z.T. bitadressierbare Register, über die die Einstellungen von Interrupts, Timern, Ports etc. vorgenommen werden. An dieser Stelle werden nur einige der Funktionen von insgesamt 41 Spezialfunktionsregistern des 80C535-Mikrocontroller aufgeführt: der Akkumulator für arithmetische Berechnungen; das Beschreiben und Lesen von Ports; die Einstellung des Übertragungsmodus für das serielle Schreiben oder Lesen; die Einstellung von verschiedenen Modi und Anfangszuständen von Timern; die Auswahl von Interrupts und ihrer Prioritäten. Parallel zu diesem Bereich der Spezialfunktionsregister befindet sich unter denselben Adressen ein ebenfalls 128 Bytes großer Bereich, der als reiner Speicher benutzt werden kann. Durch unterschiedliche Adressierungsarten werden diese beiden Bereiche getrennt.

Die schon erwähnten Timer sind als Zeit- oder Ereigniszähler verwendbar. Im ersten Fall wird von einem einstellbaren Anfangszustand bei jedem Maschinenzyklus (12 Oszillatorperioden, d. h. hier: 1 μs) eins addiert, im zweiten Fall geschieht das Inkrementieren bei negativen Flanken an ausgewählten Eingangspins. Bei einem Überlauf der 16 Bit breiten Timer-Register wird ein spezielles Bit gesetzt und ein Interrupt ausgelöst, wenn dies durch eine bestimmte Einstellung ermöglicht worden ist.

Ein Interrupt ist eine Unterbrechung des laufenden Programmes, die durch verschiedene Ereignisse ausgelöst werden kann. Danach wird das Programm an einer von der Art des Auslösers abhängigen Stelle fortgesetzt (Interruptroutine). Werden gleichzeitig mehrere Interrupts angefordert, bestimmt die Priorität der Interrupts, welche Befehle ausgeführt werden. Der 80C535-Mikrocontroller besitzt auf vier Prioritätsebenen 12 Interrupts, von denen neun durch externe Signale und drei durch Überlauf der Timer ausgelöst werden können.

Bis hierhin ist ein Mikrocontroller nutzlos, da er weder Eingangsdaten für seine Aktionen erhalten noch seine Ergebnisse der Außenwelt mitteilen kann. Dazu dienen die sechs Ports des 80C535-Mikrocontrollers sowie der serielle Port. Die Funktion von Port 0 und Port 2 wurde bereits besprochen; Port 1 und Port 3 dienen in erster Linie der Registrierung externer Interrupts und als Ereigniszähler für die Timer; die beiden übrigen Ports sind als reine Ein-/Ausgabe-Ports verfügbar. Serielle Datenübertragung ist über den seriellen Port möglich, der zwei Pins des Port 3 zum Senden bzw. Empfangen von Daten verwendet. Senden und Empfangen von Daten ist gleichzeitig möglich.

Der Watchdog[9]-Timer, der einen Interrupt auslöst, wenn er nicht mindestens alle 65532 μs, entsprechend 2^{16} Maschinenzyklen gelöscht wird, und die Analog/Digital-Wandlung werden in dem entwickelten Mikrocontroller-Programm nicht verwendet. Deshalb wird hier auf eine Beschreibung verzichtet.

---

[7]**Read**
[8]Die Begriffe „unten“ und „oben“ beziehen sich auf den Zahlenwert der Adresse.
[9]engl.: Wachhund

4.1.1.2 Programmierung des Mikrocontrollers

Aufgrund der Busbreite von 8 Bit kann es für die Mikrocontroller der MCS-51-Familie $2^8 = 256$ verschiedene Befehle geben, von denen 255 realisiert sind. Da 8-stellige Binärzahlen schwer memorierbar sind, werden sie als sog. Mnemoniks dargestellt, z. B. **11100100** (löscht den Inhalt des Akkumulators) als „CLR A“. Die Befehle bestehen aus 1 bis 3 Byte, z. B. wegen Angaben von Adressen, und ihre Ausführung dauert zwischen 1 und 4 Maschinenzyklen, das sind in diesem Fall zwischen 1 und 4 μs. Inhaltlich lassen sich die Befehle in fünf Klassen einteilen: arithmetische, logische, Datentransfer-, Bitmanipulations- und Sprungbefehle [Rot 93]. Die Umwandlung der Mnemoniks in die Binärdarstellung, um z. B. ein EPROM brennen zu können, übernimmt ein sog. Assembler. Zur Entwicklung des Mikrocontroller-Programmes für die FLEX 8000-Testplatine wird ein Entwicklungs-System benutzt [Wic 93]. Neben einem Assembler beinhaltet dieses System auch Kommunikationsroutinen, die teilweise als Vorlage für die Ein- und Ausgabefunktionen des entwickelten Programmes verwendet werden. Die Hardware dieses Entwicklungs-Systemes dient als Vorlage für die Mikrocontroller-Einheit auf der FLEX 8000-Testplatine.

Das Mikrocontroller-Programm für die FLEX 8000-Testplatine muß folgende Aufgaben erfüllen:

- Einlesen der Konfigurationsdaten im Intel-HEX-Format mit Überprüfen der korrekten Übertragung
- Testen der Korrektheit der Daten anhand der Formatierung, Extrahieren und Abspeichern der Nutzdaten
- Konfiguration des FLEX 8000-Bausteins und Kontrolle der Konfiguration

In Abbildung 4.4 wird ein schematischer Überblick über das Mikrocontroller-Programm gegeben. An vielen Stellen ähnelt das Programm – nicht im Schema dargestellt – einer Art „Betriebssystem“, das z. B. die Reaktion auf die fehlerhafte Anforderung eines nicht verwendeten Interrupts vorsehen muß.

Einlesen und Konvertieren der Konfigurationsdaten

Das Programm wird durch ein Reset des Mikrocontrollers gestartet, woraufhin der Befehl ausgeführt wird, der an der untersten Adresse im ROM steht. Im ersten Schritt werden die benötigten Register in einen definierten Ausgangszustand gebracht, um unerwartete Interrupts zu verhindern, nicht undefiniert Daten auszugeben und die serielle Schnittstelle sowie die benötigten Timer zu initialisieren. Um den augenblicklichen Zustand des Programmes kontrollieren zu können, werden an wichtigen Programmstellen Statusmeldungen über die serielle Schnittstelle ausgegeben, die am Bildschirm eines PC kontrolliert werden können.

Die Übertragung der Konfigurationsdaten vom PC über die serielle Schnittstelle wird von einem Sendeprogramm mit festgelegtem Format und Protokoll durchgeführt [Gre 96]. Für jedes gesendete Byte werden dabei 11 Bit übertragen: ein Startbit (**0**), die 8 Datenbits (LSB zuerst), ein Paritätsbit und ein Stopbit (**1**). Das Paritätsbit dient

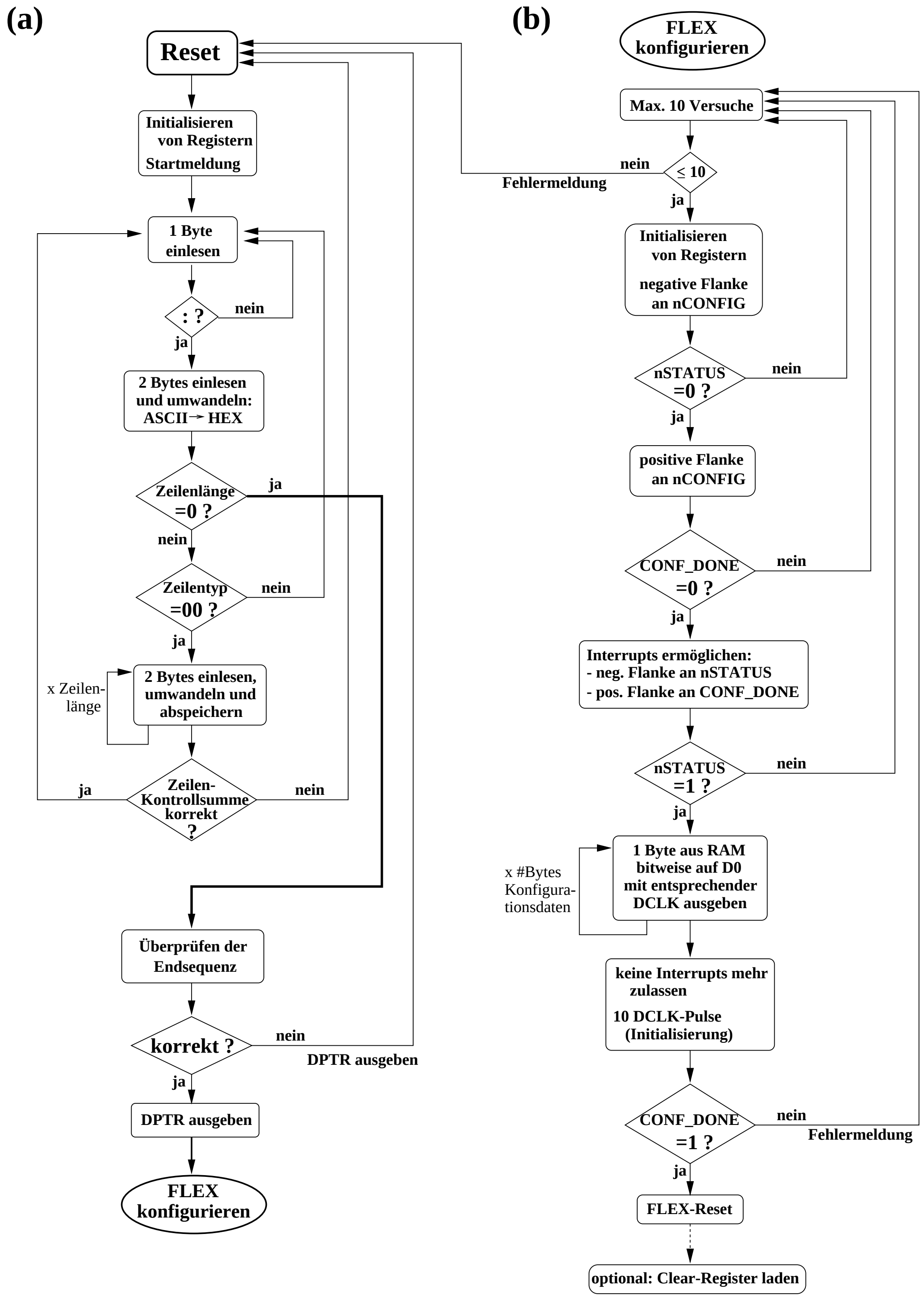


Abb. 4.4: Vereinfachtes Flußdiagramm des Mikrocontroller-Programmes: (a) Konvertieren und Speichern der Konfigurationsdaten, (b) Konfiguration des FLEX 8000-Bausteins.

der Erkennung möglicher Übertragungsfehler. Es wird bei einer ungeraden Anzahl von Einsen innerhalb der 8 Datenbits gesetzt, ansonsten wird es gelöscht. Aus Gründen der Übertragungssicherheit wird ein Protokoll definiert, das Mikrocontroller und Sendeprogramm eine begrenzte Kommunikation erlaubt. Der Mikrocontroller gibt zunächst das Zeichen **00001100** $\hat{=} 12_{dez} \hat{=} 0C_{hex}$[10] als Startzeichen für das Sendeprogramm aus. Nach Empfang jedes Datenbytes (eigentlich 11 Bit) wird dasselbe Zeichen noch einmal gesendet, wenn für die empfangenen Daten die Anzahl der **1**en mit dem übertragenen Paritätsbit übereinstimmt. Ist dies nicht der Fall, wird das Zeichen $06_{dez} \hat{=} 06_{hex}$ gesendet, woraufhin das Sendeprogramm die Übertragung des fehlerhaften Bytes bis zu 10 Mal wiederholt. Sollte dies nicht für eine korrekte Übertragung ausreichen, wird der Vorgang abgebrochen, und nach Senden des Zeichens $27_{dez} \hat{=} 1B_{hex}$ startet das Sendeprogramm erneut. Wegen der relativ langsamen Geschwindigkeit der seriellen Datenübertragung von 9600 Baud[11], muß der Mikrocontroller auf die vollständige Übertragung eines Bytes i. d. R. warten. Dies ist Abbildung 4.5 zu entnehmen. Um bei einer fehlerhaft langsamen Übertragung, wie dies insbesondere im Entwicklungsstadium vorkommen kann, nicht in einer Endlosschleife „gefangen“ zu werden, wird nach spätestens 65 ms der Timer 0-Interrupt ausgelöst. Dieser gibt die Anzahl der bis dahin eingelesenen Daten aus, indem die Differenz zwischen der aktuellen Adresse der Daten (DPTR[12]) und der Startadresse

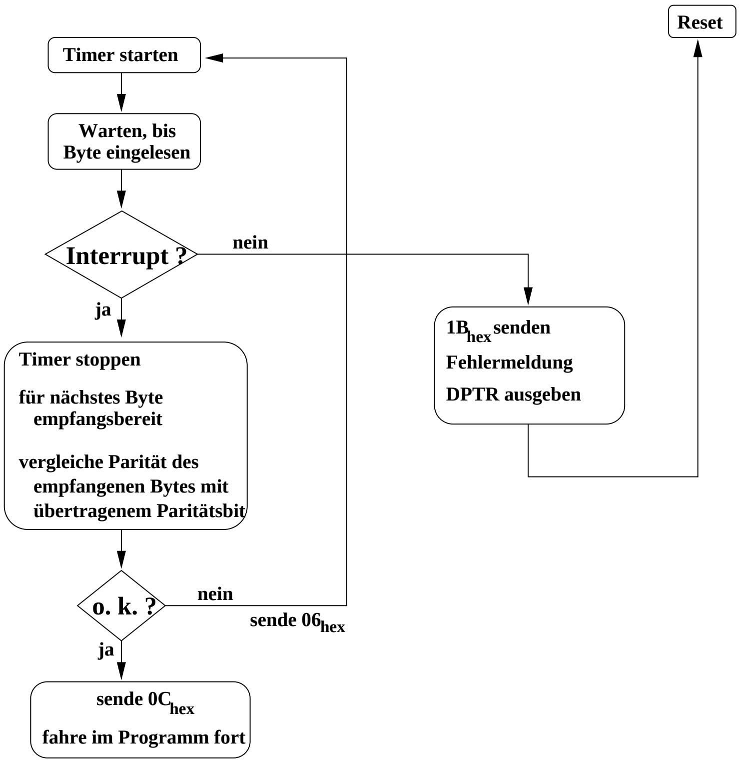


Abb. 4.5: Darstellung des Einlesens von Daten über die serielle Schnittstelle.

[10] Die Indizierung bezieht sich auf das verwendete Zahlensystem: **Dez**imal- oder **Hex**adezimal-System.
[11] 1 Baud = 1 Bit/s
[12] **D**ata **P**oin**t**e**r**

für die Datenspeicherung berechnet wird, und startet das Programm von Beginn an. Wenn das Byte rechtzeitig eingelesen wird, wird das Paritätsbit bestimmt, mit dem übertragenen verglichen und, falls es korrekt ist, mit dem Programm fortgefahren.

Die eingelesenen Daten besitzen kein Format, mit dem der FLEX 8000-Baustein direkt konfiguriert werden kann. Deshalb müssen zunächst die Nutzdaten aus diesem sog. Intel-HEX-Format extrahiert werden. Das INTEL-HEX Format ist ein zeilenweise aufgebautes Datenformat. Es besteht aus folgenden Einheiten [Esc 96]:

- 1. Buchstabe: ASCII[13]-Zeichen „ : “ ($3A_{hex}$)
- 2. + 3. Buchstabe: Zahl der Daten-HEX-Zeichen in dieser Zeile
- 4. – 7. Buchstabe: Adresse
- 8. + 9. Buchstabe: Zeilentyp:
  - 00: Datenzeile
  - 01: letzte Zeile
  - ...
- 10. – drittletzter Buchstabe: Daten in HEX-Zeichen (höherwertige Buchstaben zuerst)
- vorletzter + letzter Buchstabe: Kontrollsumme

Anhand von (4.1) und (4.2) soll dies näher erläutert werden, wobei aus Gründen der besseren Übersicht Leerzeichen zwischen den zusammengehörenden Gruppen eingefügt sind.

$$\begin{array}{l} :\ 07\ 0000\ 00\ \mathrm{FFFF6F3487CBFF}\ 07 \\ \mathrm{3A}\ 30\ 37\ 30\ 30\ 30\ 30\ 30\ 30\ 46\ 46\ 46\ 46\ 36\ 46\ 33\ 34\ 38\ 37\ 43\ 42\ 46\ 46\ 30\ 37 \end{array} \tag{4.1}$$

$$\begin{array}{l} :\ 00\ 0000\ 01\ \mathrm{FF} \\ \mathrm{3A}\ 30\ 30\ 30\ 30\ 30\ 30\ 30\ 31\ 46\ 46 \end{array} \tag{4.2}$$

Die jeweils erste Zeile zeigt die Darstellung in sog. HEX-Zeichen. 07_{hex} in (4.1) steht dabei für **00000111**, d. h. die 8 Bit werden in zwei Teilen von je 4 Bit (sog. High- und Low-Nibble[14]) jeweils als Hexadezimal-Zahl dargestellt. Die jeweils zweite Zeile zeigt die tatsächliche Struktur, in der die erste vorliegt: Jedes HEX-Zeichen wird in Form zweier ASCII-Buchstaben gespeichert. Für das vorangegangene Beispiel bedeutet dies: 07_{hex} wird als 30_{hex} für „0“ und 37_{hex} für „7“ dargestellt.

Um nur die Nutzdaten abspeichern und mit diesen den FLEX 8000-Baustein konfigurieren zu können, muß das Mikrocontroller-Programm zunächst das Zeilenanfangszeichen „:“ erkennen (vgl. Abbildung 4.4) und anhand der nächsten beiden Buchstaben,

[13] **A**merican **S**tandard **C**ode for **I**nformation **I**nterchange
[14] Halbbyte; wörtlich: knabbern

die ein HEX-Zeichen bilden, die Anzahl der Daten-HEX-Zeichen in dieser Zeile erkennen. Zur Umwandlung zweier Buchstaben in ein HEX-Zeichen muß dabei zunächst der erste Buchstabe in das Zeichen übersetzt werden, für das er steht, und in das High-Nibble verschoben werden; der zweite Buchstabe muß ebenso übersetzt werden und zum ersten als Low-Nibble hinzugefügt werden, bevor das vollständige HEX-Zeichen vorliegt. Die Zeilenlänge ist immer größer als 0, mit Ausnahme der letzten Zeile. Mit Hilfe der ermittelten Zeilenlänge wird aus jeder Datenzeile die Nutzdaten extrahiert und im externen RAM gespeichert. Gleichzeitig werden alle HEX-Zeichen einer Zeile addiert, um zu überprüfen, ob sie, zusammen mit der Kontrollsumme, 00_{hex} ergeben. Ist dies nicht der Fall, werden das Mikrocontroller- und das Sendeprogramm erneut gestartet. Ist die letzte Zeile erreicht, wird überprüft, ob die in (4.2) dargestellte Endsequenz erreicht ist. Ist dies der Fall, wird die Zahl der eingelesenen HEX-Daten ausgegeben, um sie mit der bekannten Größe der Konfigurationsdatei zu vergleichen. Für den FLEX-81188-Baustein sind dies etwa 24 kByte große Konfigurationsdaten [Alt 94]. Die Datei im Intel-HEX-Format ist dagegen 53 kBytes groß, d. h. für das Speichern der noch nicht umgeformten Daten würde der Platz im RAM nicht ausreichen.

Konfiguration des FLEX 8000-Bausteins

Teil (b) von Abbildung 4.4 zeigt schematisch den zweiten Teil des Mikrocontroller-Programmes, in dem die Konfiguration des FLEX 8000-Bausteins durchgeführt wird. Die Bausteine der FLEX 8000-Baureihe können auf sechs verschiedene Arten konfiguriert werden [Alt 94]. Um flexibler auf Veränderungen des Designs reagieren zu können, ist ein passives und kein aktives Konfigurationsschema ausgewählt worden, um das Brennen von EPROMs zu vermeiden. Unter den passiven Schemata, bei denen ein „intelligenter“ Baustein die Konfiguration steuern muß, ist die Wahl auf das bitweise passiv-

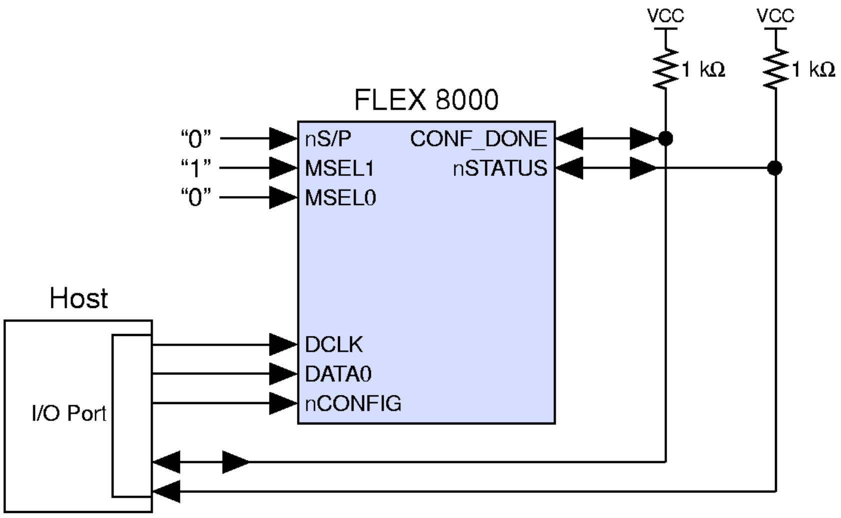


Abb. 4.6: Benötigte Ein- und Ausgangspins für die bitweise passiv-serielle Konfiguration des FLEX 8000 -Bausteins [Alt 94]. Mit „Host“ wird in diesem Fall der Mikrocontroller bezeichnet.

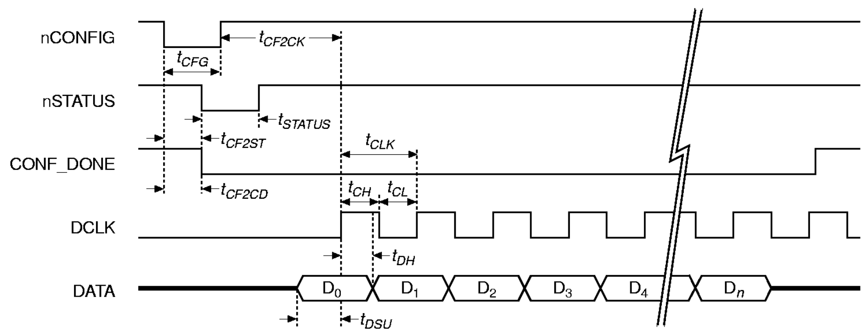


Abb. 4.7: Anforderungen an das Zeitverhalten der Signale für die bitweise passiv-serielle Konfiguration [Alt 94].

serielle Konfigurationsschema gefallen, da hierbei nur wenige Pins benötigt werden.

In Abbildung 4.6 erkennt man, daß 8 Ein-/Ausgangspins des FLEX 8000-Bausteins für die Konfiguration benötigt werden. Drei davon dienen der Auswahl des Konfigurationsschemas: nS/P zur Ausahl von serieller oder paralleler Konfiguration, MSEL0 und MSEL1 für die Auswahl des gewünschten Schemas. Diese Eingänge werden auf der FLEX 8000-Testplatine fest eingestellt. Die drei Eingangssignale nCONFIG, DCLK und DATA0 werden mit der zeitlichen Abfolge, die aus Abbildung 4.7 und Tabelle 4.1 entnommen werden kann, gesetzt. Anhand von nSTATUS und CONF_DONE wird der Status der Konfiguration überwacht.

Das Mikrocontroller-Programm unternimmt maximal 10 Versuche, den FLEX 8000-Baustein zu konfigurieren. Sollte dies nicht gelingen, werden die offensichtlich fehlerhaften Konfigurationsdaten im RAM durch neu einzulesende ersetzt, das Programm

Tab. 4.1: Parameter für die bitweise passiv-serielle Konfiguration, zu Abbildung 4.7 [Alt 94].

Symbol	Parameter	Vorgabe
t_{CF2CD}	nCONFIG = **0** bis CONF_DONE = **0**	$\leq 1\ \mu$s
t_{CF2ST}	nCONFIG = **0** bis nSTATUS = **0**	$\leq 1\ \mu$s
t_{CFG}	nCONFIG = **0** - Impulsbreite	$\geq 2\ \mu$s
t_{STATUS}	nSTATUS = **0** - Impulsbreite	$\geq 2{,}5\ \mu$s
t_{CF2CK}	nCONFIG = **1** bis zur ersten pos. Flanke auf DCLK	$\geq 5\ \mu$s
t_{DSU}	Daten-Setup-Zeit vor positiver Flanke auf DCLK	$\geq$ 50 ns
t_{DH}	Daten-Hold-Zeit nach positiver Flanke auf DCLK	$\geq$ 50 ns
t_{CH}	DCLK = **1** - Impulsbreite	$\geq$ 80 ns
t_{CL}	DCLK = **0** - Impulsbreite	$\geq$ 80 ns
t_{CLK}	DCLK - Periodendauer	$\geq$ 160 ns
	DCLK - Frequenz	$\leq$ 6 MHz

startet erneut.

Ebenso wie im ersten Teil werden die Register des Mikrocontrollers zunächst initialisiert. Danach wird am nCONFIG-Eingang ein **1**–**0**–**1**-Muster, wie in Abbildung 4.7 dargestellt, angelegt, um die Konfiguration zu beginnen. Die Signale nSTATUS und CONF_DONE werden vom Mikrocontroller abgefragt. Zeigen sie nicht das notwendige Zeitverhalten, wird der Konfigurationsversuch abgebrochen. Andernfalls wird mit der Eingabe der Daten begonnen. Die im RAM gespeicherten Konfigurationsdaten werden bitweise unter Einhaltung der zeitlichen Vorgaben (vgl. Tabelle 4.1) ausgegeben.

Tritt am nSTATUS-Pin während der Dateneingabe eine negative Flanke auf, zeigt dies einen Fehler bei der Konfiguration an. In diesem Fall wird ein externer Interrupt ausgelöst, der nach Ausgabe einer Fehlermeldung einen weiteren Konfigurationsversuch unternimmt. Bei einer positiven Flanke an CONF_DONE während der Dateneingabe wird ebenfalls ein externer Interrupt ausgelöst.

Wenn alle Daten ausgegeben worden sind, werden zur Initialisierung des FLEX 8000-Bausteins 10 Taktsignale auf DCLK gegeben [Alt 94]. Danach muß der Baustein den CONF_DONE-Ausgang auf **1** setzen, ansonsten ist die Konfiguration fehlerhaft. In einem solchen Fall muß sie wiederholt werden oder, falls dies nicht zum Erfolg führt, neu programmiert werden.

Ist die Konfiguration erfolgreich, werden alle Register mit einem Reset-Signal gelöscht. Um möglichst wenige Wortgenerator-Kanäle zu belegen, können die Clear-Register des FLEX 8000-Bausteins vom Mikrocontroller geladen werden (vgl. Abschnitt 3.3). Verschiedene Zustände der Clear-Register können auch mit entsprechenden Mikrocontroller-Programmen geladen werden. Dazu muß jedes Mal ein Programm in den EPROM-Simulator geladen und die Konfiguration des FLEX 8000-Bausteins neu durchgeführt werden.

4.2 Wortgenerator und Logikanalysator

Die gelungene Konfiguration des FLEX 8000-Bausteins vorausgesetzt, können beide FLEX-Designs getestet werden. Dazu benötigt man einerseits eine Quelle von digitalen Daten auf $\mathcal{O}(90)$ Kanälen mit einer Zeitskala im Bereich von 20 ns. Andererseits muß ein Analysegerät mit einer Zahl von Kanälen in derselben Größenordnung, aber einer Zeitauflösung, die um einen Faktor 3–4 höher ist als das schnellste aufzuzeichnende Signal, zur Verfügung stehen. Als Quelle steht ein Wortgenerator (WG 64), als Analysegerät ein Logikanalysator (LA 32, LA 24) zur Verfügung. Die wesentlichen Eigenschaften beider Geräte werden, soweit sie für diese Arbeit von Belang sind, kurz und teilweise vereinfachend beschrieben. Technische Daten zu den verwendeten Geräten finden sich in Anhang B.

Eine Auflistung der Spezifikationen des verwendeten Wortgenerators ist den Tabellen B.1 und B.3 zu entnehmen. Richtiger ist es, von einem Wortgenerator-Modul zu sprechen, da es sich um einen Einschub mit den Funktionen eines Wortgenerators handelt. Der Rahmen, in den dieser Einschub eingebaut ist, organisiert die eingebauten Module, die wie eigenständige Geräte agieren, untereinander sowie ihre Verbindung über eine Schnittstellenkarte zu einem PC. Mit dessen Hilfe werden die Daten einge-

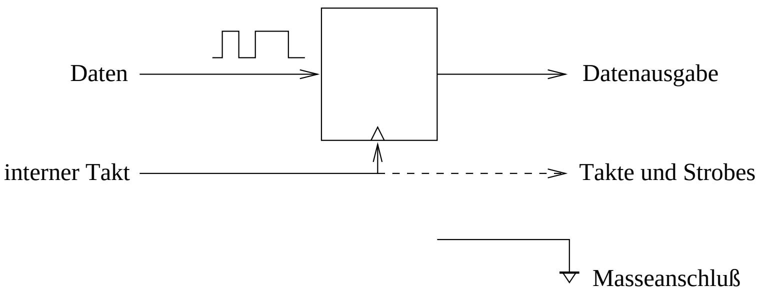


Abb. 4.8: Schematischer Aufbau eines Treiber-Tastkopfes; nach [dli 95].

geben, die letztlich an den Ausgängen erscheinen sollen. Dies kann z. B. mittels einer Script-Sprache geschehen, die es erlaubt, einfache Funktionen auf Gruppen von Signalen anzuwenden, z. B. das Inkrementieren einer 8 Bit BX-Nummer um 1 bei jedem Takt. Die Ausgabedaten befinden sich im Datenspeicher, während die Ausgabeparameter eingestellt werden, wie etwa die Auswahl des Taktes, mit dem die Daten ausgegeben werden sollen. Bei einem intern erzeugten Takt ist es möglich, alle 20 ns einen neuen Zustand zu erzeugen; symmetrische Taktsignale lassen sich also mit einer Frequenz bis zu 25 MHz – entsprechend 40 ns Periodendauer – generieren. Die Ausgabe der Daten erfolgt über bis zu 8 Treiber-Tastköpfe, die jeweils 8 Datenausgänge besitzen. Abbildung 4.8 zeigt das Prinzip eines solchen Treiber-Tastkopfes . Die Daten aus dem Datenspeicher werden mit dem internen Takt ausgegeben, wobei pro Tastkopf zwei Masseanschlüsse zu Verfügung stehen, die das Masseniveau am Meßobjekt abgreifen. Die Ausgangsdaten entsprechen der TTL[15]-Logik (vgl. Abschnitt 5.2.1).

Die Messung der Ausgangssignale des FLEX 8000-Bausteins geschieht mit zwei Logikanalysator-Modulen, deren genaue Spezifikationen aus den Tabellen B.2 und B.4 zu entnehmen sind.[16] Die Eigenschaften des etwas langsameren mit maximal 100 MHz Abtastrate und 32 Eingangskanälen (LA 32) ausgestatteten Logikanalysator-Moduls sollen hier nicht erläutert werden, da alle Meßergebnisse in Kapitel 6 Aufnahmen des schnelleren (max. 500 MHz) Logikanalysator-Modules mit 24 Eingangskanälen (LA 24) zeigen. Der prinzipielle Aufbau eines Logikanalysators ist in Abbildung 4.9 zu sehen. Über Anschlußleitungen werden die zu untersuchenden Signale zu Eingangs-Tastköpfen geleitet. Die Eingangstastköpfe, schematisch in Abbildung 4.10 zu sehen, wandeln die analogen Signale unter möglichst geringer Verfälschung in Digitalsignale um. Sie besitzen ebenfalls je zwei Masseanschlüsse. Der Wert der Spannungsschwelle, die zwischen **0** und **1** unterscheidet, kann vom Benutzer für jeden Eingangs-Tastkopf separat vorgegeben werden. Mit internem oder externem Takt werden die Signale in Zwischenspeicher und schließlich in den Datenspeicher geschrieben, wo sie zur Darstellung oder zum vergleich mit anderen Meßdaten zur Verfügung stehen. Beim LA 24 stehen 3 Tastköpfe mit je 8 Eingängen zur Verfügung, die mit einer internen Taktrate zur Datenaufnahme von 2 ns betrieben werden.[17] Wie beim Wortgenerator werden auch hier die Messungen von

[15]**T**ransistor-**T**ransistor-**L**ogik

[16]Bei wenigen Messungen standen drei Logikanalysator-Module zur Verfügung. Dies wird bei den entsprechenden logischen Messungen besonders gekennzeichnet.

[17]Wahlweise auch 3 Tastköpfe à 4 Eingängen mit 1 ns Taktrate (Interlace-Verfahren).

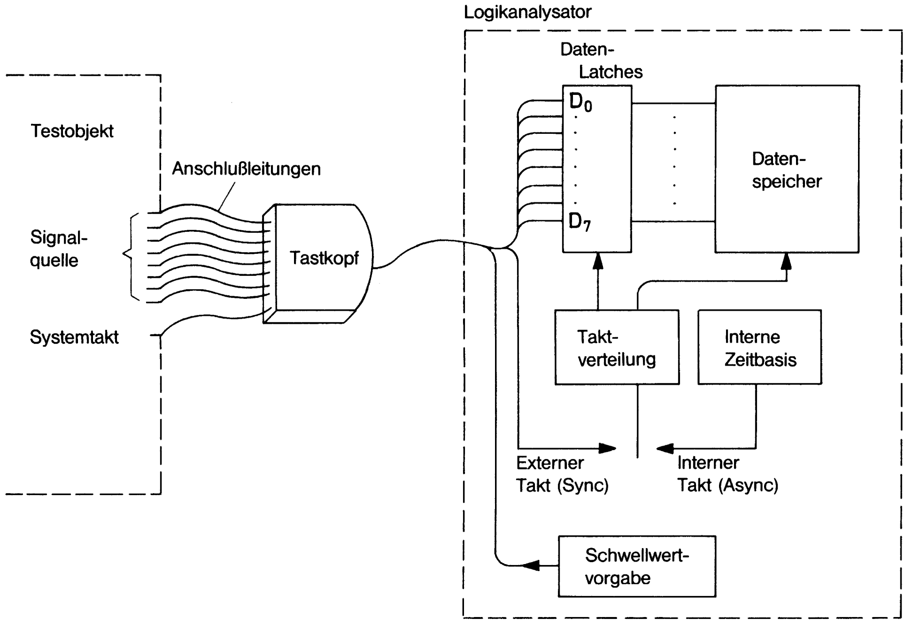


Abb. 4.9: Schematische Darstellung des Aufbaus eines Logikanalysators: Datenwege von der Signalquelle über einen Eingangs-Tastkopf zum Speicher [Nie 86].

einem PC gesteuert und die Meßdaten an diesem dargestellt. Ähnlich wie ein Oszilloskop benötigt der Logikanalysator einen Startpunkt, der den Meßbeginn markiert, die sog. Triggerbedingung. Bei der großen Zahl von Kanälen ist die Triggererkennungslogik entsprechend aufwendig.

Alle Messungen, die in den folgenden Kapiteln gezeigt werden, sind asynchrone Aufnahmen, d. h. mit einem internen, vom Meßobjekt unabhängigen Takt aufgezeichnet. Dabei ist immer zu beachten, daß zwischen Niveauänderungen der Signalquelle und der Darstellung durch den Logikanalysator Fehler bis zur Größe eines Abtastintervall auftreten können, sog. Abtastfehler (vgl. Abbildung 4.11 (a)). Sie führen dazu, daß z. B. bei einer gemessenen Zeitdifferenz von x ns mit LA 24 ($x = 2, 4, 6, \ldots$) die wirkliche Differenz im Bereich $](x-2)\,ns; (x+2)\,ns[$ liegen kann. Signale, die so kurz sind, daß sie innerhalb des Abtastintervalles zwei Niveauänderungen vollziehen, also bei der

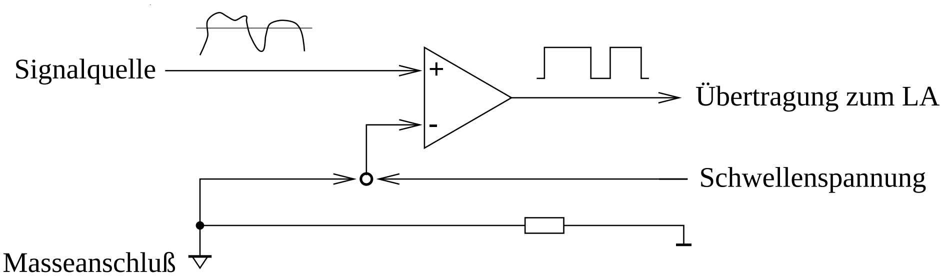


Abb. 4.10: Schematischer Aufbau eines Eingangs-Tastkopfes [dli 95].

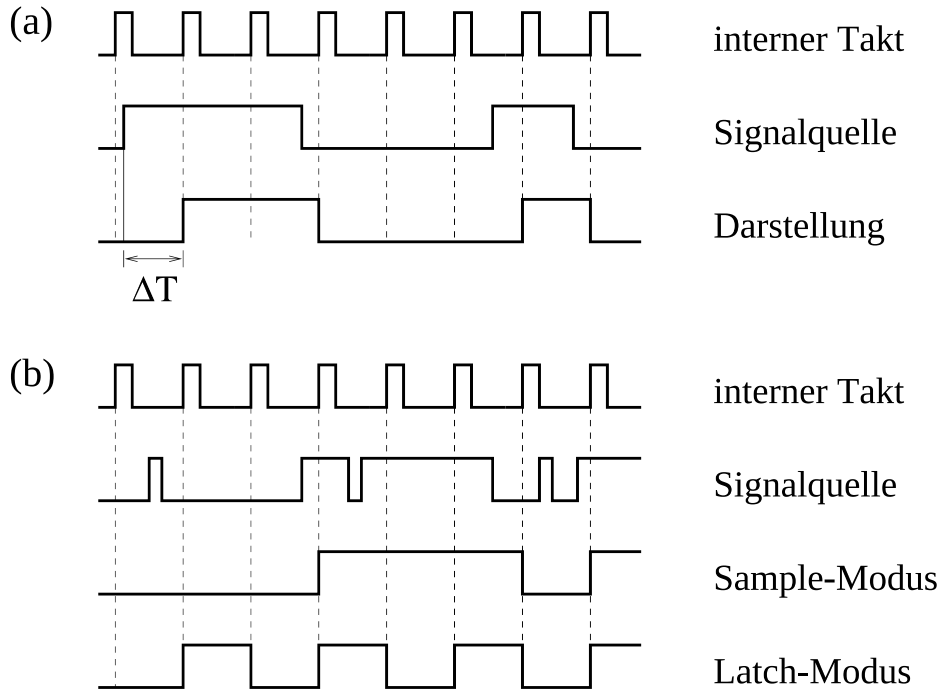


Abb. 4.11: (a) Der Abtastfehler ΔT bei asynchroner Aufnahme und (b) Unterschiede zwischen Aufnahmen mit der Latch- und der Sample-Methode.

folgenden Abtastung wieder im ursprünglichen Zustand sind, werden daher nicht erfaßt. Der LA 32 besitzt einen Aufzeichnungsmodus, der es erlaubt, diese sehr kurzen Pulse, die als Glitches bezeichnet werden, aufzuzeichnen. Teil (b) der Abbildung 4.11 zeigt diesen sog. Latch-Modus, bei dem der Glitch im nachfolgenden Abtastintervall über die gesamte Intervallbreite ausgedehnt dargestellt wird. Der zwischen den beiden letzten Abtastpunkten auftretende Glitch zeigt aber, daß dieses Verfahren nicht immer erfolgreich ist.

Kapitel 5

Qualitative Untersuchung der Meßumgebung

Vor Beginn der logischen Testmessungen der beiden FLEX 8000-Designs ist es notwendig, die in Kapitel 4 beschriebene Meßumgebung auf systematische Fehler hin zu untersuchen. Dazu werden zunächst die Wortgenerator- und Logikanalysator-Module Messungen unterzogen, die ihre Spezifikationen in wichtigen Punkten überprüfen sollen, um bei den logischen Testmessungen zwischen „Effekten“ und Ungenauigkeiten der Apparatur unterscheiden zu können. Letztere müssen bei der Planung vieler Messungen berücksichtigt werden, damit keine Meßziele definiert werden, die mit der vorliegenden Apparatur nicht erreichbar sind. Weiterhin werden verschiedene qualitative Untersuchungen zum Übersprechen zwischen Wortgenerator-Kanälen durchgeführt. Mit dem hierzu verwendeten Meßaufbau wird das Ziel verfolgt, mögliche Quellen für Störungen, die bei den logischen Testmessungen auftreten können, zu lokalisieren.

5.1 Messungen zu den Eigenschaften der Logikanalysator-Module

Die Logikanalysator-Module werden zuerst untersucht, da sie sich einfacher unabhängig vom Wortgenerator testen lassen, als dies umgekehrt der Fall ist. Es werden Untersuchungen zur Spannungsschwelle und zu Abtastfehlern der beiden Logikanalysator-Module durchgeführt. Etwaige Unterschiede zwischen verschiedenen Steckverbindungen an den Logikanalysator-Modulen (sog. Pods[1]) oder verschiedenen Eingangs-Tastköpfen können zur Anzeige von Zeitunterschieden zwischen Signalen führen, auch wenn diese gleichzeitig ihr logisches Niveau ändern. Abhängig von der Größe dieser zeitlichen Verschiebungen kann die Genauigkeit der logischen Testmessungen beeinflußt werden.

5.1.1 Qualitative Untersuchung der Spannungsschwelle

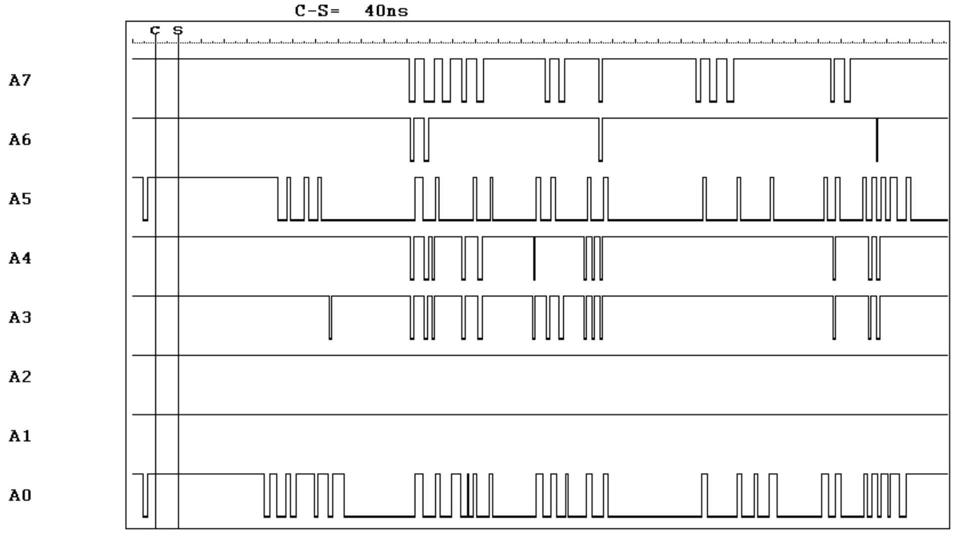
Die Spannungsschwelle für die Unterscheidung von **0** oder **1** kann für jeden Eingangs-Tastkopf in Schritten von 0,1 V im Bereich von $-9{,}9\,\mathrm{V}$ bis $+9{,}9\,\mathrm{V}$ eingestellt wer-

[1] wörtl.: Gehäuse

den. Für die Messung von TTL-Signalen liegt sie bei $+1{,}4\,\mathrm{V}$. Deshalb werden die Untersuchungen anhand eines konstanten Eingangssignales mit einer Spannung von $(1{,}47 \pm 0{,}02)\,\mathrm{V}$ durchgeführt. Bei einer Spannungsschwelle von $+1{,}4\,\mathrm{V}$ erwartet man also überwiegend den Zustand **1**. Wechsel zu **0** sind aufgrund der Streuung des Signales möglich und sollten beobachtbar sein.

Abbildung 5.1 zeigt das Ergebnis zweier Messungen an verschiedenen Pods von LA 24, die mit demselben Eingangs-Tastkopf durchgeführt werden. Obwohl an allen Eingangskanälen ein gleich erzeugtes Signal anliegt, gibt es zwischen verschiedenen Kanälen desselben Tastkopfes Unterschiede. Vergleicht man z. B. die Kanäle A1 und A5, fällt auf, daß A1 ausschließlich **1** anzeigt, A5 dagegen überwiegend **0**. Noch deutlicher

Pod A



Pod B

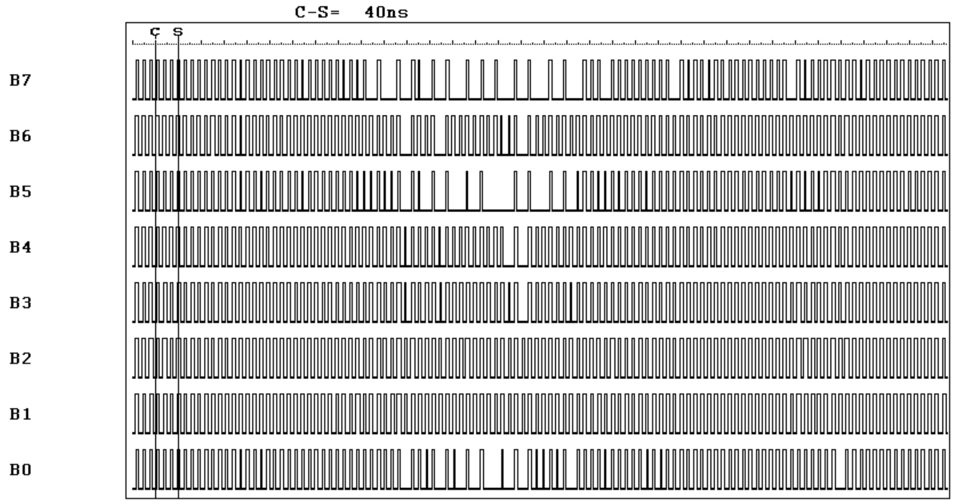


Abb. 5.1: Messung des konstanten Eingangssignales von $(1{,}47 \pm 0{,}02)\,\mathrm{V}$ an zwei verschiedenen Pods (A und B) von LA 24. Die Spannungsschwelle liegt bei jeweils $+1{,}4\,\mathrm{V}$. Zwischen den Kanälen eines Pods, aber insbesondere zwischen beiden Pods sind deutliche Unterschiede zu erkennen.

sind die Unterschiede zwischen den beiden Pods, wie der Vergleich von Pod A (oben) mit Pod B (unten) zeigt. Bei Spannungsschwellen von + 1,3 V bzw. + 1,5 V sind jedoch keine signifikanten Unterschiede zwischen verschiedenen Pods auszumachen. Dies läßt den Schluß zu, daß die Unterschiede bezüglich der Spannungsschwelle verschiedener Pods unter 0,1 V liegt.

Der Vergleich verschiedener Eingangs-Tastköpfe im gleichen Pod von LA 24 oder LA 32 liefert die gleichen Ergebnisse für Unterschiede zwischen verschiedenen Eingangs-Tastköpfen. Nach Auswertung der Messungen zu allen Tastköpfen und allen Pods – auch im Interlace-Verfahren mit einem Abtastintervall von 1 ns bei LA 24 – zeigt sich, daß die Inhomogenitäten bezüglich der Spannungsschwelle die Messungen nicht signifikant beeinflussen. Die Beeinflussung der Messung ansteigender oder abfallender Flanken von Signalen ist vernachlässigbar. Gleiches gilt bei der Messung konstanter Niveaus, da diese nicht im Bereich von + 1,4 V, sondern für **0** bei höchstens + 0,45 V und für **1** bei mindestens + 2,4 V zu erwarten sind [Alt 96a].

5.1.2 Genauigkeit der zeitlichen Darstellung von Signalen

Logische Testmessungen sind stark von der zeitlichen Genauigkeit abhängig, die die Logikanalysator-Module erreichen, aber auch von der Reproduzierbarkeit dieser Genauigkeit. Bei einem Abtastintervall von z. B. 2 ns muß beurteilt werden können, ob ein Abstand von 6 ns zwischen zwei Signalen ein wirklicher Zeitunterschied oder ein Meßfehler ist.

Diese Messungen sind nur möglich, wenn eine Datenquelle zur Verfügung steht, mit der Signale mit einer Frequenz erzeugt werden können, die für die logischen Testmessungen typisch ist. Dies ist mit dem Wortgenerator-Modul möglich. Aber es kann nicht a priori davon ausgegangen werden, daß die Ausgangssignale des Wortgenerators keine Zeitdifferenzen untereinander aufweisen. Die entsprechenden Messungen werden in Abschnitt 5.2 dargestellt.

Jeweils zwei Eingänge des untersuchten Eingangs-Tastkopfes werden an denselben Wortgenerator-Ausgang angeschlossen. Abstände innerhalb dieser „Paare“ sind dann unabhängig von den Eigenschaften des Wortgenerators. Für diese Messungen werden

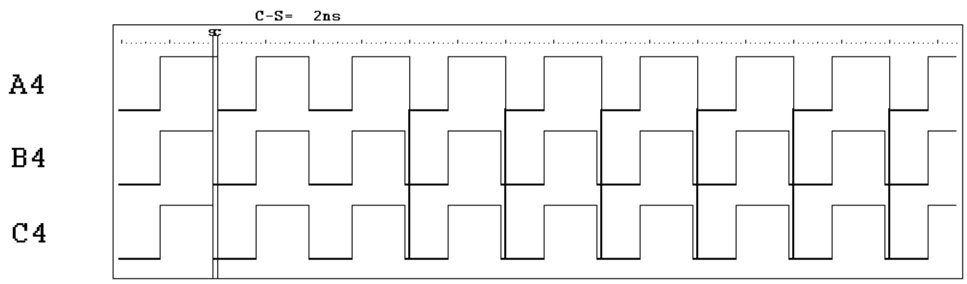


Abb. 5.2: Messung zu Zeitunterschieden zwischen verschiedenen Eingangs-Tastköpfen. An den Stellen, die durch vertikale Balken gekennzeichnet sind, betragen die Zeitdifferenzen 2 ns; an den positiven und einer negativen Flanke treten keine Zeitunterschiede auf.

die Wortgenerator-Ausgänge mit dem schnellsten verfügbaren Taktsignal beschaltet, mit einem 25 MHz-Signal (20 ns lang **0**, 20 ns lang **1**). Messungen der Zeitunterschiede innerhalb der Eingangs-Tastköpfe, wobei alle Tastköpfe und alle Pods untersucht werden, liegen bei höchstens 10 ns (LA 32) oder 2 ns (LA 24) bzw. 1 ns bei Messungen im Interlace-Modus.

Weiterhin ist wichtig, festzustellen, ob zwischen verschiedenen Eingangs-Tastköpfen größere Differenzen auftreten. Dazu wird ein einziger Wortgenerator-Ausgang an 3 (LA 24) bzw. 4 (LA 32) Eingangskanäle gelegt, die jeder von einem anderen Eingangs-Tastkopf stammen. Auch hier liegen die Zeitunterschiede nicht über der Abtastperiode des jeweiligen Logikanalysator-Moduls. Das Ergebnis einer Messung ist in Abbildung 5.2 dargestellt. Zwischen den Kanälen A4 und B4 (C4) treten bei allen – bis auf eine – negativen Flanken Zeitunterschiede von 2 ns auf, wobei B4 (C4) immer früher von **1** auf **0** schaltet.

Alle geschilderten Zeitunterschiede sind erklärbar mit Abtastfehlern, wie sie in Abschnitt 4.2 erläutert worden sind. Diese können z. B. auftreten, wenn durch kleine Differenzen von Signallaufwegen Zeitunterschiede in der Größenordnung von 1 ps verursacht werden. Wenn die Differenzen zwischen verschiedenen Signalen immer in der gleichen zeitlichen Richtung auftreten, wie hier bei den Kanälen verschiedener Eingangs-Tastköpfe, ist eine solche systematische Verschiebung des gemessenen Signals wahrscheinlich.

5.2 Messungen zu den Eigenschaften des Wortgenerator-Modules

Die Qualität der Wortgenerator-Signale soll unter zwei Gesichtspunkten betrachtet werden: Es werden analoge und digitale Eigenschaften untersucht. Die analogen Eigenschaften wie Anstiegs- und Abfallzeiten spielen vornehmlich beim apparativen Übersprechen eine Rolle (vgl. Abschnitt 5.3), während die Qualität der digitalen Eigenschaften durch Untersuchungen zur Konstanz der Signale und Zeitdifferenzen innerhalb von Tastköpfen oder Pods überprüft wird.

5.2.1 Untersuchung der analogen Eigenschaften

Die Eigenschaften von Impulsen werden durch Parameter wie Flankensteilheit und Impulsdauer charakterisiert. Diese Parameter sollen für symmetrische Wortgenerator-Ausgangssignale, wie sie z. B. als Taktsignale auftreten, in Abhängigkeit ihrer Frequenz zwischen 1 und 25 MHz bestimmt werden, da dieser Frequenzbereich für die logischen Testmessungen typisch ist.

Für diese Messungen wird ein digitales Speicheroszilloskop[2] verwendet. Die Sampling-Rate von 400 MS/s [3] bedeutet, daß die anliegenden Signale alle 2,5 ns abgetastet werden, vorausgesetzt das Meßintervall ist so gewählt, daß der maximale Speicherplatz von 50 kByte ausreicht. Bis zu einer Zeiteinheit von 10 μs ist dies der Fall [LeC 91].

[2] LeCroy 9450A

[3] **M**ega-**S**ample per **s**econd

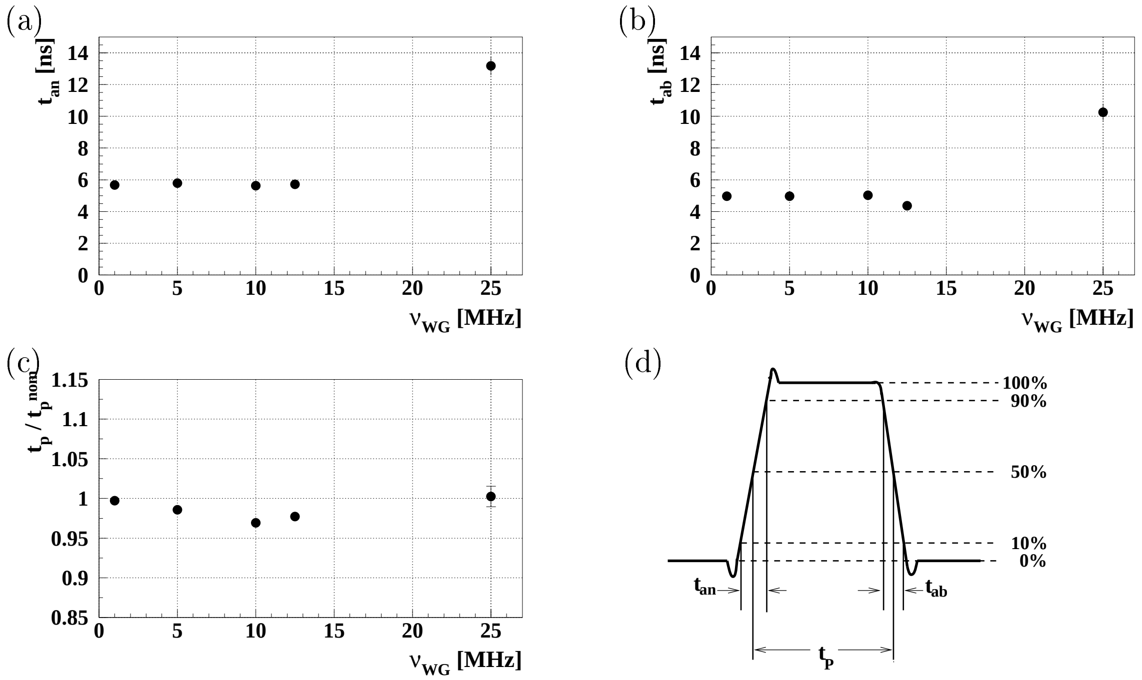


Abb. 5.3: Parameter der Wortgenerator-Ausgangssignale: (a) Anstiegszeit t_{an}, (b) Abfallzeit t_{ab} und (c) relative Pulsdauer t_p/t_p^{nom}; (d) Definition der Parameter.

Durch Interpolation zwischen den Meßpunkten erzielt das Oszilloskop eine zeitliche Genauigkeit von 5 ps. Bei den Messungen wird die endliche Bandbreite des Oszilloskop-Eingangs[4] bereits berücksichtigt. Wegen (5.1) und (5.2) [LeC 96a] sind die Werte für Anstiegs- und Abfallzeit nur obere Grenzen, da für die Bandbreite $\Delta\nu < 250\,\mathrm{MHz}$ gilt. Weil diese obere Grenze der Bandbreite aber zugleich als typischer Wert angenommen werden kann [LeC 91], lassen sich die berechneten Anstiegs- und Abfallzeiten als Mittelwerte interpretieren. Außerdem beeinflußt die endliche Bandbreite des Oszilloskop-Eingangs die Messungen nicht wesentlich, was aus den geringen Differenzen von $\mathcal{O}(0{,}5\,\mathrm{ns})$ zwischen gemessenen und berechneten Signal-Zeiten geschlossen werden kann.

$$\mathrm{t_{sys}} = \frac{0{,}35}{\Delta\nu} \tag{5.1}$$

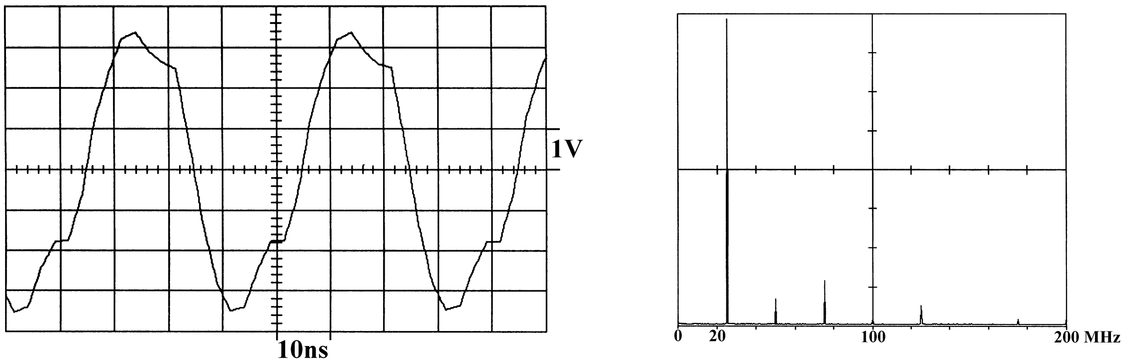
$$\mathrm{t_{sig}} = \sqrt{\mathrm{t_{meß}^2} - \mathrm{t_{sys}^2}} \tag{5.2}$$

$$\begin{aligned} \mathrm{t_{sys}} &: \text{ Anstiegs} - /\text{Abfallzeit durch endliche Eingangsbandbreite} \\ \Delta\nu &: \text{ Bandbreite des Eingangskanals} \\ \mathrm{t_{sig}} &: \text{ Signal} - \text{Anstiegs} - /\text{Abfallzeit} \\ \mathrm{t_{meß}} &: \text{ gemessene Anstiegs} - /\text{Abfallzeit} \end{aligned}$$

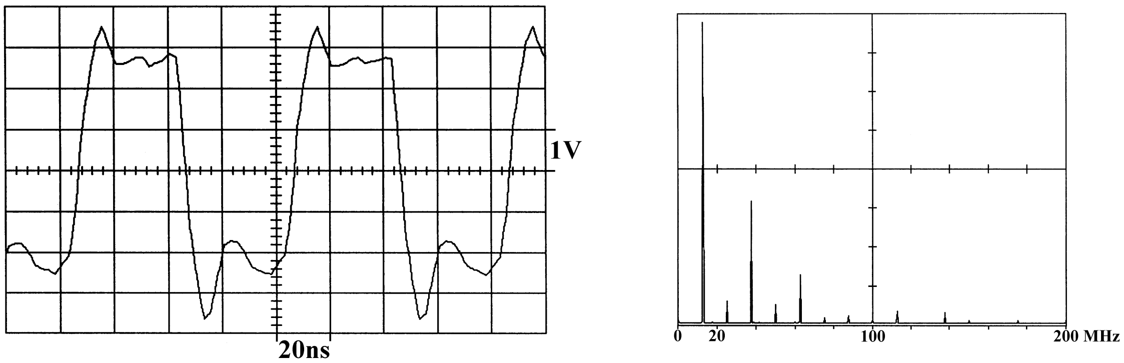
Abbildung 5.3 (a) bis (c) zeigt Meßergebnisse für Anstiegs- und Abfallzeit der Pulse sowie für ihre relative Pulsdauer, d. h. das Verhältnis aus gemessener und nomineller

[4]LeCroy P9020 Passive Probe; 10 MΩ / 16 pF; Bandbreite $\Delta\nu$ < 250 MHz

(a)



(b)



(c)

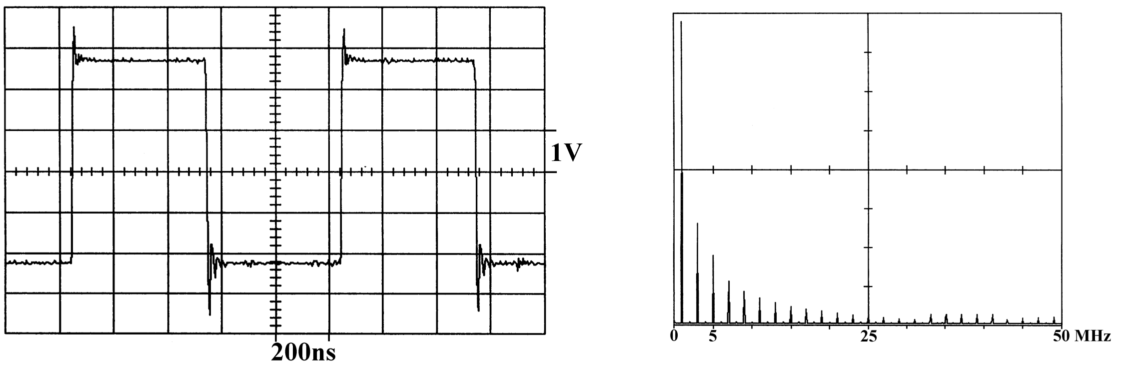


Abb. 5.4: Oszilloskopaufnahmen der Wortgenerator-Ausgangsdaten und ihrer Frequenzspektren bei (a) 25 MHz, (b) 12,5 MHz und (c) 1 MHz. Aufnahmen der Pulse: (a) X: 10 ns/Einheit, Y:1 V/Einheit; (b) X: 20 ns/Einheit, Y: 1 V/Einheit; (c) X: 200 ns/Einheit, Y: 1 V/Einheit. Aufnahmen der Frequenzspektren: X: 20 bzw. 5 MHz/Einheit, wie angegeben; Y: beliebige Einheiten (lineare Skala).

Pulsdauer. Die Definition dieser Größen kann Teil (d) der Abbildung entnommen werden [Tex 78]. Während die Pulsdauer für alle untersuchten Frequenzen um höchstens 3 % von ihrem Sollwert abweicht, zeigen die Ergebnisse für Anstiegs- und Abfallzeiten bei $\nu_{\mathrm{WG}} = 25\,\mathrm{MHz}$ deutliche Abweichungen gegenüber den anderen Frequenzen. Beide Größen weichen um etwa einen Faktor 2 von den anderen Messungen ab, die mit 5 - 6 ns typische Werte für TTL-Signale erreichen, wobei die negativen Flanken immer steiler sind als die positiven.

Anhand von Oszilloskop-Aufnahmen der Wortgenerator-Ausgangssignale bei ν_{WG} (a) 25 MHz, (b) 12,5 MHz und (c) 1 MHz, die in Abbildung 5.4 zusammen mit ihrem jeweiligen Frequenzspektrum dargestellt sind, lassen sich diese Unterschiede erklären. Die Frequenzspektren werden mittels einer **F**ast **F**ourier **T**ransformation (FFT) bestimmt [LeC 91]. Von einem Rechtecksignal kann nur bei 1 MHz gesprochen werden, bei 25 MHz ist keine Rechteckform zu erkennen. Das Frequenzspektrum eines Rechtecksignals enthält nur die ungeradzahligen Oberschwingungen mit relativer Amlitude $\propto 1/n$, wobei n ungerade ist [Kän 89]. Anhand der Frequenzspektrums des Signals bei 1 MHz kann dieses Verhalten nachvollzogen werden, bei 12,5 MHz sind auch geradzahlige Oberschwingungen beteiligt, was sich in der Verzerrung des Ausgangssignals ausdrückt. Bei 25 MHz sind die ungeradzahligen Oberschwingungen schwach ausgeprägt, wie der Vergleich mit der zweiten Oberschwingung bei 50 MHz zeigt. Der Wortgenerator, der bei 25 MHz an der Grenze seiner Leistungsfähigkeit angekommen ist, ist offenbar nicht in der Lage, die Frequenzbeiträge bei 75 MHz, 125 MHz und darüber hinaus noch mit ausreichender Amplitude zu erzeugen. Deshalb weicht das Ausgangssignal mit einer Frequenz von 25 MHz von der Form eines Rechtecksignals stark ab, was sich in den großen Anstiegs- und Abfallzeiten ausdrückt. Gleichzeitig dürfen systematische Begrenzungen der Messung nicht vernachlässigt werden. Bei einem Signal von 40 ns Dauer werden nur 16 Abtastpunkte pro Periode erfaßt, zwischen denen dann interpoliert wird. Die Zahl der Abtastpunkte ist jedoch, wenn nicht ideal, so doch ausreichend: 10 Abtastpunkte pro Signal-Periode gelten als untere Grenze für die Erfassung der Form eines Signals [LeC 96b]. Auch die endliche Bandbreite $\Delta\nu < 250\,\mathrm{MHz}$ des Oszilloskop-Eingangs kann das Verhalten der Oberschwingungen nicht erklären, da bereits der Anteil der geradzahligen Oberschwingung bei 50 MHz (vgl. Abbildung 5.4) die Rechteckform der Ausgangssignale verfälscht.

Ein Taktsignal mit einer Frequenz von 25 MHz ist für die logischen Testmessungen von großer Bedeutung, da es der Frequenz von 20,8 MHz, mit der die beiden Zyklen im Myon-Pretrigger bearbeitet werden, am nächsten kommt. Für die Beantwortung der Frage, ob die Qualität des Wortgenerator-Ausgangssignals von ausreichender Qualität ist, muß eine andere Definition von Anstiegs-, Abfallzeit und Pulsdauer angewandt werden. Diese ist an der Spannungsschwelle der TTL-Logik von + 1,4 V ausgerichtet. Abbildung 5.5 (d) zeigt, wie die Größen für TTL-Signale definiert sind, und die Teile (a) bis (c) stellen die Ergebnisse der Messungen dar. Die Anstiegszeiten mit etwa 2 ns und die Abfallzeiten, die bei ca. 1,5 ns liegen, sind wesentlich kleiner als in Abbildung 5.3, da für die analogen Eigenschaften der Anstieg der Signale bis etwa 5 V betrachtet wird, während für die digitalen Eigenschaften nur + 2,2 V erreicht werden müssen. Die Anstiegs- und Abfallzeit für $\nu_{\mathrm{WG}} = 25\,\mathrm{MHz}$ weicht bei dieser Definition um maximal 35 % von den Werten bei den anderen Frequenzen ab. Für die logischen

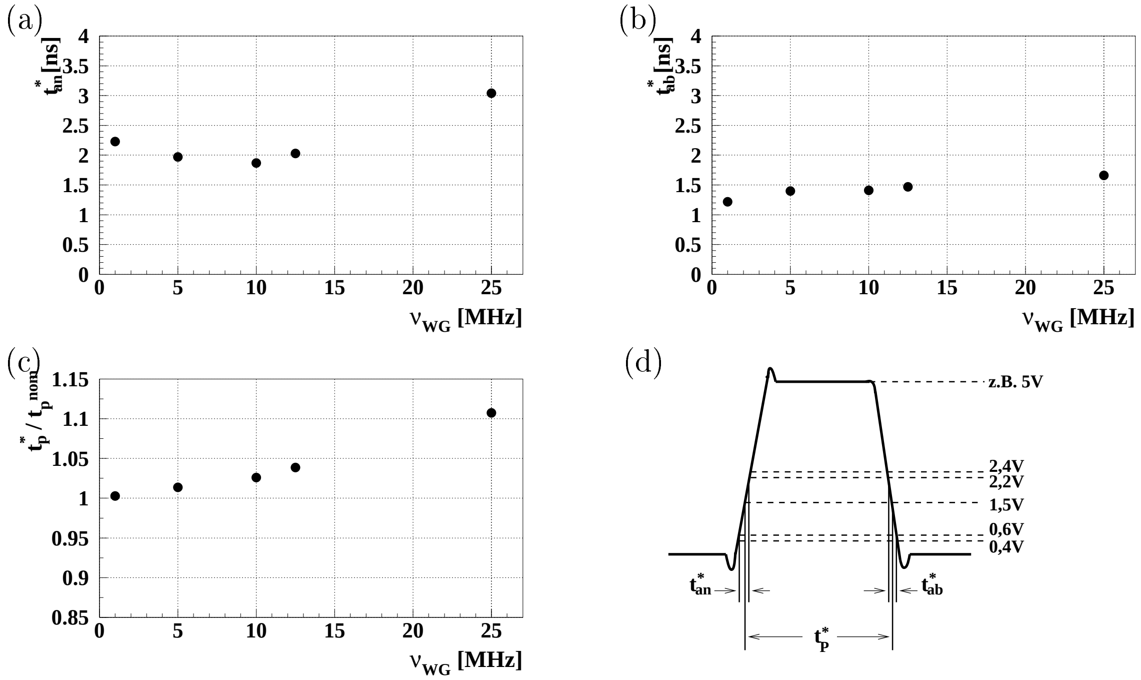


Abb. 5.5: TTL-Parameter der Wortgenerator-Ausgangssignale: (a) Anstiegszeit t^*_{an}, (b) Abfallzeit t^*_{ab} und (c) relative Pulsdauer t^*_p/t^{nom}_p; (d) Definition der TTL-Parameter.

Testmessungen ist die Qualität eines symmetrischen Signales mit einer Frequenz von 25 MHz somit ausreichend. Im Gegensatz zur analogen Meßgröße weist die relative Pulsdauer eine systematische Abweichung von 1 zu größeren Werten hin auf, d. h. die Signale sind länger auf **1**- als auf **0**-Niveau. Dies ist damit erklärbar, daß die Schwelle für die Unterscheidung von **1** und **0** bei + 1,4 V liegt, also bei weniger als einem Drittel der erreichten Maximalspannung der Pulse von ca. 5 V. Da die Pulse, wie die Messung der analogen Pulsdauer zeigt, in guter Näherung symmetrisch sind, werden sie auf digitaler Ebene länger oberhalb der Schwelle zwischen **1** und **0** sein als unterhalb.

Trotz der signifikanten Abweichungen der analogen Anstiegs- und Abfallzeit der Wortgenerator-Ausgangsdaten bei einer Taktfrequenz von 25 MHz von allen anderen Frequenzen im MHz-Bereich wird somit nachgewiesen, daß auch diese Signale unter digitalen Gesichtspunkten akzeptabel sind. Das Ausmaß der systematischen Verschiebung von **1**- und **0**-Zuständen läßt keine Beeinflussung der logischen Testmessungen erwarten.

Messungen an konstanten Wortgenerator-Ausgangssignalen sind hier nicht graphisch dargestellt. Die Streuungen um die jeweiligen Mittelwerte (4,9 V für **1**; 0,08 V für **0**) sind mit etwa 90 mV relativ groß. Eine Analyse der Frequenzspektren dieser Signale zeigt große Frequenzanteile bei 50 MHz, 100 MHz und 150 MHz. Dies läßt sich mit der Rate zur Signalerzeugung begründen: Diese Meßergebnisse werden erzielt, wenn der konstante Zustand mit einer internen Rate des Wortgenerators von 50 MHz generiert wird. Geschieht dies dagegen mit einer Rate von 2 Hz, liegt die Streuung nur bei etwa 20 mV. Dies läßt den Schluß zu, daß Inhomogenitäten bei der Datenerzeugung durch den Wortgenerator auftreten, die die Qualität der Ausgangsdaten beeinflussen, aber für die logischen Testmessungen in akzeptablen Größenordnungen bleiben.

5.2.2 Untersuchung der digitalen Eigenschaften

Wie für die Logikanalysator-Module wird auch für den Wortgenerator untersucht, ob es Unterschiede innerhalb eines Tastkopfes oder zwischen verschiedenen Tastköpfen bzw. Pods gibt. Diese Messungen werden durchgeführt mit 1 ns Abtastintervall (LA 24 im Interlace-Verfahren).

Symmetrische Signale bei verschiedenen Frequenzen im MHz-Bereich zeigen bei allen Messungen Differenzen von maximal 1 ns. Die wirklichen Zeitunterschiede liegen also wegen der Abtastfehler im Bereich]0 ns; 2 ns[(vgl. Abbildung 4.11). Da die Unterschiede i. d. R. in der gleichen Zeitrichtung verschoben sind, sind Unterschiede in der Größenordnung von 1 ns innerhalb eines Eingangs-Tastkopfes wahrscheinlich. Die in Abbildung 5.5 (c) gezeigte Asymmetrie zwischen **0**- und **1**-Zustand läßt sich durch diese Messungen bestätigen. Die Konstanz der Periodendauer der Wortgenerator-Ausgangssignale ist für verschiedene Frequenzen zwischen 1 kHz und 25 MHz überprüft und bestätigt worden.

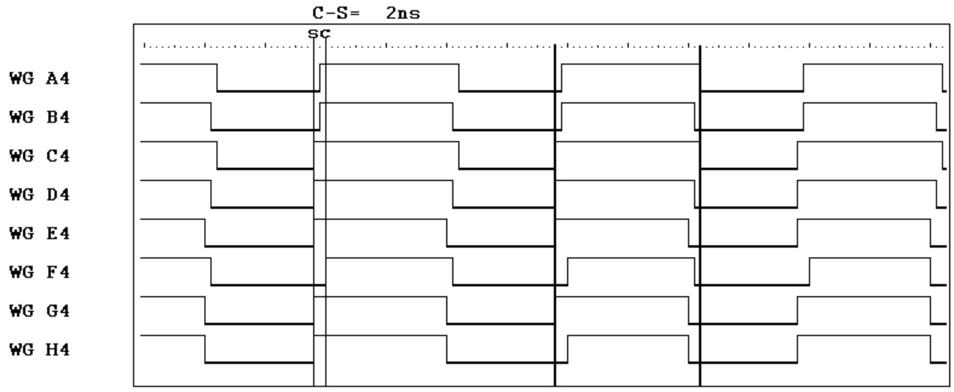


Abb. 5.6: Zeitunterschiede zwischen verschiedenen Treiber-Tastköpfen (jeweils Kanal 4). Es werden Unterschiede von maximal 2 ns gemessen.

Messungen der Zeitdifferenzen zwischen Kanälen verschiedener Tastköpfe zeigen häufig, wie in Abbildung 5.6, gemessene Zeitunterschiede von 2 ns. Aufgrund von Abtastfehlern des LA 24-Moduls können die wirklichen Zeitunterschiede wegen der Abtastperiode von 1 ns zwischen 1 ns und 3 ns liegen. Die Untersuchungen der Signale zweier Treiber-Tastköpfe mit einem Speicheroszilloskop bestätigen dieses Ergebnis.

Sowohl die Zeitdifferenzen innerhalb der Treiber-Tastköpfe als auch die zwischen verschiedenen Tastköpfen sind mit weniger als 3 ns in einem Bereich, der die Genauigkeit der logischen Testmessungen nicht wesentlich einschränkt.

Schlußbemerkung

Die Messungen zu den systematischen Fehlern des Wortgenerator- und der Logikanalysator-Module zeigen, daß, auch bei Kombination maximaler Fehler von Wortgenerator und Logikanalysator, die Genauigkeit der logischen Testmessungen nicht signifikant beeinträchtigt wird. Die minimalen Zeitunterschiede bei diesen Messungen werden

Photo Aufbau

Abb. 5.7: Photographie eines Versuchsaufbaus für logische Testmessungen. Zu sehen sind (v. l. n. r.) der Wortgenerator und der Logikanalysator[5] mit den Verbindungen über Breitbandkabel zu den entsprechenden Tastköpfen, die um die FLEX 8000-Testplatine gruppiert und über Kabel mit ihr verbunden sind. Daneben sind der EPROM-Simulator, der mit einem PC (nicht im Bild) verbunden ist, und die Spannungsversorgung für die FLEX 8000-Testplatine sowie eine Platine (wegen der Kabel nicht zu sehen), mit der die nicht vom Wortgenerator beschalteten Eingänge auf definierte Niveaus gebracht werden, zu erkennen.

bei 20 ns liegen, verglichen mit maximal etwa 5 ns Fehler der Meßgeräte. Die Reproduzierbarkeit der dargestellten Meßergebnisse ist nachgewiesen worden, so daß ein zuverlässiges Operieren der drei Module erwartet werden kann.

5.3 Betrachtungen zum Einfluß des apparativen Übersprechens

Nicht nur die Zuverlässigkeit der zeitlichen Genauigkeit der verwendeten Meßgeräte spielt für die logischen Testmessungen eine große Rolle, sondern auch die sichere Aus-

[5] Hier bereits mit drei Modulen: 48 Kanäle à 500 MHz und $2 \cdot 32$ Kanäle à 100 MHz

gabe derjenigen Daten, die für den Wortgenerator programmiert werden. Die Photographie eines Versuchsaufbaus für logische Testmessungen in Abbildung 5.7 zeigt die große Zahl von Kabeln zu und von Treiber- und Eingangs-Tastköpfen auf engstem Raum. Bei einem solchen Aufbau kann es zu Störungen auf den Zuleitungen sowohl der Treiber- als auch der Eingangs-Tastköpfe kommen. Eine Abschätzung über das Ausmaß der Störungen zwischen den Kanälen des Wortgenerators und die Lokalisierung der hauptsächlichen Quellen für diese Störungen ist das Ziel der im folgenden beschriebenen Messungen.

5.3.1 Ursachen elektromagnetischer Störungen

Ähnlich wie elektromagnetische Nutzsignale zu einem Empfänger übertragen werden, gelangen unbeabsichtigt erzeugte Störsignale über verschiedene Kopplungsmechanismen zur sog. „Störsenke“. Die Analogie ist in Abbildung 5.8 dargestellt. Wenn Sender und Empfänger „friedlich koexistieren“ [Sch 96c], der Empfänger also auf die ausgesandten Störungen nicht reagiert, spricht man von **E**lektro**m**agnetischer **V**erträglichkeit (EMV).

Bei den Kopplungsmechanismen lassen sich vier Gruppen unterscheiden [Sch 96c, Web 96]:

- Galvanische Kopplung: Sie tritt auf, wenn zwei Stromkreise eine gemeinsame Impedanz besitzen. Dies kann z. B. eine gemeinsame Netzzuleitung sein. Häufig treten auch sog. Erdschleifen bei getrennt voneinander geerdeten Geräten bzw. Meßobjekten auf, die über Signalleitungen miteinander verbunden sind.

- Kapazitive oder elektrische Kopplung: Eine Potentialdifferenz zwischen Leitern verursacht ein elektrisches Feld zwischen beiden, das sich in einem Ersatzschaltbild als Streukapazität darstellen läßt. Diese tritt z. B. bei hochohmigen Eingängen von Oszilloskopen auf.

- Induktive oder magnetische Kopplung: Stromdurchflossene Leiter induzieren Störspannungen in benachbarten Leiterschleifen. Das Ersatzschaltbild besteht aus einer Gegeninduktivität oder einer Spannungsquelle.

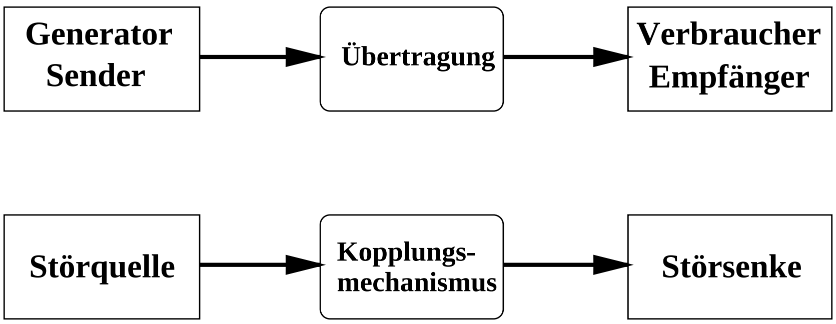


Abb. 5.8: Gliederung elektromagnetischer Beeinflussungsvorgänge in Analogie zu nutzbringenden elektrischen Systemen; nach [Rod 95, Sch 96c].

- Strahlungskopplung: Hierunter versteht man die Störungen eines Empfängers durch das elektromagnetische Fernfeld eines Senders. Der Bereich des Nahfeldes wird durch die elektrische bzw. magnetische Kopplung beschrieben.

Diese Kopplungsmechanismen lassen sich i. d. R. nicht getrennt voneinander behandeln, da meist verschiedene Kopplungen gleichzeitig wirksam sind. Bei der vorliegenden komplexen Meßsituation, vgl. Abbildung 5.7, wäre es ein sehr schwieriges und zeitintensives Unterfangen, alle eventuellen Störmechanismen auszumachen.

Das entspricht auch nicht der Zielsetzung dieser Messungen. Der Myon-Pretrigger für das HERA – B Experiment wird zusammen mit einer großen Zahl elektronischer Geräte untergebracht sein, folglich nicht in einer störfreien Umgebung. Die folgenden Messungen zielen deshalb in erster Linie darauf ab, phänomenologisch Störquellen zu lokalisieren, um Meßaufbauten so gestalten zu können, daß die Störungen minimiert werden. Weiter sollen diese Messungen helfen, bei fehlerhaften Ausgangssignalen des FLEX 8000-Bausteins, die trotzdem während der logischen Testmessungen beobachtet werden, zwischen logischen Fehlern oder aber Übersprechen in der Meßapparatur unterscheiden zu können.

5.3.2 Messungen zum apparativen Übersprechen

Elektromagnetische Störungen in digitalen Schaltkreisen werden durch den dynamischen Störabstand charakterisiert. Dieser gibt an, wie lange eine wie große Störspannung am Eingang eines Bausteins anliegen muß, damit es zu einer Änderung des kor-

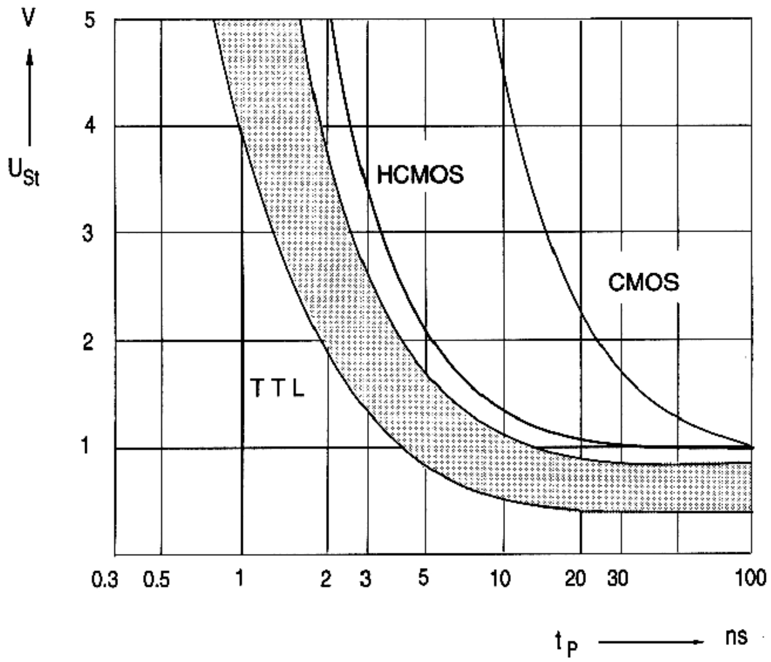


Abb. 5.9: Dynamischer Störabstand U_{St} in Abhängigkeit der Störimpulsdauer t_P eines rechteckförmigen Störsignals für verschiedene Logikfamilien [Sch 96c].

rekten Ausgangszustandes kommt [Sch 96c]. Dabei können höhere Spannungen, wie Abbildung 5.9 zum Ausdruck bringt, toleriert werden, wenn sie sehr kurze Zeit andauern.

Der FLEX 8000-Baustein erkennt Spannungen bis 0,8 V als **0** und ab 2,0 V als **1** [Alt 96a]. Zur Angabe eines Störabstandes müssen somit die Amplitude und die Dauer von Störimpulsen gemessen werden. Da die Zielsetzung der Messungen den dazu benötigten apparativen Aufwand nicht rechtfertigen würde, werden andere Größen zur Charakterisierung von Übersprecheffekten herangezogen. Es werden die Störeinflüsse eines symmetrischen Wortgenerator-Signals mit einer Frequenz zwischen 1 MHz und 25 MHz auf ein konstant mit **0** beschaltetes Empfängersignal untersucht. Ein Beispiel für einen solchen Versuchsaufbau zeigt Abbildung 5.11 schematisch. Die positive Störamplitude U_+ bzw. die negative Störamplitude U_- wird als mittleres Maximum bzw. Minimum des gestörten Signals, d. h. des Empfängersignals, über eine Meßdauer von 125 ($\nu_{\text{Sender}} = 25$ MHz; 12,5 MHz) bzw. 100 (10 MHz; 5 MHz; 1 MHz) Perioden des Sendersignals bestimmt. [6] Abbildung 5.10 zeigt beispielhaft eine solche Messung. Beide

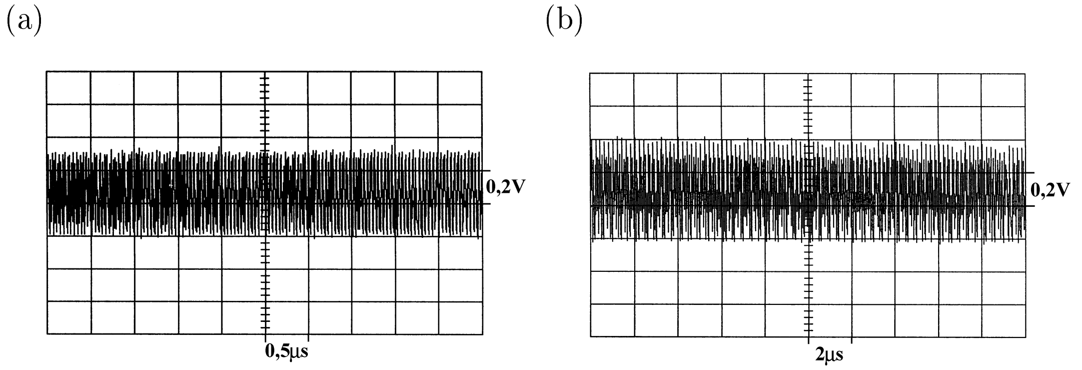


Abb. 5.10: Oszilloskopaufnahmen zweier Messungen zum Übersprechen auf den Verbindungen von den Treiber-Tastköpfen zu den Eingangspins, wobei $\nu_{\text{Sender}} = 25$MHz (a) bzw. 5 MHz (b). (a) X: 0,5 μs/Einheit, Y: 0,2 V/Einheit; (b) X: 2 μs/Einheit, Y: 0,2 V/Einheit.

Empfängersignale haben eine annähernd gleiche Amplitude, unterscheiden sich dennoch erheblich: Bei $\nu_{\text{Sender}} = 25$ MHz wird diese Amplitude wesentlich häufiger erreicht als bei $\nu_{\text{Sender}} = 5$ MHz. Um Unterschiede dieser Art zu quantifizieren, wird die Streuung σ aller N mit dem Speicheroszilloskop gemessenen Werte U_i um den Mittelwert $\overline{U}$ gemäß (5.3) verwendet.

$$\sigma = \sqrt{\tfrac{1}{N-1} \sum_{i=1}^{N} (U_i - \overline{U})^2} \tag{5.3}$$

Dabei wird jeder einzelne gemessene Spannungswert, nicht nur die Extrema, miteinbezogen. Für die in Abbildung 5.10 dargestellte Messung bedeutet das, daß die Streuung in Fall (a) doppelt so groß ist wie in Fall (b). Da der Absolutwert der Streuung verglichen mit dem der Störamplitude keine Aussagekraft besitzt, werden die Streuungswerte

[6] Die Unterschiede rühren von den Stufen der Zeiteinstellung des verwendeten Speicheroszilloskopes her.

auf den Wert bei einem konstanten Sendersignal bezogen, bei dem kein Übersprechen auftritt.

Im folgenden werden für drei verschiedene angenommene Quellen apparativen Übersprechens, Übersprechen zwischen Zuleitungen, zwischen benachbarten Eingangspins und innerhalb der Treiber-Tastköpfe, die oben motivierten Meßgrößen, Störamplitude und Streuung, untersucht. Bei jeder Frequenz werden mindestens 10 Meßwerte aufgenommen, um statistische Schwankungen zu minimieren.

Übersprechen auf Leitungen von Treiber-Tastköpfen zu Eingangspins

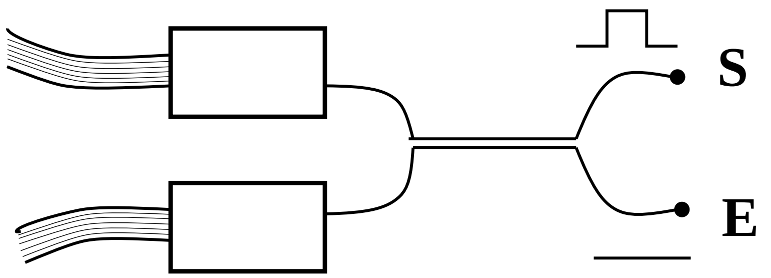


Abb. 5.11: Schematische Darstellung der Versuchsanordnung für die Messungen zum Übersprechen zwischen Zuleitungen. Zwei Treiber-Tastköpfe, deren Verbindungen zum Wortgenerator über Breitbandkabel angedeutet sind, werden auf je einem Kanal beschaltet. Die Verbindungskabel zu den Eingangspins der Platine werden über eine Strecke von ca. 6 cm nahe aneinander geführt und dann mit zwei Oszilloskopeingängen verbunden. Ein Kanal, der Sender (S), wird mit Rechtecksignalen beschaltet, der andere, der Empfänger (E), wird auf **0** gesetzt.

Aufgrund der großen Zahl benötigter Wortgenerator-Ausgänge befinden sich auf engstem Raum sehr viele Kabel, die die Treiber-Tastköpfe mit den Pins an den Steckerleisten rund um den FLEX 8000-Baustein verbinden. Um das Ausmaß von Übersprecheffekten zwischen den Kabeln zu untersuchen, wird, wie in Abbildung 5.11 schematisch dargestellt, ein Kanal eines Treiber-Tastkopfes als Sender, ein Kanal eines anderen als Empfänger benutzt. Beide Kabel werden über eine Strecke von ca. 6 cm so nahe beieinander geführt, daß ihr Abstand unter 1 mm liegt, und dann wieder räumlich getrennt. Auf diese Weise werden die anderen, in der Folge untersuchten Quellen für Übersprechen weitestgehend ausgeschlossen.

Die Ergebnisse dieser Meßreihe, dargestellt in Abbildung 5.12, zeigen eine deutliche Abhängigkeit der Streuung von ν_{Sender}, aber keine signifiknate Abhängigkeit der Störamplituden von der Senderfrequenz. Bei $\nu_{\text{Sender}} = 25\,\text{MHz}$ liegt die positive Amplitude sogar um bis zu 20 % unterhalb der übrigen Werte. Auch der Unterschied der Streuung bei 10 MHz und 25 MHz erscheint kleiner, als das Ansteigen der Streuungen von 1 MHz bis 10 MHz erwarten läßt. Dieser Effekt kann anhand von Abbildung 5.13 erklärt werden. Sie zeigt Sender- ((a) oben) und Empfängersignal ((a) unten) auf der linken Seite und die jeweiligen Frequenzspektren beider Signale bei $\nu_{\text{Sender}} = 25\,\text{MHz}$

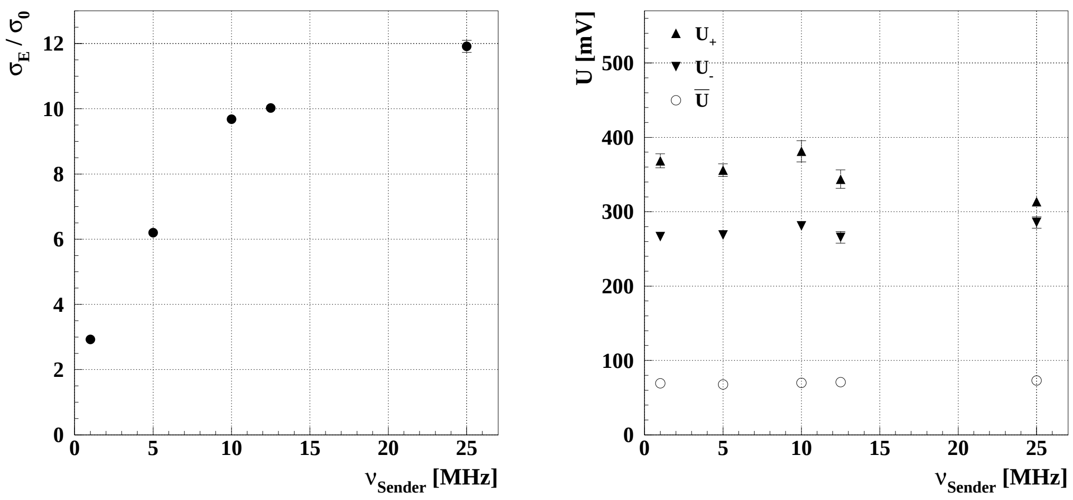


Abb. 5.12: Übersprechen zwischen Zuleitungen. Dargestellt sind die relative Streuung $\sigma_{\mathrm{E}}/\sigma_0$ sowie die positive Amplitude U_+, die negative Amplitude U_- und der Mittelwert der Spannung $\overline{\mathrm{U}}$ in Abhängigkeit von der Frequenz des Sendersignals ν_{Sender}.

auf der rechten Seite. Das Frequenzspektrum des Empfängersignals zeigt, daß die Oberschwingungen verglichen mit der Grundschwingung das Spektrum dominieren, obwohl sie im Sendersignal weniger stark vertreten sind. Betrachtet man Teil (b) mit $\nu_{\mathrm{Sender}} = 5\,\mathrm{MHz}$ wird dies noch deutlicher, insbesondere ist anhand des Empfängersignals ((b) unten) ersichtlich, daß ein Übersprechen immer an den Flanken des Sendersignals auftritt. Diese werden durch die Oberschwingungen erzeugt, die Steilheit der Flanken wird von der Zahl der vorhandenen ungeradzahligen Oberschwingungen bestimmt. Da bei einem Sendersignal mit einer Frequenz von 25 MHz häufiger Flanken auftreten, als bei einem Sendersignal mit 1 MHz, ist die Streuung bei 25 MHz entsprechend größer. Die Störamplitude dagegen hängt nicht von der Häufigkeit des Auftretens von Flanken des Sendersignals ab, weshalb sie über den betrachteten Frequenzbereich annähernd konstant bleibt.

Wie in Abschnitt 5.2.1 gezeigt, ist die Anstiegs- und Abfallzeit beim Wortgenerator-Ausgangssignal mit einer Frequenz von 25 MHz, besonders die Anstiegszeit, verglichen mit allen anderen Frequenzen sehr groß. Somit tritt bei dieser Senderfrequenz, wegen der geringeren Flankensteilheit, Übersprechen nicht in dem Maß auf, wie es zu erwarten wäre. Das Empfängersignal in Teil (b) zeigt weiterhin, daß das Übersprechen an den negativen Flanken des Sendersignals größer ist als an den positiven, da die negativen Flanken steiler als die positiven sind (vgl. Abbildung 5.3).

Für die Beurteilung der Messungen muß berücksichtigt werden, daß die Auflösung des Speicheroszilloskopes (vgl. Abschnitt 5.2.1) nur alle 2,5 ns einen Abtastpunkt erlaubt. Dies kann zu einer Beeinträchtigung der Messung der Störamplitude führen, falls die Extrema nicht immer erfaßt werden. Da dies die Messungen bei allen Senderfrequenzen gleichermaßen betrifft, wird nur die Messung der Absolutwerte beeinflußt, nicht jedoch das Verhältnis der Werte bei verschiedenen Senderfrequenzen.

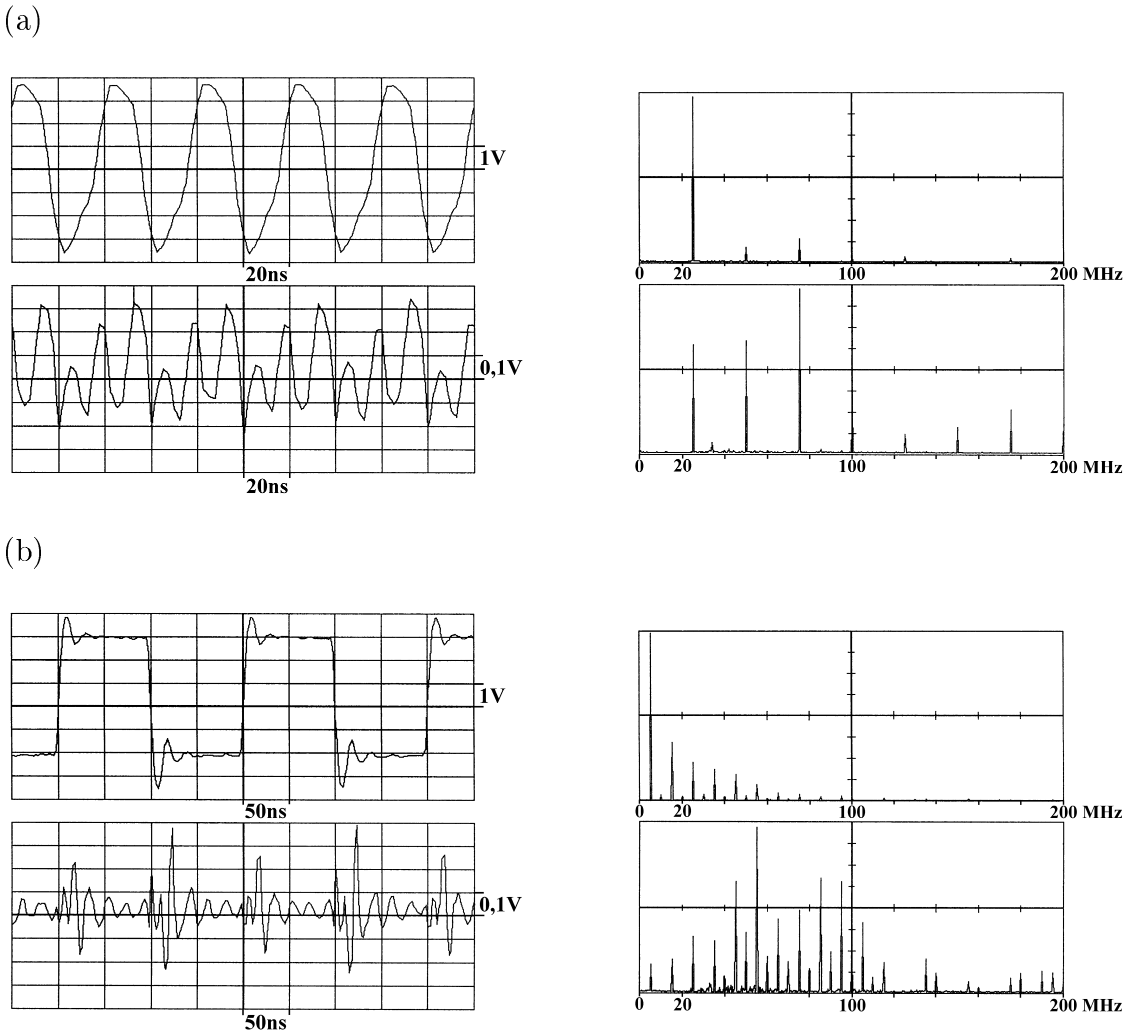


Abb. 5.13: Übersprechen zwischen Zuleitungen. Oszilloskopaufnahmen der Sender- (oben) und Empfängersignale (unten) für (a) $\nu_{\text{Sender}} = 25\text{MHz}$ und (b) $\nu_{\text{Sender}} = 5\text{MHz}$ sowie ihrer Frequenzspektren Aufnahmen der Pulse: (a) X: 20 ns/Einheit, Y(oben): 1 V/Einheit, Y(unten): 0,1 V/Einheit; (b) X: 50 ns/Einheit, Y(oben): 1 V/Einheit, Y(unten): 0,1 V/Einheit. Aufnahmen der Frequenzspektren: X: 20 MHz/Einheit; Y: beliebige Einheiten (verschieden für Sender- und Empfängerspektrum).

Übersprechen zwischen benachbarten Eingangspins

Eine weitere mögliche Quelle für ein Übersprechen sind benachbarte Eingangspins der FLEX 8000-Testplatine, d. h. insbesondere benachbarte Stecker auf den Steckerleisten rund um den Baustein. Um die anderen untersuchten Quellen für Übersprechen zu unterdrücken, wird der in Abbildung 5.14 skizzierte Aufbau gewählt. Es werden wiederum zwei Kanäle von zwei verschiedenen Treiber-Tastköpfen als Sender bzw. Empfänger verwendet. Die Tastköpfe werden, um Übersprechen auf den Zuleitungen ausschließen zu können, räumlich getrennt, nur die Kabelenden werden auf der FLEX 8000-Testplatine

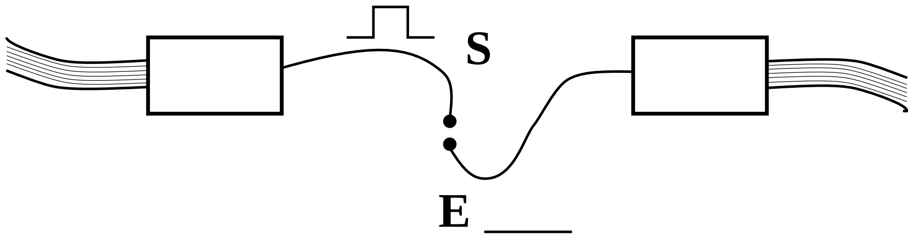


Abb. 5.14: Schematische Darstellung der Versuchsanordnung für die Messungen zum Übersprechen zwischen benachbarten Eingangspins. Sender- und Empfängerkanal sind räumlich getrennt, werden aber mit benachbarten Eingangspins auf der FLEX 8000 -Testplatine verbunden.

mit benachbarten Steckern (Eingangspins) verbunden.

In Abbildung 5.15 sind die Ergebnisse für den beschriebenen Aufbau gezeigt, d. h. für einen mit **0** beschalteten Empfänger. Wieder ist das typische frequenzabhängige Ansteigen der Streuung zu sehen, wobei der Wert bei 25 MHz wiederum niedriger liegt, als der Verlauf von $\nu_{\mathrm{Sender}} = 1$ MHz bis 12,5 MHz andeutet. Dies läßt sich ebenfalls mit den unterschiedlichen Flankensteilheiten begründen. Anders als bei der zuvor geschilderten Meßreihe ist jedoch die Störamplitude bei 25 MHz um etwa 40 % größer als bei den anderen Frequenzen. Dies spricht ebenso wie die wesentlich kleineren Absolutwerte (um einen Faktor 4 bei den Streuungen und 2 bei den Amplituden kleiner) und die größeren negativen Amplituden im Vergleich zu den positiven dafür, daß ein anderer Kopplungsmechanismus als beim Übersprechen zwischen den Zuleitungen verantwort-

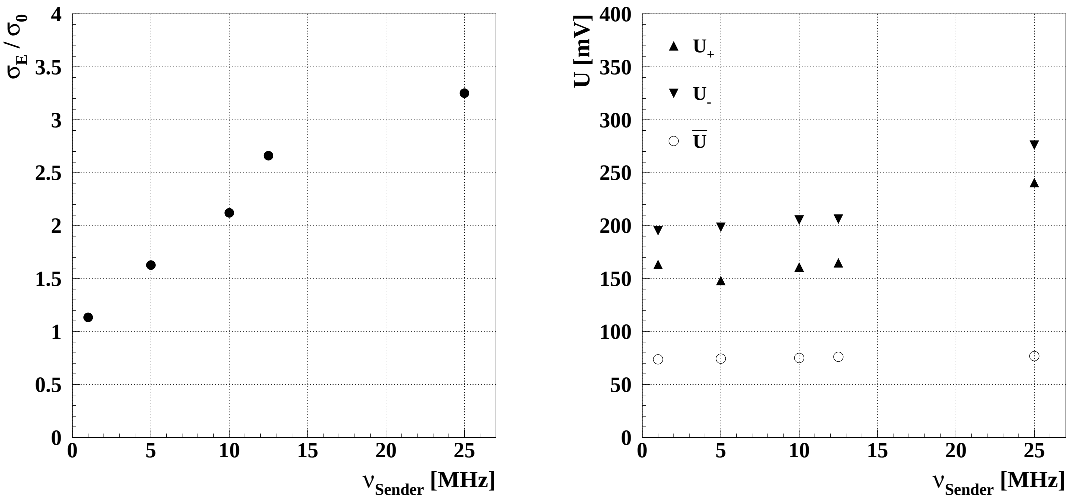


Abb. 5.15: Übersprechen zwischen benachbarten Eingangspins. Gezeigt sind die relative Streuung $\sigma_{\mathrm{E}}/\sigma_0$ sowie die positive Amplitude U_+, die negative Amplitude U_- und der Mittelwert der Spannung $\overline{\mathrm{U}}$ in Abhängigkeit von der Frequenz des Sendersignals ν_{Sender} für den Aufbau wie in Abb. 5.14, d. h. mit beschaltetem Empfänger.

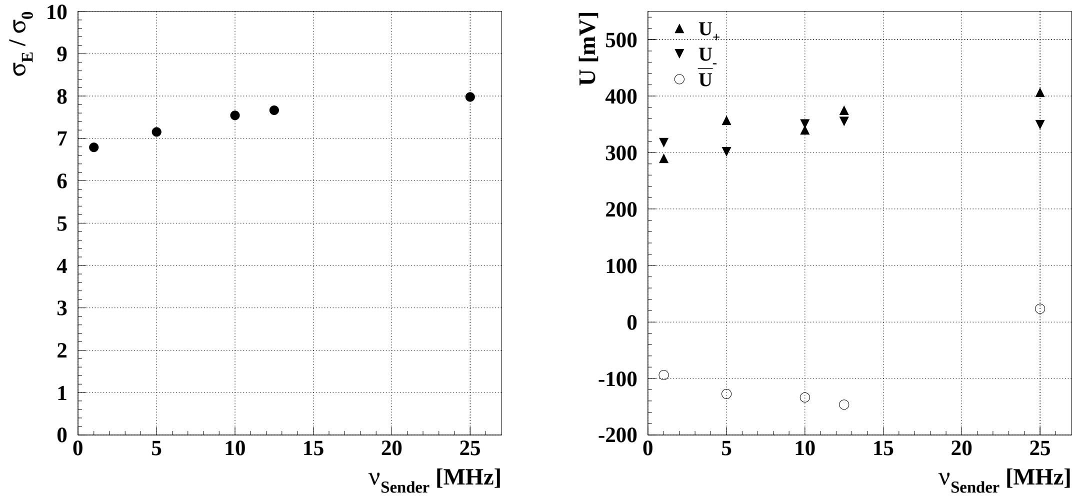


Abb. 5.16: Übersprechen zwischen benachbarten Eingangspins. Gezeigt sind die relative Streuung $\sigma_{\mathrm{E}}/\sigma_0$ sowie die positive Amplitude U_+, die negative Amplitude U_- und der Mittelwert der Spannung $\overline{\mathrm{U}}$ in Abhängigkeit von der Frequenz des Sendersignals ν_{Sender} für einen unbeschalteten Empfänger, d. h. einen offenen Pin.

lich ist; wahrscheinlich ist zumindest eine andere Kombination von Mechanismen.

Abbildung 5.16 zeigt die Ergebnisse von Messungen, bei denen der Empfängerkanal offen, d. h. unbeschaltet bleibt. Streuung und Amplituden zeigen ein nur leichtes, bei beiden ähnliches Ansteigen mit der Senderfrequenz. Bereits bei 1 MHz wird etwa 80 % des Niveaus bei 25 MHz erreicht. Beachtenswert ist die große Schwankung des Mittelwertes der Störamplitude, die nur bei dieser Messung beobachtet wird, da der Empfängerkanal bei keiner anderen Meßreihe unbeschaltet bleibt. Deshalb ist diese Messung auch sensitiver für externe Störeinflüsse als alle anderen, die durchgeführt worden sind. Bei den Messungen mit beschaltetem Empfängerkanal dagegen liegt die Amplitude immer konstant bei etwa 70 mV [7], was eine sinnvolle Auswertung der Streuung, die vom Mittelwert der Spannung abhängt, erst möglich macht. Das schwache Ansteigen der Streuung mit zunehmender Senderfrequenz läßt den Schluß zu, daß das Übersprechen hier nicht an den Flanken des Sendersignals auftritt. Der Vergleich des Empfängersignals, das in Abbildung 5.17 dargestellt ist, mit dem in Abbildung 5.13 (b) gezeigten verdeutlicht dies. Die dort abgebildeten Empfängersignale sind typisch für alle durchgeführten Messungen, abgesehen von denen bei unbeschaltetem Eingangspin. Die Form des Empfängersignals bei unbeschalteten Eingangspin ist einem Rechtecksignal ähnlich, ebenso wie das Frequenzspektrum. Hier dominieren nicht, wie bei allen anderen Messungen, die Oberschwingungen, sondern die Grundschwingung. Sender- und Empfängersignal sind sich also sehr ähnlich.

Die etwa doppelt so großen Absolutwerte sowohl von Streuung als auch Störamplituden bei unbeschaltetem Eingangspin gegenüber einem beschaltetem Eingangspin zeigen, daß sich Übersprecheffekte bei unbeschalteten Eingängen weitaus stärker aus-

[7] Wegen des endlichen Widerstandes der Eingangspins

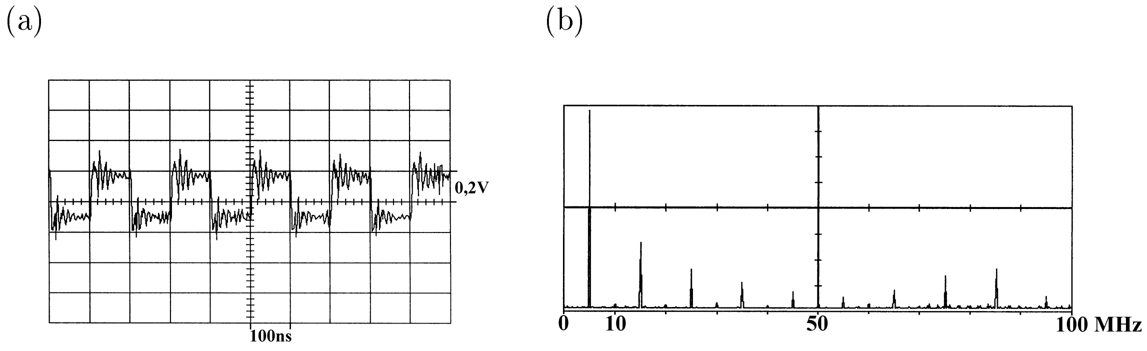


Abb. 5.17: Übersprechen zwischen Eingangspins mit einem unbeschalteten Empfänger. Oszilloskopaufnahmen des Empfängersignals (a) und seines Frequenzspektrums (b) für $\nu_{\mathrm{Sender}} = 5\,\mathrm{MHz}$. Aufnahme des Pulses: (a) X: 100 ns/Einheit, Y(oben): 0,2 V/Einheit. Aufnahme des Frequenzspektrums: X: 10 MHz/Einheit; Y: beliebige Einheiten.

wirken. Dies gilt insbesondere bei Frequenzen zwischen 1 und 5 MHz.

Abbildung 5.18 zeigt ein weiteres Meßergebnis, das belegt, daß sich die Kopplungsmechanismen für beschaltete und unbeschaltete Eingangspins deutlich unterscheiden. Der Eingangspin Nr. 25 wird dabei als Sender mit ν_{Sender} =25 MHz beschaltet und einer der benachbarten Pins als Empfänger abgefragt, einmal mit **0** beschaltet und einmal unbeschaltet. Pin Nr. 24 und 26 sind dem Senderkanal am nächsten, 27 und 28 etwas weiter entfernt. Als Referenz (waagerechte Linie) dient die Messung an einem weit entfernten Pin (Nr. 123). Das Übersprechen bei beschaltetem Eingangspin (a) ist nicht signifikant davon abhängig, wie weit Sender und Empfänger voneinander entfernt sind. Auch auf einen weit entfernten Empfänger wirken große Störungen, was sich in der

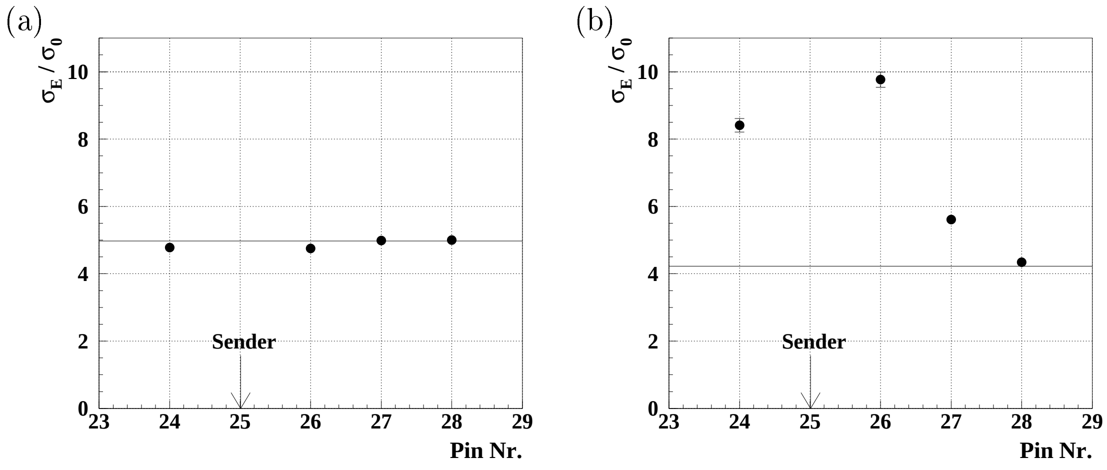


Abb. 5.18: Relative Streuung $\sigma_{\mathrm{E}}/\sigma_0$ in Abhängigkeit von dem mit dem Sender (ν_{Sender} $= 25\,\mathrm{MHz}$) verbundenen Eingangspin für einen beschalteten (a) und einen offenen (b) Empfänger.

gegenüber einem konstanten Sendersignal fünffachen Streuung ausdrückt. Bei einem unbeschalteten Empfänger nimmt das Übersprechen zu, wenn Sender und Empfänger nur wenig voneinander entfernt sind. Ist der benachbarte Pin als Sender beschaltet, steigt die Streuung auf mehr als das Doppelte des Referenzwertes des weit entfernten Empfängerpins. Dieser liegt bei der etwa vierfachen Streuung eines konstanten Sendersignals.

Vergleicht man die in Abbildung 5.18 gemessenen Absolutwerte mit denen für $\nu_{\mathrm{Sender}} = 25\,\mathrm{MHz}$ in Abbildung 5.15 bzw. 5.16, so zeigt sich, daß sie nicht exakt übereinstimmen. Veränderungen im Versuchsaufbau führen z. T. zu veränderten Werten für Störamplitude und Streuung in der Größenordnung von bis zu 40 %. Die relativen Größenordnungen innerhalb einer Meßreihe bleiben davon aber unberührt. Dies ist durch zahlreiche Messungen verifiziert worden. Auf konstante Verhältnisse innerhalb einer Meßreihe ist deshalb besonders geachtet worden.

Übersprechen zwischen benachbarten Kanälen innerhalb eines Treiber-Tastkopfes

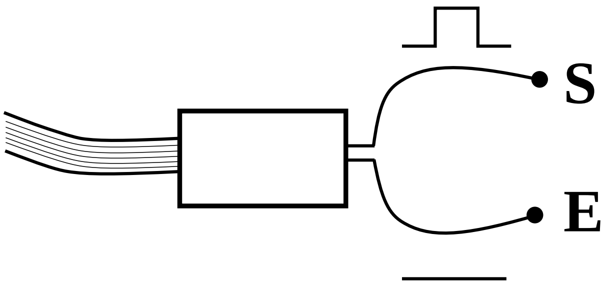


Abb. 5.19: Schematische Darstellung der Versuchsanordnung für die Messungen zum Übersprechen innerhalb eines Treiber-Tastkopfes. Willkürlich werden Kanal 5 des Treiber-Tastkopfes als Sender und Kanal 4 als Empfänger gewählt. Beide werden mit je einem Oszilloskopeingang verbunden.

Zuletzt wird die Möglichkeit untersucht, daß das Übersprechen schon vor der endgültigen Übertragung zur FLEX 8000-Platine auftreten kann, also innerhalb der Treiber-Tastköpfe – oder bei der Übertragung vom Wortgenerator zum Treiber-Tastkopf. Beides kann durch die Messungen nicht voneinander unterschieden werden. Von der Umwandlung der ECL[8]-übertragenen Daten auf TTL-Niveau bis zur Ausgabe der 8 Datenkanäle laufen alle Kanäle parallel. Abbildung 5.19 zeigt schematisch den Versuchsaufbau. Zwei benachbarte Ausgangskanäle desselben Treiber-Tastkopfes werden unmittelbar außerhalb des Tastkopfes räumlich voneinander getrennt.

Die Ergebnisse in Abbildung 5.20 weisen ein Abfallen der Streuung von 12,5 MHz zu 25 MHz in der Größenordnung von 5 % auf. Auch die positive Amplitude liegt unterhalb der Werte für die anderen Senderfrequenzen. Die Absolutwerte sind vergleichbar mit denen beim Übersprechen zwischen Zuleitungen. Das Abfallen von 12,5 MHz zu 25 MHz

[8] **E**mitter **C**oupled **L**ogic

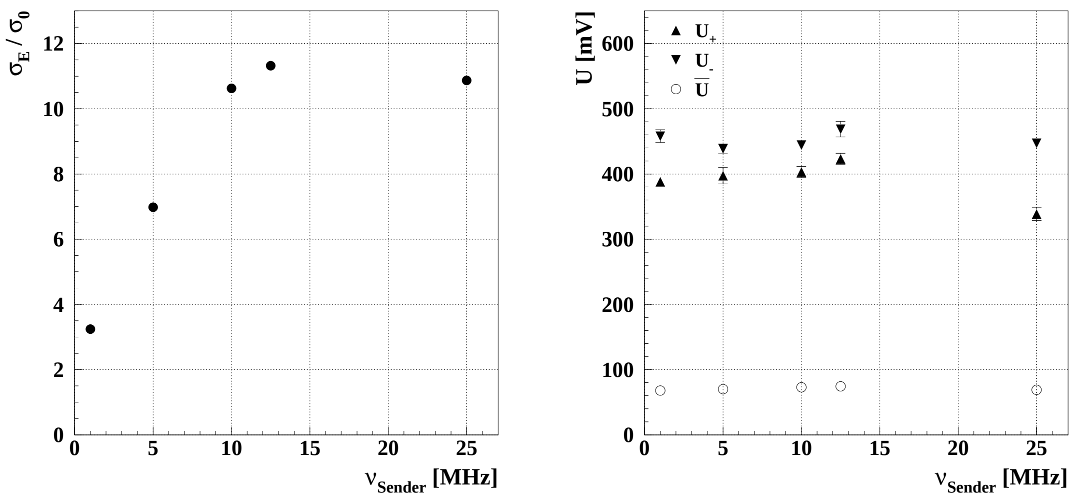


Abb. 5.20: Übersprechen innerhalb eines Treiber-Tastkopfes. Dargestellt sind die relative Streuung $\sigma_\mathrm{E}/\sigma_0$ sowie die positive Amplitude U_+, die negative Amplitude U_- und der Mittelwert der Spannung $\overline{\mathrm{U}}$ in Abhängigkeit von der Frequenz des Sendersignals ν_Sender.

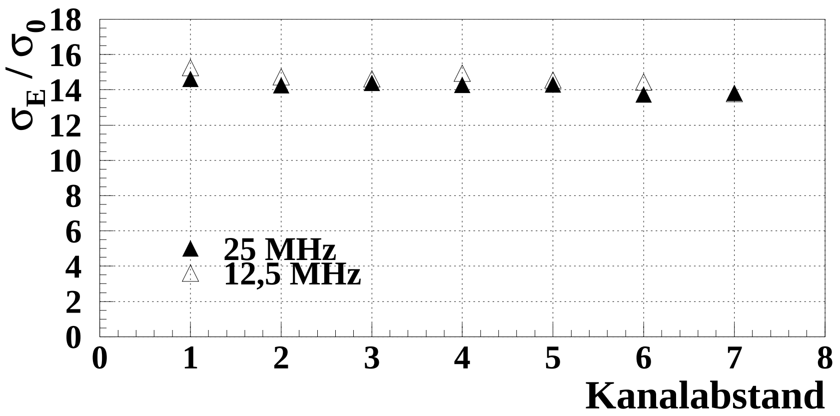


Abb. 5.21: Übersprechen innerhalb eines Treiber-Tastkopfes. Dargestellt ist die relative Streuung $\sigma_\mathrm{E}/\sigma_0$ für $\nu_\mathrm{Sender} = 25\,\mathrm{MHz}$ und 12,5 MHz in Abhängigkeit vom Kanalabstand zwischen Sender und Empfänger.

Senderfrequenz spricht für einen größeren Einfluß der Flankensteilheit auf das Ausmaß des Überprechens als bei den bisher geschilderten Messungen.

Ähnlich wie bei den Ergebnissen für das Übersprechen zwischen beschalteten Eingangspins ist innerhalb der Treiber-Tastköpfe das Übersprechen wenig von der „Entfernung“ abhängig. Die Abbildungen 5.21 und 5.22 zeigen Streuungen bzw. Störamplituden für $\nu_\mathrm{Sender} = 12,5\,\mathrm{MHz}$ und 25 MHz in Abhängigkeit von der Entfernung zwischen

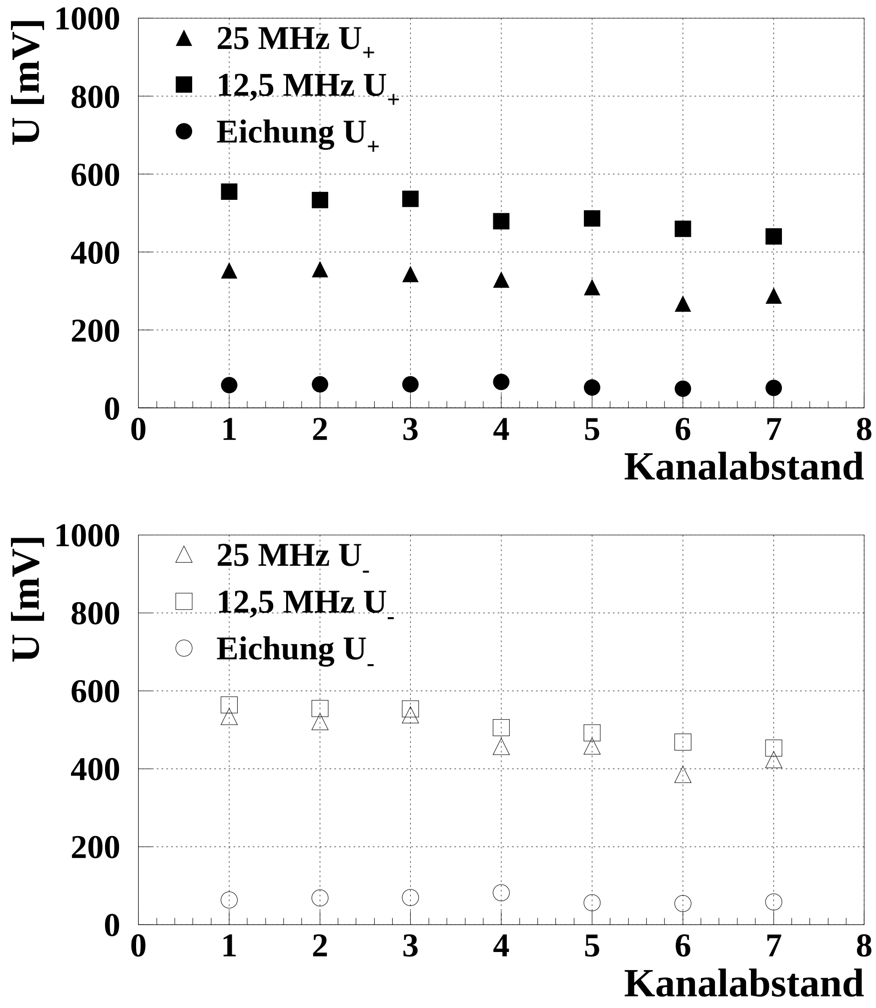


Abb. 5.22: Übersprechen innerhalb eines Treiber-Tastkopfes. Dargestellt sind die positive Amplitude U_+ (oben) und die negative Amplitude U_- (unten) für $\nu_{\mathrm{Sender}} = 25$ MHz und 12,5 MHz sowie für die Eichung in Abhängigkeit vom Kanalabstand zwischen Sender und Empfänger.

Sender und Empfänger, dem sog. Kanalabstand. Als Sender wird dabei der 1. Kanal des Treiber-Tastkopfes gewählt. Die Streuung ist beim größtmöglichen Kanalabstand (7 Kanäle) etwa 10 % kleiner als beim kleinsten (1 Kanal), bei den Amplituden liegt der Unterschied noch unter 20 %.

Abschließende Bemerkungen

Für alle dargestellten Meßreihen ist anhand der Frequenzspektren nachgewiesen worden, daß die beobachteten Störungen vom Sendersignal ausgelöst werden. Dies ist in Abbildung 5.13 am Beispiel der Meßreihe zum Übersprechen zwischen Zuleitungen gezeigt. Die Frequenzspektren der anderen Meßreihen, abgesehen von der bei unbeschaltetem Eingangspin, sind in dieser Arbeit nicht dargestellt, da sie sich von dem gezeigten nicht signifikant unterscheiden.

Alle Messungen sind nicht nur – wie beschrieben – für ein Sendersignal, sondern auch für zwei (identische) Sendersignale durchgeführt worden. Dabei nehmen die das Übersprechen charakterisierenden Größen um etwa 50 % zu.

Es ist zu erwarten, daß die gezeigten Übersprecheffekte zu Störungen auf digitaler Ebene führen. Bei Messungen mit 7 Kanälen eines Treiber-Tastkopfes etwa, die mit dem gleichen Signal beschaltet sind, können auf dem einen Empfängerkanal dieses Tastkopfes Amplituden bis zu 1,95 V erreicht werden, also knapp unter der Schwelle von 2,0 V, ab der der FLEX 8000-Baustein ein Signal als **1** darstellt. Treten dazu noch Effekte durch Übersprechen auf den Zuleitungen zu den Eingangspins, kann diese Schwelle überschritten werden. Für die logischen Testmessungen muß deshalb vor allem darauf geachtet werden, daß nicht innerhalb eines Tastkopfes Signale gesetzt werden, die die gleiche Frequenz oder ganzzahlige Vielfache einer Grundfrequenz haben. Bei diesen ist die Wahrscheinlichkeit groß, daß sich durch Überlagerungen innerhalb der Treiber-Tastköpfe Oberschwingungen herausbilden, die zu Störungen führen. Weiterhin muß versucht werden, die Dichte der Kabel so gering wie möglich zu halten, um das Übersprechen zwischen Zuleitungen zu minimieren. Das Übersprechen zwischen benachbarten Eingangspins ist dagegen – verglichen mit den anderen Effekten – weniger stark ausgeprägt, solange keine Eingänge unbeschaltet bleiben. Diese wirken offenbar als Antennen für elektromagnetische Signale. Aufgrund der Unahängigkeit vom Kanalabstand beim Übersprechen mit beschaltetem Empfänger lassen sich diese Störungen nicht vermeiden.

Die Absolutwerte insbesondere derjenigen Messungen, die mit mehr als einem Treiber-Tastkopf durchgeführt werden müssen, sind nur bedingt miteinander vergleichbar. Hier wird beobachtet, daß z. B. Schleifen der Breitbandkabel, die die Tastköpfe mit dem Wortgenerator verbinden, einen Einfluß auf die Messungen haben. Die Werte innerhalb einer Meßreihe, bei der sich die Verhältnisse nicht wesentlich ändern, sind reproduzierbar. Nur diese Ergebnisse sind hier dargestellt worden.

Kapitel 6

Logische Testmessungen

Um die Myon-Pretrigger-Schaltung zu testen, wird im Rahmen dieser Arbeit u. a. die Programmierung der beiden FLEX 8000-Bausteine, die in Abschnitt 3.3 ausführlich beschrieben worden ist, getestet. Die Messungen werden in der in Kapitel 4 vorgestellten Meßumgebung durchgeführt.

Es ist unmöglich, alle denkbaren Kombinationen von Eingangssignalen an den FLEX 8000-Baustein anzulegen, um die entsprechenden Ausgangssignale auf ihre Richtigkeit hin zu überprüfen. Beim FLEX 1-Design gibt es $2^{84} \approx 1{,}9 \cdot 10^{25}$, beim FLEX 2-Design $2^{99} \approx 6{,}3 \cdot 10^{29}$ verschiedene Möglichkeiten, die Eingänge zu beschalten. Allein für das Anlegen aller Kombinationen für das FLEX 1-Designs mit der schnellstmöglichen Ausgabefrequenz des Wortgenerators würden mehr als 10^{10} Jahre benötigt. Deshalb müssen die Eigenschaften der beiden FLEX-Designs mit einer begrenzten Anzahl von Messungen überprüft werden.

Dazu werden insgesamt etwa 250 verschiedene Meßreihen durchgeführt. Jede Meßreihe wird mit den beiden schnellsten symmetrischen Taktfrequenzen, die der Wortgenerator generieren kann, duchgeführt: 25 MHz und 12,5 MHz. Diese kommen der Taktrate des Myon-Pretriggers von 20,8 MHz am nächsten. Aus Gründen der Reproduzierbarkeit werden alle Messungen mindestens zwei Mal wiederholt. Diese große Zahl von Messungen läßt sich hier nicht darstellen, weshalb beispielhaft auf einige ausgewählte Messungen eingegangen wird, während die Ergebnisse der übrigen nur zusammengefaßt werden.

Aufgrund der beschränkten Zahl von Ein- und Ausgangskanälen, die an Wortgenerator (64) und Logikanalysator (56) zur Verfügung stehen, müssen für verschiedene logische Einheiten eines Designs unterschiedliche Aufbauten erstellt werden. Die Planungen für die verschiedenen Meßaufbauten sind umfangreich, da bei der Programmierung des FLEX 8000-Bausteins keine feste Zuordnung von Ein- oder Ausgängen zu logisch zusammengehörigen Gruppen vorgenommen wird. Dadurch wird das Einpassen der programmierten Schaltung in den Baustein erleichtert (vgl. Abschnitt 3.2.2), aber zugleich die Messungen erschwert, da zu setzende oder abzufragende Signalgruppen i. d. R. über den gesamten Bereich der Ein-/Ausgangspins verteilt sind. Außerdem müssen die Erfahrungen der Untersuchungen zum apparativen Übersprechen in diese Planungen mit einbezogen werden. Die Wortgenerator-Ausgangsdaten müssen so programmiert werden, daß eine effiziente Überprüfung der Korrektheit der FLEX 8000-

Ausgangssignale möglich ist. Gleichzeitig muß gewährleistet werden, daß jede Funktion der beiden FLEX-Designs gründlich getestet wird.

Vorbemerkung

In den Abbildungen 6.5 (a), 6.6 (a) und 6.10 (a) werden einige zusammengehörende Signalgruppen in einer Busdarstellung gezeigt. Dabei werden jeweils bis zu vier Kanäle einer Gruppe zusammengefaßt und als Hexadezimalzahl geschrieben. Die Gruppe M4R in Abbildung 6.6 (a) umfaßt z. B. die Kanäle M4R 1 bis 11, die als M4R 1 bis 3, M4R 4 bis 7 und M4R 8 bis 11 angeordnet werden. Die Darstellung 008_{hex} bedeutet, daß die Kanäle M4R 1 bis 3 (erste $0_{hex} = \mathbf{000}$) und M4R 4 bis 7 (zweite $0_{hex} = \mathbf{0000}$) alle auf **0** gesetzt sind, sowie M4R 8 auf **1**, während M4R 9 bis 11 auf **0** gesetzt sind ($8_{hex} = \mathbf{1000}$).

6.1 Logische Tests des FLEX 1-Designs

Zuerst werden die Testmessungen des FLEX 1-Designs dargestellt, d. h. Messungen an den einzelnen logischen Blöcken dieses Designs, wie es in Abbildung A.1 und Tabelle 3.1 beschrieben ist. Die Messungen der Koinzidenzbildung sind aufgrund der großen Zahl benötigter Ein-/Ausgangspins nicht unabhängig für die drei logischen Blöcke – Clear-Register, Veroderung und Koinzidenzbildung – durchführbar. Die Ausgangssignale des ersten und zweiten Blockes können nicht von außen abgefragt werden, und die Eingangssignale des zweiten und dritten Blockes müssen zunächst die davorliegenden Blöcke durchlaufen. Um zufällig richtige Ausgabesignale trotz intern falscher Signale mit hoher Wahrscheinlichkeit ausschließen zu können, ist eine große Zahl von Messungen an den einzelnen logischen Blöcken durchgeführt worden.

6.1.1 Durchtakten der BX-Nummer

Die BX-Nummer wird, abgesehen von der Funktion der Zyklusnummer, nicht für Berechnungen benötigt, sondern nur durchgetaktet, d. h. sie wird gleichzeitig mit den zugehörigen MU3- und MU4-Daten ein- und ausgegeben. Da sie als Markierung der Daten benutzt wird, ist die Ausgabe der korrekten BX-Nummer für die weitere Verarbeitung der Daten unerläßlich. Die Messungen zur BX-Nummer sind verhältnismäßig einfach durchzuführen, da die benötigten Ein- und Ausgangssignale direkt zugänglich sind. Für eine sinnvolle Durchführung der Messungen müssen auch die unbenutzten Eingangskanäle auf definierte Niveaus gebracht werden, um die in Abschnitt 5.3 beschriebenen Übersprecheffekte auf offenen Eingangspins zu vermeiden. Da für die Beschaltung aller Eingänge des FLEX 8000-Bausteins die 64 Wortgenerator-Ausgangskanäle nicht ausreichen, werden die übrigen Eingänge des FLEX 8000-Bausteins mit Hilfe zweier selbstgefertigter Platinen beschaltet, die jeweils 30 fest einstellbare **0**/**1**-Ausgänge besitzen. Diese werden durch den Spannungsabfall über 10 kΩ-Widerstände und Schalter für die beiden Logikzustände realisiert.

Abbildung 6.1 zeigt einen Ausschnitt aus einer Messung, in der das BX-Eingangssignal (CN bis BX 8) als Binärzahl von **11111111** bei jedem Takt (12,5 MHz) um eins

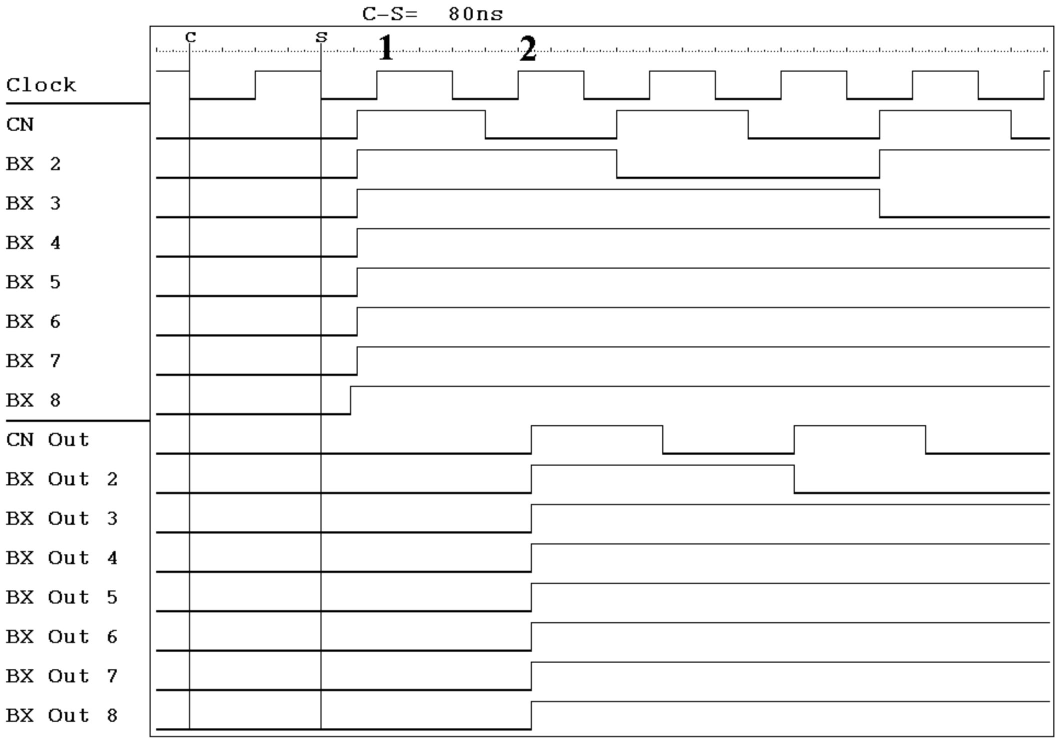


Abb. 6.1: Aufnahme einer Messung der absteigenden BX-Nummer mit LA 24. Dargestellt sind die Eingangssignale für Takt (Clock) und BX-Nummer (CN = BX 1) sowie die Ausgangssignale der BX-Nummer. Die Taktrate beträgt 12,5 MHz. Die ersten Daten werden bei der positiven Taktflanke „1“ eingelesen, und diese Daten stehen 8 ns nach der darauffolgenden positiven Taktflanke „2“ am Ausgang.

dekrementiert wird. Sowohl Ein- (oben) als auch Ausgangsdaten (unten) werden gemessen, und zwar – wie im folgenden immer, wenn nicht explizit erwähnt – mit dem LA 24-Logikanalysator-Modul. Als Zeitreferenz ist bei allen Messungen der Abstand zweier Zeiger („C“[1] und „S“[2]) angegeben, in diesem Beispiel 82 ns. Der Zustand, der bei einer positiven Taktflanke (z. B. bei „1“ in Abbildung 6.1) an den Eingangskanälen der BX-Nummer anliegt und eingelesen wird, soll nach der darauffolgenden positiven Taktflanke (z. B. „2“) am Ausgang anstehen. Die Messung zeigt, daß dies der Fall ist. Die Ausgabe der korrekten BX-Nummer erfolgt 6 – 10 ns (typisch sind 8 ns) nach der zweiten positiven Taktflanke. Weitere Messungen mit anderen Mustern auf den BX-Kanälen bei Taktfrequenzen von 12,5 bzw. 25 MHz bestätigen das korrekte Durchtakten der BX-Nummer. Die in Abbildung 6.1 erkennbare Verlängerung des **1**-Zustandes bei dem mit „1“ markierten Taktsignal auf 46 ns statt 40 ns ist auf Übersprechen zurückzuführen. Der Übergang **0** →**1** auf den Kanälen CN bis BX 7, die am gleichen Treiber-Tastkopf ausgegeben werden wie das Taktsignal, führt zu dieser Störung. Daneben ist ein Zeitunterschied zwischen den Eingangssignalen CN bis BX 7 und BX 8 von 4 ns zu

[1] **C**ursor
[2] **S**et-Marker

sehen. Dieser ist auf Zeitdifferenzen zwischen Kanälen verschiedener Treiber-Tastköpfe, die in Abschnitt 5.2.2 zu maximal 3 ns bestimmt worden sind, zurückzuführen. Beide Werte stimmen innerhalb des Abtastfehlers von hier 2 ns überein.

Fehlerhafte Messung

In Abbildung 6.2 ist eine fehlerhafte Messung zu sehen, die jedoch der zuvor getroffenen Aussage nicht widerspricht. Auch bei dieser Messung werden die BX-Eingänge CN, BX 2 bis 7 und das Taktsignal am selben Treiber-Tastkopf ausgegeben, nur BX 8 an einem anderen. Durch den Übergang **1** $\rightarrow$ **0** auf den BX-Eingangskanälen kommt es zu einer Störung des Taktsignales (vgl. Pfeil). Durch das Störsignal auf der Taktleitung werden die bei der vorigen positiven Taktflanke eingelesen Daten zu früh ausgegeben, d. h. bereits 8 ns nach der positiven Störflanke. Aufgrund der bereits oben beschriebenen Zeitdifferenzen zwischen CN bis BX 7 und BX 8 ist das BX 8-Eingangssignal nach der positiven Störflanke auf **0** , während CN bis BX 7 noch auf **1** liegen. In das Eingangsregister wird deshalb nur für BX 8 **0** eingelesen, weshalb das BX Out 8-Signal vor allen anderen auf **0** übergeht (vgl. unterer Pfeil). Dieses fehlerhafte Verhalten wird durch Übersprechen auf den Eingangskanälen, sehr wahrscheinlich innerhalb des Treiber-Tastkopfes, ausgelöst, an dem das Taktsignal und die Signale CN bis BX 7 ausgegeben werden. Ein logischer Fehler des Designs liegt nicht vor, im Gegenteil sind die ausgegebenen Signale unter Berücksichtigung der fehlerbehafteten Eingangssignale logisch richtig, auch wenn nicht die korrekte BX-Nummer zum richtigen Zeitpunkt ausgegeben wird.

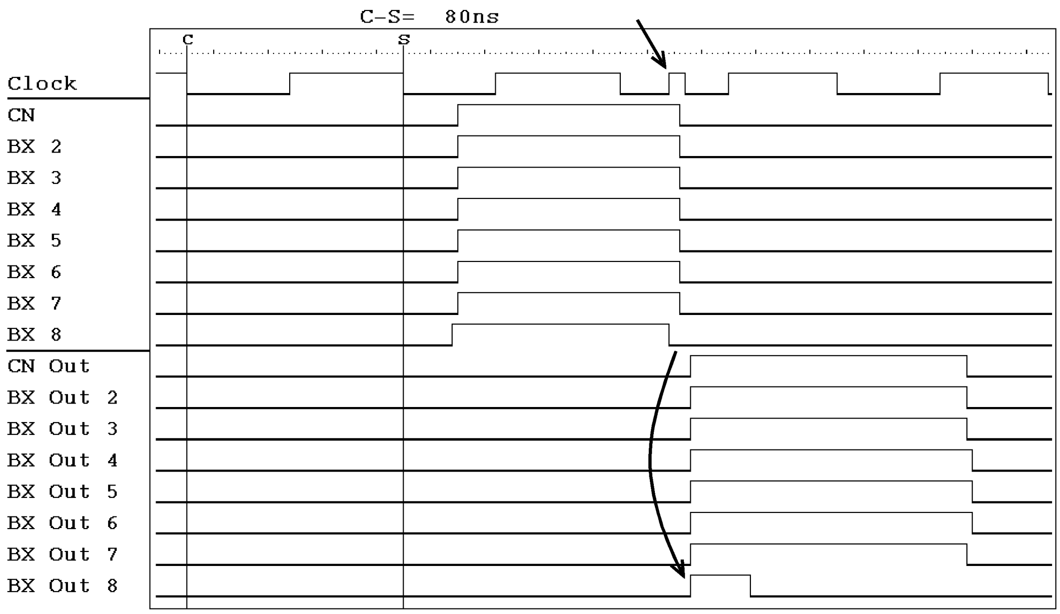


Abb. 6.2: Darstellung einer Messung mit LA 24, die die fehlerhafte Ausgabe aufgrund einer Störung des Taktsignales zeigt. Das 6 ns lange Störsignal (oberer Pfeil) bewirkt, daß die Ausgabe auf allen Kanälen zu früh und, bis auf BX Out 8, auch zu lange erfolgt.

Diese Messung zeigt, daß Übersprechen insbesondere auf der Taktleitung zu fehlerhaften Ausgangszuständen führen kann. Diese Leitung muß deshalb besonders gegen Störungen geschützt werden, z. B. durch eine separate Ebene für das Taktsignal, die durch zwei Masselagen abgeschirmt wird.

6.1.2 Löschen von Pads mit Clear-Registern

Alle Messungen zu den Eigenschaften der Koinzidenz- und Pattern-Kanäle müssen aufgrund der großen Zahl benötigter Ein- und Ausgänge mit mehreren Aufbauten nacheinander durchgeführt werden:

- Messung der Coinc- und Pat L-Ausgänge,
- Messung der Pat M- und Pat R-Ausgänge,
- Messung der M3- und M4L-Eingänge,
- Messung der M4M- und M4R-Eingänge.

Die Untersuchung der Eingangssignale, die – anders als bei den Messungen im vorigen Abschnitt – wegen der begrenzten Zahl von Logikanalysator-Kanälen nicht gleichzeitig mit den entsprechenden Ausgangssignalen aufgezeichnet werden können, dient der Erklärung möglicher Störungen, die bei den Ausgangssignalen auftreten. Ohne die Kenntnis der Eingangssignale wären die in Abbildung 6.2 gezeigten Störungen nicht erklärbar. Die Ergebnisse der Messungen mit den verschiedenen Aufbauten werden im folgenden erläutert.

Das Laden der Clear-Register, wie in Abschnitt 3.3 beschrieben, kann vom Wortgenerator oder dem Mikrocontroller (vgl. Abschnitt 4.1.1.2) aus geschehen. Vom Wortgenerator können die Register mit größerer Geschwindigkeit geladen werden als vom Mikrocontroller aus. Bei Beschalten der Clear-Register-Eingänge von Mikrocontroller aus stehen am Wortgenerator 8 Kanäle für die Beschaltung weitere Eingänge zur Verfügung, die ansonsten zum Laden der Register benötigt würden. Um die Funktion der Clear-Register möglichst vollständig zu untersuchen, werden 12 verschiedene Ladezustände untersucht:

- kein Pad gelöscht (mit oder ohne $\overline{\text{AllSet}}$),
- alle Pads gelöscht (mit oder ohne $\overline{\text{AllUnset}}$),
- alle Pads des 1. oder 2. Zyklus gelöscht,
- alle MU3-Pads gelöscht,
- alle MU4-Pads (MU4L, MU4M und MU4R) gelöscht,
- alle MU4L- oder MU4M- oder MU4R-Pads gelöscht,
- jedes zweite Pad gelöscht (gerade oder ungerade).

Da die Ausgangssignale, bevor sie den Baustein verlassen, die Veroderungs- und die Koinzidenz-Stufe des Designs passieren, werden alle Eingänge (M3, M4L/M/R) mit **1** beschaltet. Diese Beeinflussung der Eingangssignale durch die beiden genannten Stufen ist leicht nachvollziehbar. Die Messungen müssen immer unter der Maßgabe erfolgen, daß Veroderung und Koinzidenzbildung korrekt erfolgen. Die Vielfalt der verschiedenen Eingangsdatensätze wird mit hoher Wahrscheinlichkeit nur bei fehlerfreier Funktion der Clear-Register zu korrekten Ergebnissen führen und nicht etwa durch zufällige Kompensation von Fehlern in verschiedenen logischen Blöcken.

Werden die Clear-Register vom Mikrocontroller geladen, treten bei einer einzigen Messung logische Fehler auf. Abbildung 6.3 zeigt den Auschnitt einer Messung, bei der alle Clear-Register mit Hilfe des $\overline{\text{AllUnset}}$-Signals auf **0** gesetzt sind. Folglich müßten alle Koinzidenz- und Pattern-Kanäle gelöscht werden. Dies ist jedoch nicht der Fall. Neben einigen kurzen Störungen zu Beginn der Messung werden Coinc 11, Pat L 10 und 11 nicht gelöscht (siehe Pfeile in der Abbildung). Wegen der Veroderung der Pads M4L 10 und M4L 11 zu Pat L 10 wird bei einem Treffer auf M4L 11 sowohl Pat L 10 als auch Pat L 11 gesetzt (vgl. Messungen zur Veroderung im folgenden Abschnitt). Wie die entsprechende Messung der anderen Pattern-Knäle zeigt, läßt das $\overline{\text{AllUnset}}$-Signal neben den Pads M3 10 und M4L 10 auch M4M 10 und M4R 10 ungelöscht. Da

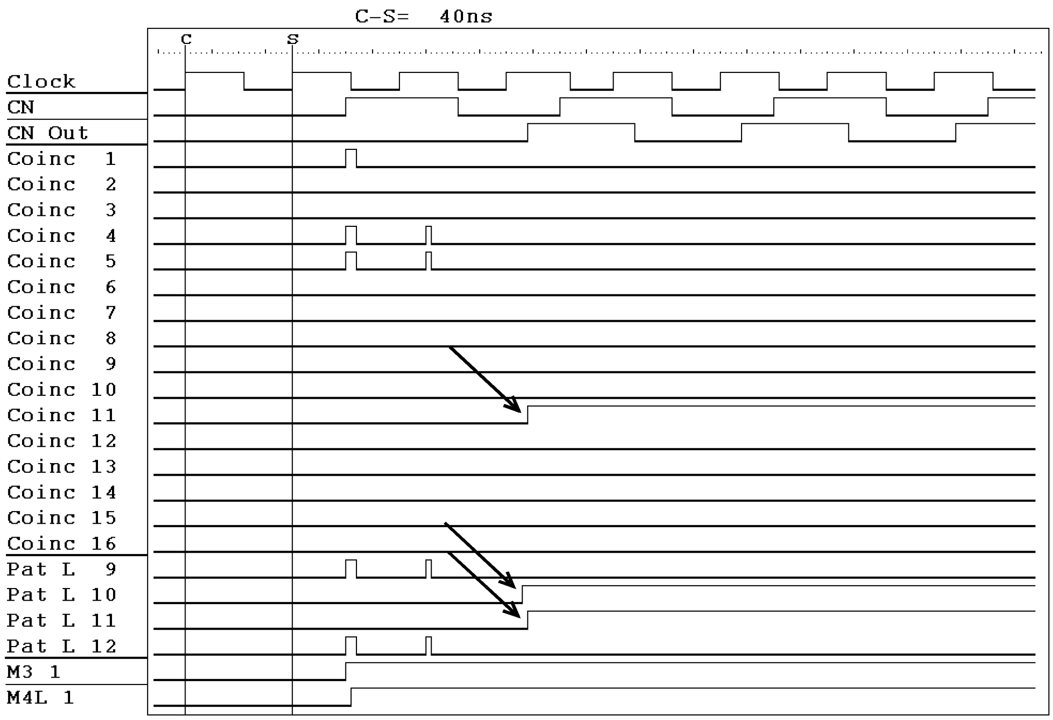


Abb. 6.3: Messung zur Clear-Register-Funktion.Unter Verwendung des $\overline{\text{AllUnset}}$-Signales sollen alle Pads gelöscht werden. Diese Messung zeigt, daß Coinc 11, Pat L 10 und 11 offenbar fehlerhaft reagieren. Alle anderen Coinc- und Pat L-Ausgänge bleiben auf **0**. Pat L 1 bis 8 und 13 bis 16 sind aus Platzgründen nicht gezeigt. Das M3 1- und das M4L 1-Eingangssignal markieren den Startpunkt der Dateneingabe.

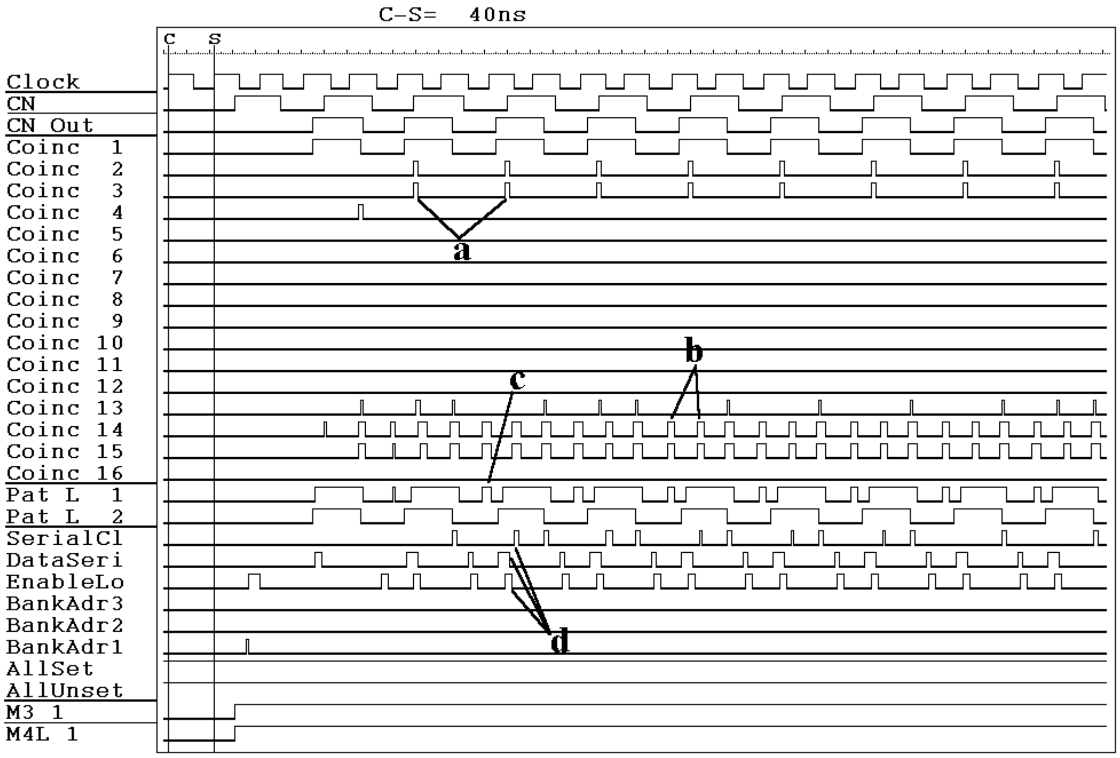


Abb. 6.4: Messung zur Funktion der Clear-Register. Es wird versucht, alle Daten mit CN = 0 zu löschen, was nur auf zwei Kanälen (Coinc 1, Pat L 2) erfolgt. Es sind aber Störsignale verschiedener Frequenzen (a, b, c) auf den Datenausgängen zu sehen, insbesondere (d) auf den Steuerkanälen der Clear-Register. Die Eingangssignale M3 1 und M4L 1 markieren der Startpunkt der Dateneingabe. Die übrigen Pat L-Ausgänge sind aus Platzgründen nicht dargestellt.

bei Löschen aller Clear-Register ohne Verwendung des $\overline{\text{AllUnset}}$-Signals keine Fehler auftreten, muß ein Fehler bei der Programmierung dieses Designs vorliegen.

Die kurzen Störungen bei Anlegen der Eingangsdaten (M3 1 und M4L 1 dienen als Zeitreferenz) sind typisch für Situationen, in denen viele Kanäle gleichzeitig ihr logisches Niveau ändern, was zu Übersprechen auf andere Kanäle führt. Da sie nicht gleichzeitig mit positiven Taktflanken auftreten, führen sie nicht zu fehlerhaften Ausgangssignalen.

Alle anderen Messungen, bei denen die Clear-Register vom Mikrocontroller aus geladen werden, lassen auf ein ansonsten fehlerloses Funktionieren dieser logischen Stufe schließen, wohingegen beim Laden der Clear-Register mit dem Wortgenerator erhebliche Schwierigkeiten auftreten. Abbildung 6.4 zeigt eine Messung, bei der alle Kanäle (M3, M4L, M4M und M4R) des ersten Zyklus (CN = 0) gelöscht werden sollen, während der zweite Zyklus unverändert bleibt. Die Messung, bei der die Coinc- und Pat L-Ausgänge gemessen werden, zeigt, daß nur zwei Kanälen (Coinc 1, Pat L 2) das korrekte Verhalten zeigen. Andere Kanäle zeigen Störungen, die mit der Taktfrequenz von 25 MHz (a) oder der halben Taktfrequenz (b, c) auftreten. Dies deutet auf Übersprecheffekte hin. Diese sind höchstwahrscheinlich auch für die fehlerhaften Ausgänge verantwortlich, was sich bei Betrachtung der Störungen der Signale, mit denen die Clear-Register geladen werden (SerialClock bis BankAdr 1), offenbart (d). Die fehlerhafte Funktion der Clear-Register hängt mit der Frequenz, mit der sie geladen werden (SerialClock-Signal) nicht zusammen. Dies zeigen Messungen, bei denen die Clear-Register mit einer Frequenz von 25 kHz geladen worden sind, und deren Ergebnisse ebenso fehlerhaft sind, wie die in Abbildung 6.4 dargestellten. Dagegen besteht ein klarer Zusammenhang mit der Taktrate der Dateneingabe (Clock-Signal). Messungen, bei denen zunächst mit einer Taktrate von 12,5 MHz und direkt anschließend mit 25 MHz M3- und M4-Daten eingegeben werden, sind i. d. R. im ersten Teil (12,5 MHz) fehlerfrei, im zweiten Teil (25 MHz) dagegen vergleichbar mit der hier dargestellten Messung. In Abschnitt 5.3 ist gezeigt worden, daß das Übersprechen bei 25 MHz am stärksten ausgeprägt ist, ausgenommen das Übersprechen innerhalb der Treiber-Tastköpfe, wo bei 12,5 MHz ein größerer Effekt auftritt als bei 25 MHz. Dieser Kopplungsmechanismus kann jedoch bei der dargestellten Meßreihe weitgehend ausgeschlossen werden, da die Kanäle zum Laden der Clear-Register an einem separaten Treiber-Tastkopf liegen und sich während der Eingabe der M3-/M4-Daten nicht verändern.

Da bei Verwendung der Clear-Register zum Löschen ganzer Zyklen alle Coinc- und Pattern-Ausgangssignale gleichzeitig und ständig ihr logisches Niveau ändern, sind die Übersprecheffekte sehr groß. Verglichen mit anderen Mustern für das Laden der Clear-Register sind bei diesen Messungen die Störungen am größten. Bei den anderen Mustern treten aber auch fehlerhafte Ausgangssignale auf.

Kleinere Fehler im Design, wie aus Abbildung 6.3 ersichtlich, konnten auf einfache Weise behoben werden. Die nachgewiesene Störanfälligkeit der Signale, die zum Laden der Clear-Register dienen, zwingt zu einer veränderten Konstruktion dieses logischen Blocks, wie sie in der Zwischenzeit durchgeführt worden ist. Abgesehen von diesen Störungen wird gezeigt, daß die Clear-Register ihre logische Funktion, Pads zu löschen, erfüllen.

6.1.3 Paarweise Veroderung der MU4-Daten

Die zweite logische Stufe der Koinzidenzbildung ist die paarweise Veroderung der MU4-Pads. Für diese Messung werden, wie für alle anderen, bei denen die Clear-Register nicht getestet werden sollen, alle Clear-Register mit **1**en geladen. Dies geschieht vom Mikrocontroller aus, um mehr Kanäle des Logikanalysators für die Messungen zur Verfügung zu haben und um Übersprecheffekte zu vermeiden.

Abbildung 6.5 zeigt eine der Messungen, mit denen die Veroderung getestet wird. Teil (a) stellt die Wortgenerator-Ausgabedaten dieser Meßreihe dar, deren Aufbau typisch für alle Messungen ist. Sie sind aus mehreren Teilen zusammengesetzt; jeder Teil besteht aus möglichst einfachen Mustern, mit denen viele Funktionen getestet werden können. Sie sind mit Hilfe einer Script-Sprache programmiert worden. Im gezeigten Beispiel werden alle M3-Daten auf **1** gesetzt (Busdarstellung FFFF entspricht $16 \cdot \mathbf{1}$), bei M4L und M4R alle Kanäle gelöscht und auf den M4M-Ausgängen die dargestellten Muster ausgegeben. Teil (b) der Abbildung zeigt das Ergebnis bei Ausgabe des markierten ersten Teils der Wortgenerator-Daten. Jeder gesetzte M4M-Kanal verursacht

(a)

(b)

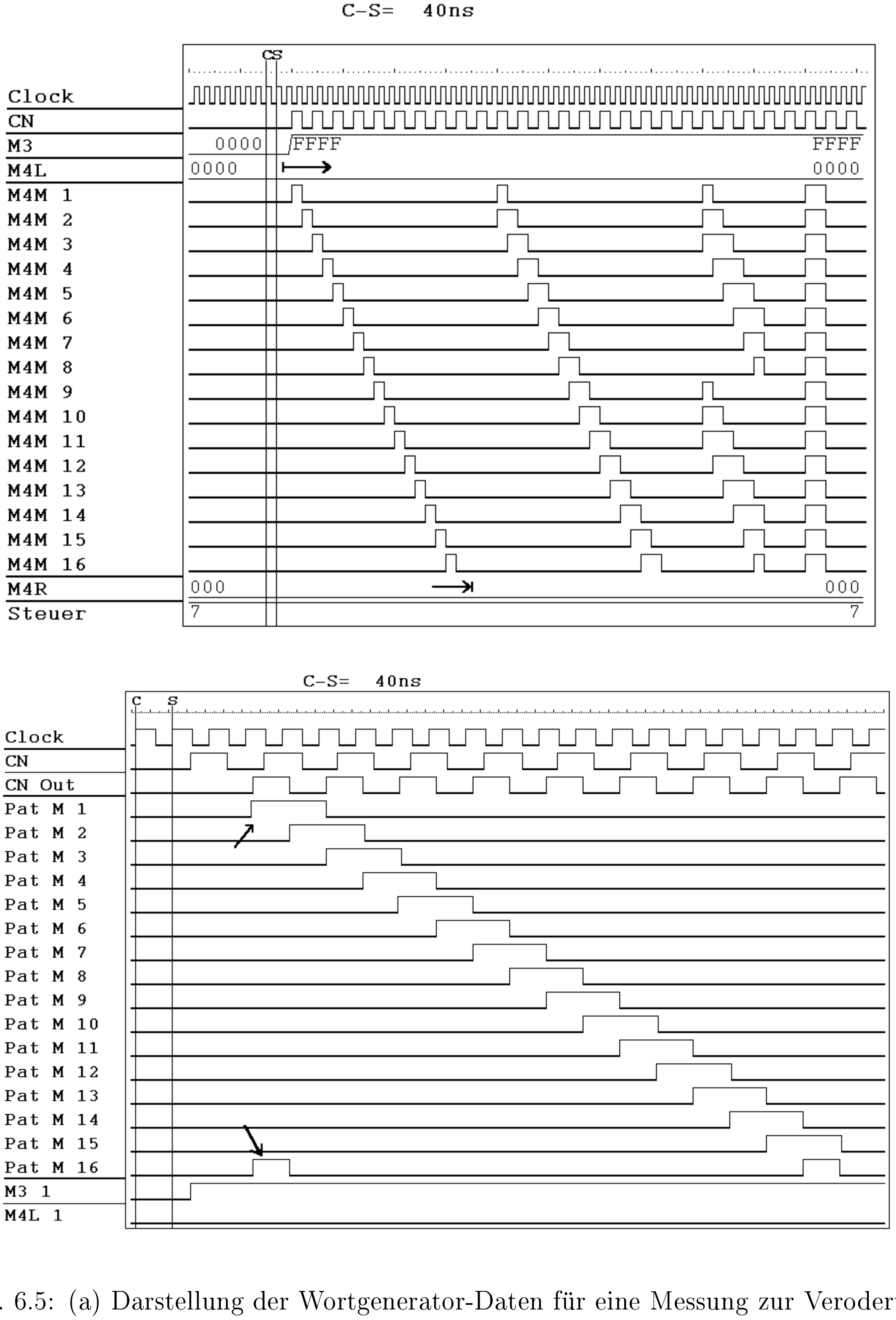


Abb. 6.5: (a) Darstellung der Wortgenerator-Daten für eine Messung zur Veroderung der MU4-Daten und (b) des Meßergebnisses für den ersten Teil der Wortgenerator-Daten (siehe Pfeile in (a)). Die Pfeile in Teil (b) markieren die Verbindung von 1. und 16. Bit der Pattern-Kanäle. In Teil (a) sind die M3-, M4L und M4M-Eingangssignale in Busdarstellung dargestellt.

zwei gesetzte Pattern-Kanäle, da jedes MU4-Pad in jeder Spalte zwei Mal verodert wird. Aus Gründen der Vereinfachung des Schaltungsaufbaus wird beim Setzen von M4M 1 neben Pat M 1 auch PatM 16 auf **1** gesetzt. Dies verursacht keine Fehler, da eine Halbspalte von MU3 nur aus 15 Pads besteht und das 16. Bit nach dem Ausgang des FLEX 1-Designs nicht weiterverarbeitet wird.

Ebenso wie die hier gezeigte Messung bestätigen weitere Messungen, daß dieser Teil der Koinzidenzbildung fehlerfrei funktioniert.

6.1.4 Koinzidenzbildung

Die eigentliche Koinzidenzbildung erfolgt im letzten Teil des FLEX 1-Designs. Hier ist die Vielfalt möglicher Muster, die zu verarbeiten sind, besonders groß, weshalb der Aufwand für die Messungen dieser logischen Stufe besonders hoch ist.

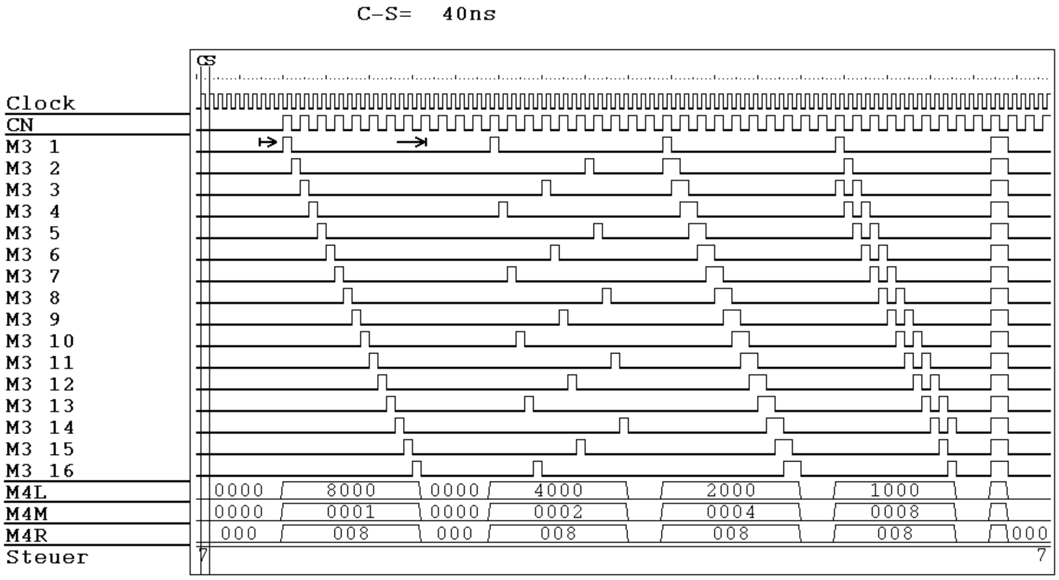
Ein Beispiel ist in Abbildung 6.6 zu sehen. In (a) sind die Wortgenerator-Ausgabedaten zu sehen, in (b) die Meßergebnisse für den ersten Teil – gekennzeichnet durch die beiden Pfeile in Teil (a). Die gezeigten Muster auf den M3-Kanälen stellen regelmäßige Kombinationen von Treffern dar. Von den M4L- und M4M-Kanälen ist jeweils einer mit **1** beschaltet, während alle anderen auf **0** gesetzt sind. Anhand der Busdarstellung läßt sich erkennen, welcher Kanal beschaltet ist: 8000_{hex} bedeutet, daß der erste Kanal auf **1** gesetzt ist, 4000_{hex} heißt, daß der zweite auf **1** gesetzt ist, usw. Bei den M4R-Kanälen ist immer nur der M4R 8-Kanal mit **1** beschaltet. Daß bei der Busdarstellung M4R nur mit drei und nicht mit vier Zahlen bezeichnet wird, liegt daran, daß M4R 12 bis 16 nicht vom Wortgenerator, sondern über eine der externen Platinen beschaltet werden. Beim ersten Abschnitt der Ausgabedaten, deren Messung in (b) dargestellt ist, sind – neben den M3-Kanälen – M4L 1, M4M 16 und M4R 8 gesetzt.

Wenn auf M3 1 und M4L 1 zugleich **1** anliegen, führt dies zu einer Koinzidenz auf Coinc 1 bei der ersten positiven Taktflanke, bei der Daten ausgegeben werden (Markierung „1“ in der Abbildung). M4M 8 trägt aufgrund der paarweisen Veroderung zu zwei Koinzidenzen bei („7“ und „8“). Ebenso verursacht M4R 16 zwei Koinzidenzen an den Stellen, an denen die passenden M3-Kanäle gesetzt sind („15“ und „16“), von denen aber eine („16“) nach dem Ausgang des FLEX 1-Designs nicht weiter verarbeitet wird.

Abbildung 6.7 zeigt zum Vergleich eine Messung, bei der die M3-Daten wie in Abbildung 6.6 (b) verwendet werden, aber alle M4-Kanäle mit **1** beschaltet sind, so daß die Koinzidenzen den Verlauf der M3-Eingangsdaten widerspiegeln.

Wegen der großen Zahl von Eingangssignalen, die die Koinzidenzbildung beeinflussen, ist die Zahl der Möglichkeiten, die es zu testen gilt, sehr groß. Alle diese Messungen, die im Rahmen dieser Arbeit nicht annähernd beschrieben werden können, zeigen, daß keine logischen Fehler bei der Bildung von Koinzidenzen auftreten.

(a)



(b)

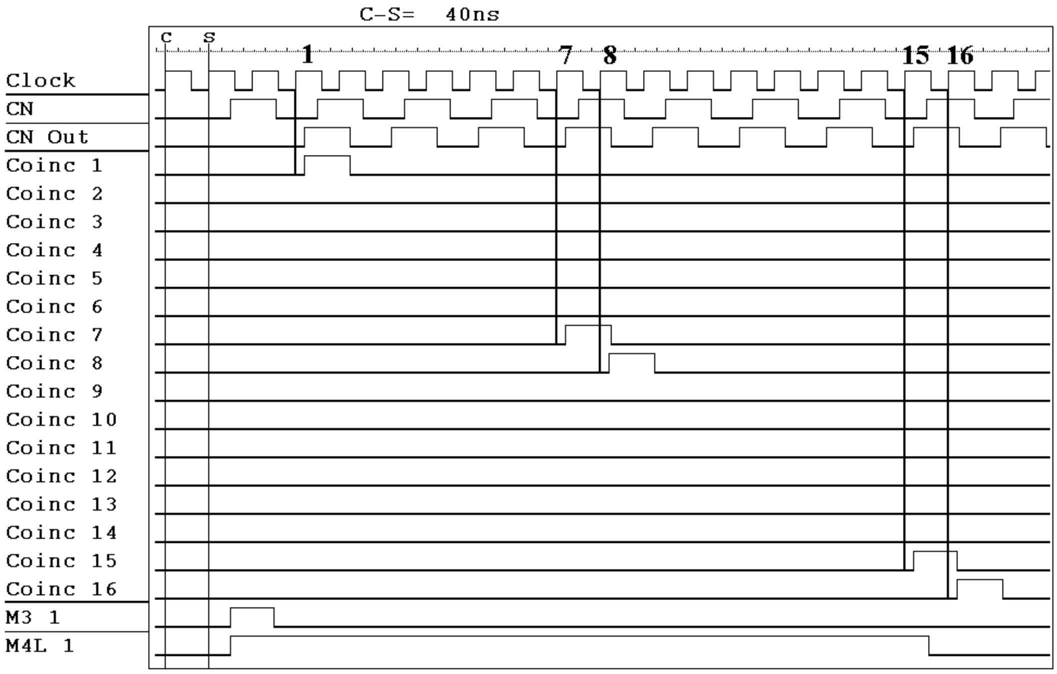


Abb. 6.6: (a) Darstellung der Wortgenerator-Daten für eine Messung zur Koinzidenzbildung und (b) das Meßergebnis für den ersten Teil (vgl. Pfeil in (a)). In Teil (a) sind aus Platzgründen die M4L-, M4M- und M4R-Eingangssignale in Busdarstellung gezeigt.

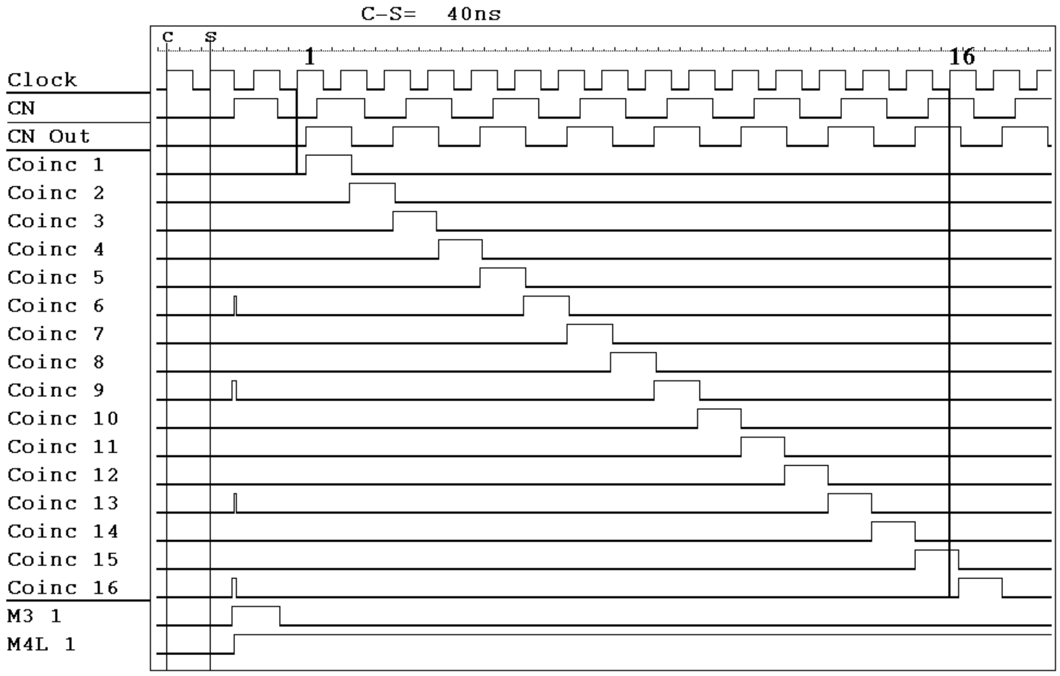


Abb. 6.7: Ergebnis einer Messung, bei der im Unterschied zu der in Abbildung 6.6 gezeigten alle M4-Kanäle mit **1** beschaltet sind. Die Störungen zu Beginn der Messung (Kanäle Coinc 6 9 und 13) lassen sich mit den Ergebnissen aus Kapitel 5.3 erklären.

6.1.5 Steuersignale

Die Funktionen der Steuersignale $\overline{\text{Clear}}$, $\overline{\text{EmptyState}}$ und EnablePipe, die in Tabelle 3.1 zusammengefaßt sind, müssen anhand aller Ein- und Ausgangsregister überprüft werden, d. h. sowohl für die BX-Nummer als auch für die Koinzidenz- und Pattern-Kanäle.

Beispielhaft wird eine Messung zur Funktion des $\overline{\text{EmptyState}}$-Signals dargestellt. Bei Anlegen von **0** an diesem Signal sollen alle Eingangsregister (M3, M4L/M/R, BX) und das BX-Ausgangsregister gelöscht werden.

Abbildung 6.8 zeigt das Ergebnis dieser Messung. Alle M4-Eingänge werden auf **1** gesetzt, weshalb das erkennbare Muster der Coinc-Ausgänge das Abbild des Musters der M3-Eingänge darstellt. Der linke Teil des gezeigten Meßausschnittes zeigt die Ausgabe der Daten ohne Einwirken eines Steuersignales. Beim rechten Teil markieren die Pfeile (a) die Verwendung des $\overline{\text{EmptyState}}$-Signals bei Eingabe der ansonsten gleichen Daten wie im linken Teil. Wenn an dieser Stelle alle Eingangsregister gelöscht werden, muß sich dies nach der darauffolgenden positiven Taktflanke am Ausgang auswirken. Die Messung zeigt, daß 8 ns nach dieser Taktflanke alle Coinc-Ausgänge gelöscht sind. (3. Doppelpfeil). Wird das $\overline{\text{EmptyState}}$-Signal wieder auf **1** gesetzt, können bei der ersten folgenden positiven Taktflanke die anstehenden Daten in die Eingangsregister geschrieben und nach der zweiten positiven Taktflanke ausgegeben werden (4. Doppelpfeil). Auch dies funktioniert fehlerfrei. Zur Verdeutlichung

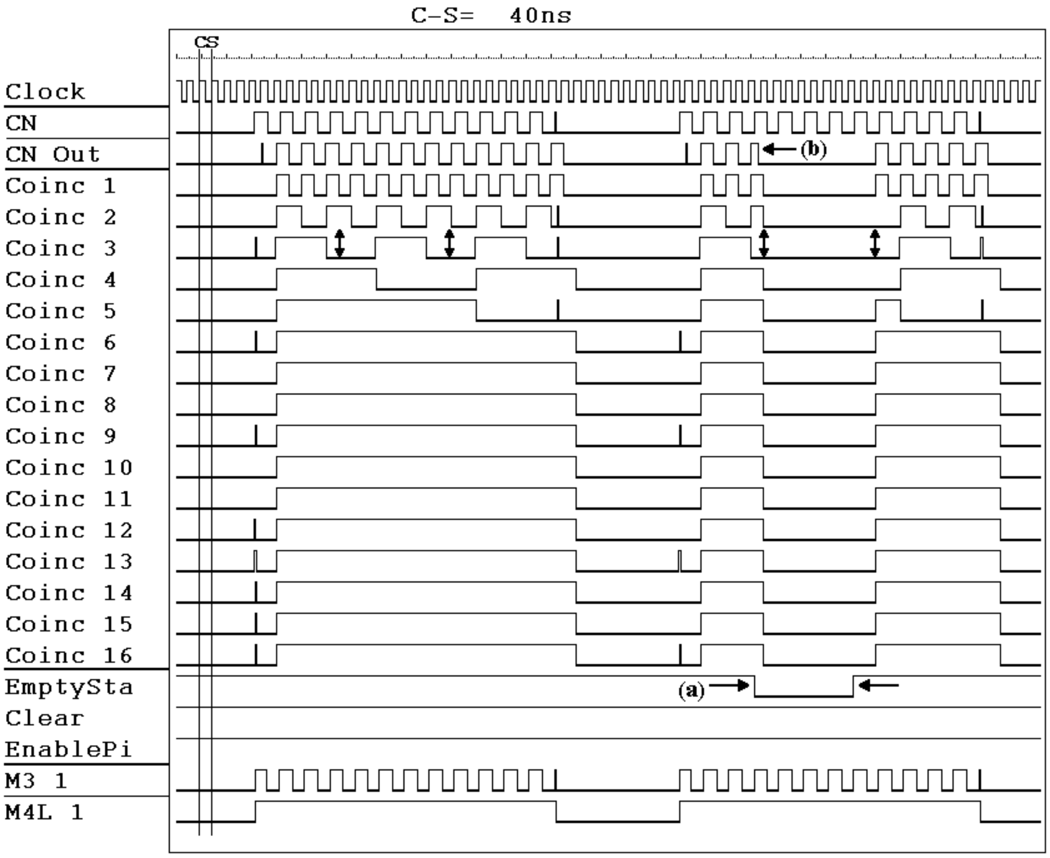


Abb. 6.8: Darstellung der Funktion des Steuersignals $\overline{\text{EmptyState}}$ anhand der Koinzidenz-Ausgänge. Während des ersten Teiles sind alle Steuersignale inaktiv, beim zweiten Teil wird $\overline{\text{EmptyState}}$ wie markiert auf **0** gesetzt. Die Doppelpfeile markieren in beiden Teilen den gleichen Zeitabschnitt.

des Unterschiedes sind die beiden Doppelpfeile im ersten Teil an den entsprechenden Stellen eingezeichnet (1. und 2. Doppelpfeil). Die Zyklusnummer wird bereits 4 ns vor den Koinzidenz-Kanälen gelöscht (vgl. Pfeil (b)). Da $\overline{\text{EmptyState}}$ bei der BX-Nummer nicht nur das Ein-, sondern auch das Ausgangsregister löscht, wirkt sich dies schneller an den Ausgängen des Bausteins aus.

Analoge Messungen mit den $\overline{\text{Clear}}$- und EnablePipe-Signalen zeigen, daß die Steuersignale auf alle Register wie geplant wirken.

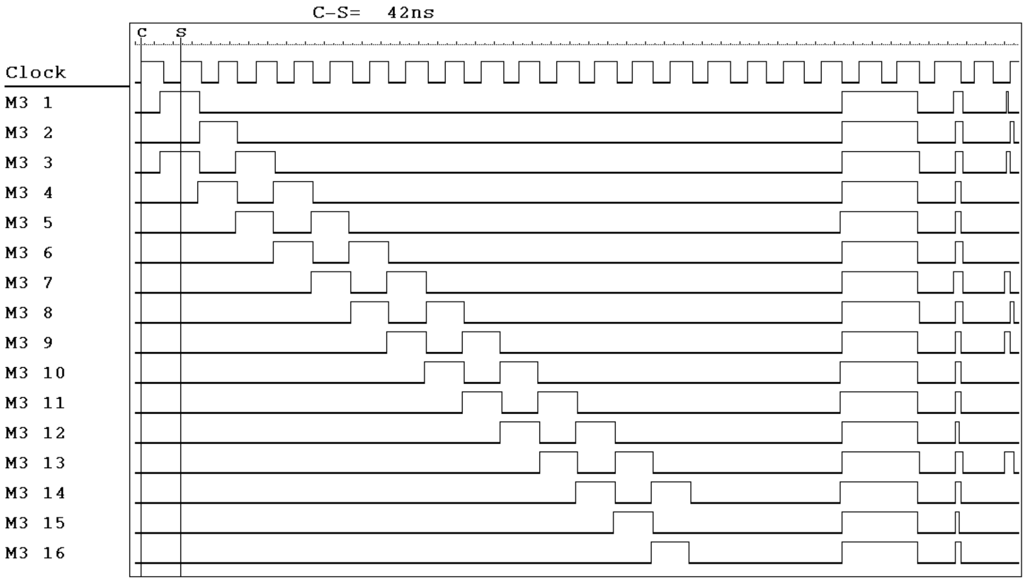
6.1.6 Messungen der Eingangssignale für den FLEX 8000-Baustein

Für alle Messungen, bei denen nur die Ausgangssignale und wenige Eingangssignale gemessen werden können, werden alle Eingangssignale in einer separaten Meßreihe untersucht. Dies dient dazu, auftretende Störungen bei den Ausgangsdaten erklären und mögliche Quellen apparativen Übersprechens lokalisieren zu können. Die Bedeutung dieser Messungen kann an Abbildung 6.2 ersehen werden: Die bei dieser Messung aufgetretenen Fehler wären ohne Wissen um die Unterschiede zwischen dem BX 8- und den anderen BX-Eingangssignalen nicht erklärbar gewesen.

Die Wortgenerator-Ausgangsdaten, die im rechten Teil von Abbildung 6.6 (a) dargestellt sind, erscheinen am Eingang des FLEX 8000-Bausteins wie in Abbildung 6.9 zu sehen. Teil (a) zeigt die Messung mit einer Spannungsschwelle von + 1,4 V für die Unterscheidung zwischen **0** und **1**. Diese Spannungsschwelle wird vom Logikanalysator für die Messungen von TTL-Signalen verwendet. Sie liegt genau in der Mitte der „verbotenen Zone“ zwischen + 0,4 V und + 2,4 V: Unterhalb von + 0,4 V werden Signale als **0**, oberhalb von + 2,4 V als **1** erkannt.

Nachdem alle M3- und M4-Kanäle gleichzeitig von **1** auf **0** übergehen, wie im rechten

(a)



(b)

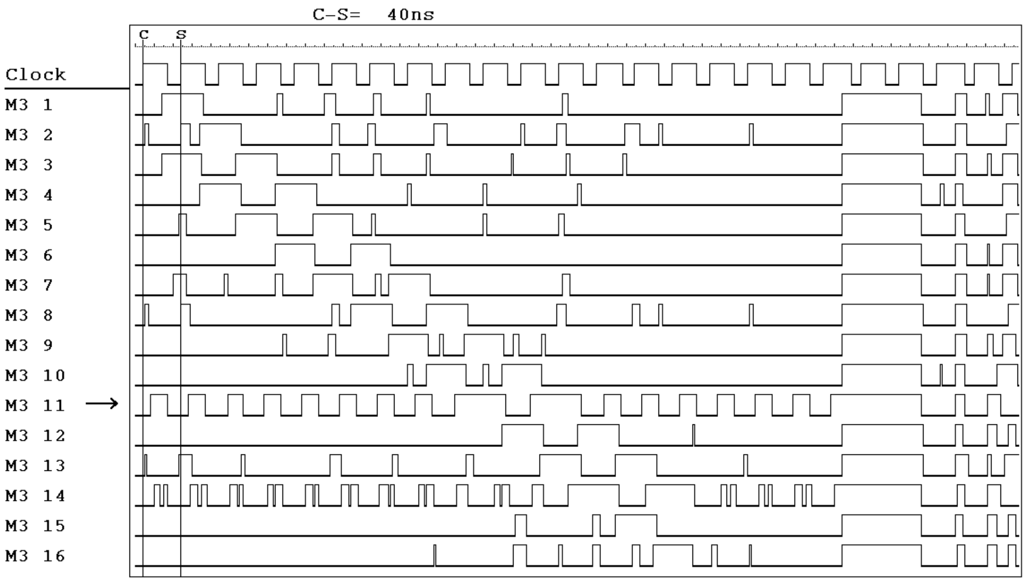


Abb. 6.9: Darstellung der FLEX 8000 -Eingangssignale einer Messung zu den Koinzidenzeigenschaften. Die Spannungsschwelle liegt bei + 1,4 V (a) bzw. + 0,4 V (b).

Teil der Abbildung zu sehen, treten auf allen Eingangskanälen Störungen auf. Selbst bei Messungen mit einer Spannungsschwelle von + 3,4 V sind noch zwei dieser Störpulse nachweisbar. In Teil (b) von Abbildung 6.9, der die Messung mit einer Spannungsschwelle + 0,4 V zeigt, sind neben den geschilderten noch viele weitere Störungen zu sehen. Insbesondere das M3 11-Signal (Pfeil) weist sehr regelmäßige Störungen auf, die mit der Frequenz der Taktrate von 25 MHz auftreten. Dieser Kanal wird von demselben Treiber-Tastkopf beschaltet wie auch das Taktsignal und befindet sich nur wenig von diesem entfernt – Pin-Nr. 121 verglichen mit 130 für das Taktsignal. Deshalb sind die Zuleitungen nahe beinander, was ebenfalls Übersprechen begünstigt. Dieses Störsignal ist, im Gegensatz zu den zuerst beschriebenen, bereits bei einer Spannungsschwelle von + 0,8 V auf digitaler Ebene „unsichtbar".

Wie andere Messungen zeigt auch diese, daß das Auftreten von Störungen der Ein- oder Ausgangskanäle durch Übersprechen in erster Linie von der Zahl der Kanäle abhängig ist, die ihr logisches Niveau ändern. Ist diese Zahl groß, treten auf logischer Ebene sichtbare Störungen auf, die zu fehlerhaften Ausgangssignalen führen können, wenn sie z. B. das Taktsignal stören. Solche Störungen sind nicht vermeidbar, sie liegen in der Architektur der Meßapparatur begründet. Störungen, die dagegen von nur einem Sendersignal ausgehen – wie die zuletzt geschilderten – sind weniger schwerwiegend, da die Störamplituden unter + 1,4 liegen. Dieser Wert wird jedoch überschritten, wenn die Störungen von Gruppen von Kanälen ausgehen, deren Perioden Vielfache der gleichen Grundfrequenz sind. Übersprecheffekte lassen sich hier reduzieren, indem solche Signalgruppen, wie z. B. die BX-Nummer, nicht vom selben Treiber-Tastkopf ausgegeben werden.

Die Messungen des FLEX 1-Designs zeigen, daß, abgesehen von einem kleinen Fehler bei Verwendung der Clear-Register (vgl. Abschnitt 6.1.2 Abbildung 6.3), alle logischen Blöcke einwandfrei arbeiten. Wegen der Störanfälligkeit der Clear-Register muß der Aufbau dieses Blockes jedoch überdacht werden. Daneben haben Untersuchungen der auftretenden Störungen gezeigt, daß insbesondere das Taktsignal abgeschirmt werden muß, um eine korrekte Funktionsweise zu gewährleisten.

6.2 Logische Tests des FLEX 2-Designs

Die Hauptaufgabe des FLEX 2-Designs ist die Zuordnung der Pattern zu den entsprechenden gefundenen Koinzidenzen, die in Form von maximal 8 LuT-Adressen anliegen. Zentraler logischer Teil ist eine Multiplex-Einheit, der als Dateneingänge die Pattern und als Adressierungseingänge die LuT-Adressen dienen, wie Abbildung A.2 und Tabelle 3.3 zeigen. Daneben werden in einer späteren Stufe die benötigten Signalgruppen durchgetaktet.

Die Testmessungen des FLEX 2-Designs unterscheiden sich von den bisher beschriebenen dadurch, daß einerseits noch mehr Eingänge beschaltet werden müssen, andererseits der Aufbau logisch einfacher ist und die Verarbeitungsstufe, der Multiplexer, über Ein- und Ausgangsregister direkt beschaltbar ist.

6.2.1 Durchtakten von BX-Nummer, LuT-Summe und -Adressen

Analog zur BX-Nummer im FLEX 1-Design werden die BX-Nummer, die LuT-Summe und 8 LuT-Adressen bei der – das FLEX 1-Design eingerechnet – dritten positiven Taktflanke eingelesen und bei der folgenden in die Ausgangsregister geschrieben. Die Messungen verlaufen in Analogie zu den in Abschnitt 6.1.1 beschriebenen.

Aus diesem Grund werden an dieser Stelle keine Meßergebnisse gezeigt, sondern es wird nur festgehalten, daß alle Funktionen fehlerfrei funktionieren, insbesondere in ihrem zeitlichen Ablauf.

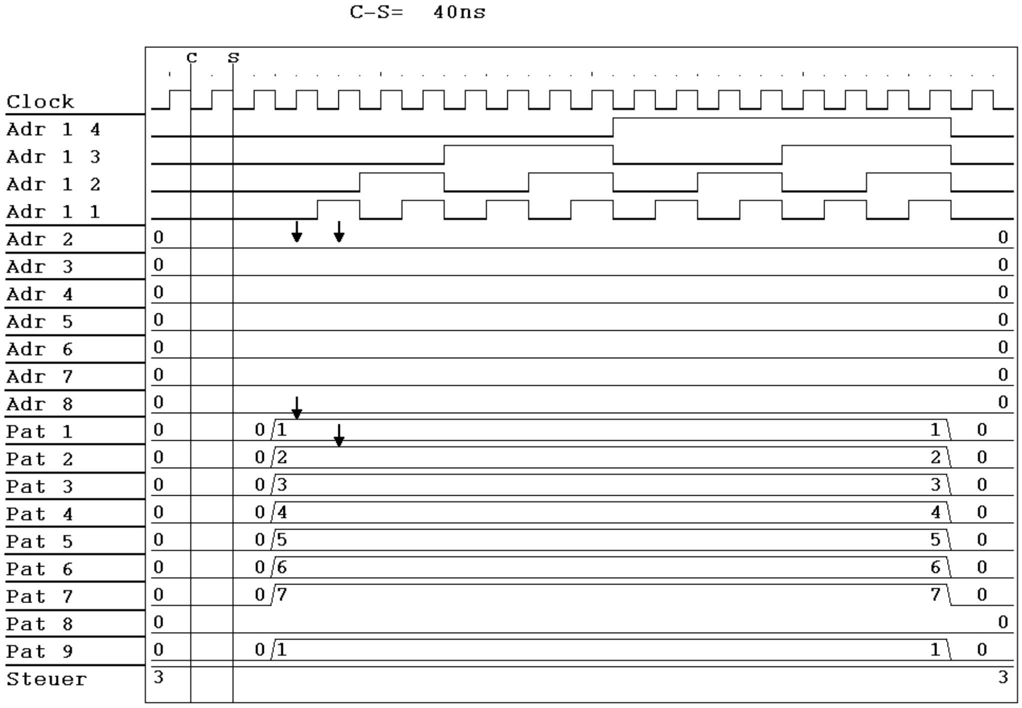
6.2.2 Multiplexen von Pattern

Eine fehlerhafte Zuordnung der Pattern zu den LuT-Adressen würde alle zuvor korrekt durchgeführten Operationen nachträglich verfälschen. Deshalb werden ausführliche Testmessungen durchgeführt, wobei die hauptsächlichen Schwierigkeiten in der großen Zahl von Eingangskanälen und der schwierigen Auswertung liegen. Wenn sowohl Adreß- als auch Pattern-Eingänge variieren, werden die Ausgangsdaten unanschaulich und unübersichtlich.

Eine Messung ist in Abbildung 6.10 dokumentiert. Teil (a) zeigt die Wortgenerator-Ausgangsdaten, Teil (b) die entsprechende Messung. Die Pattern-Ausgänge sind in jedem Abschnitt mit einem konstanten Wert beschaltet, Pat 1 mit **001**, Pat 2 mit **010**, ..., Pat 9 mit **001** vom Wortgenerator, Pat 10 bis 16 analog von einer externen Platine. Es wird nur Adr 1 mit mit wechselnden Mustern beschaltet, sie werden von **0000** $= 0_{dez}$ bis **1111** $= 15_{dez}$ bei jedem Takt um eins erhöht. Die höchste Adresse kann von der LuT nicht generiert werden, da nur 15 Koinzidenz-Kanäle nach dem Ausgang des FLEX 1-Designs weiterverarbeitet werden. Liegt an Adr 1 der Wert 0_{dez} an (1. Pfeil in Abbildung 6.10 (a)) muß dieser Adresse der Wert des 1. Pattern (Pat 1) zugeordnet werden, liegt an Adr 1 der Wert 1_{dez} an (2. Pfeil in (a), entsprechend der Wert von Pat 2, usw. bis zu 15_{dez} und Pat 16. Wegen der Werte auf den Pattern-Eingängen bedeutet dies, daß bei der Messung (b) auf dem Pattern-Ausgang, der zum variierenden Adreßeingang gehört (Pat Q A zu Adr 1, Pat Q B zu Adr 2, usw.), eine von **001** bis **000** pro Takt um eins erhöhte 3 Bit-Binärzahl anliegen muß. Die beiden abwärtszeigenden Pfeile in Teil (b) der Abbildung markieren dieselben Zeitpunkte wie die in Teil (a). Der 1. aufwärtszeigende Pfeil zeigt das Ergebnis der Eingangsdaten beim 1. abwärtszeigenden an, der zweite entsprechend. An den übrigen Pattern-Ausgängen steht jeweils **001** an, weil die zugehörigen Adreßeingänge mit **0000** beschaltet sind, was die Auswahl der Daten des Pat 1-Einganges bewirkt.

Alle durchgeführten Messungen zeigen, daß das Zuordnen von Pattern zu Adressen immer korrekt erfolgt. Auch die Steuereingänge $\overline{\text{Clear}}$ und Enable funktionieren einwandfrei.

(a)



(b)

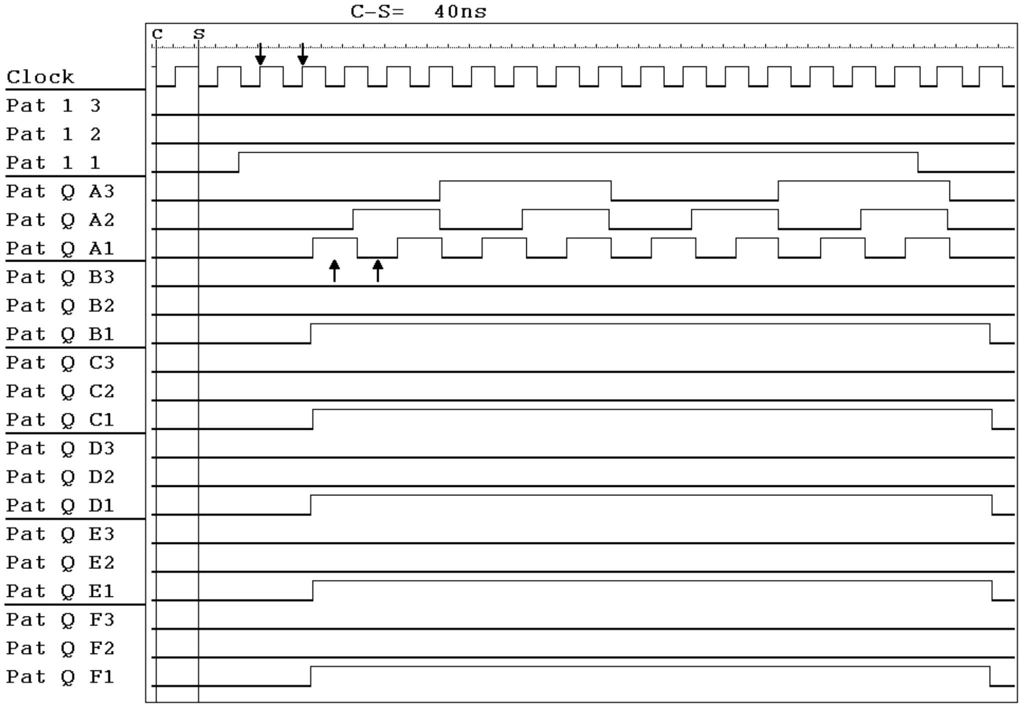


Abb. 6.10: Messung zu den Multiplexeigenschaften des FLEX 2-Designs bei einer Taktrate von 25 MHz. Dabei liegt auf allen Pattern-Kanälen ein konstantes Signal, während der Adr 1-Eingang variiert wird. In (a) ist ein Ausschnitt der Wortgenerator-Daten zu sehen, die zugehörige Messung findet sich in (b). In Teil (a) sind, bis auf die Adr 1-Eingangssignale, alle Signalgruppen in Busdarstellung angegeben.

Fehlerhafte Beschaltung des FLEX 8000-Bausteins

Weiterhin ist getestet worden, wie sich das fehlerhafte Beschalten eines Ausgangs des FLEX 8000-Bausteins als Eingang auswirkt. Aufgrund der Großzahl von Wortgenerator-Aus- und Logikanalysator-Eingangskanälen, die für jeden Meßaufbau von neuem mit den Steckerleisten des FLEX 8000-Bausteins verbunden werden müssen, kann es bei der in Abbildung 6.10 gezeigten Messung zu solch einer Situation gekommen. Statt des Eingangs Pat 4 1 ist der Ausgang Adr Q C3 beschaltet worden. Abbildung 6.11 zeigt den einzigen logischen Fehler, der bei dieser Messung beobachtet werden kann (1. Pfeil). Korrekt wäre hier hier der Zustand, wie er mit dem 2. Pfeil markiert ist. Dieser Fehler tritt an einer Stelle auf, die nur mittelbar mit einem der beiden verwechselten Kanäle zusammenhängt: Das Adr Q C3-Signal wird unabhängig von den Pat Q C-Signalen ausgegeben. Dies zeigt, mit welcher Vorsicht bei der Entwicklung der Platinen vorgegangen werden muß, auf denen der Myon-Pretrigger verwirklicht werden wird. Fehler in der Beschaltung können in logisch falschen Ausgangssignalen resultieren, deren Ursache schwierig zu ermitteln ist.

Die durchgeführten logischen Testmessungen des FLEX 2-Designs zeigen, daß alle Funktionen fehlerfrei ablaufen.

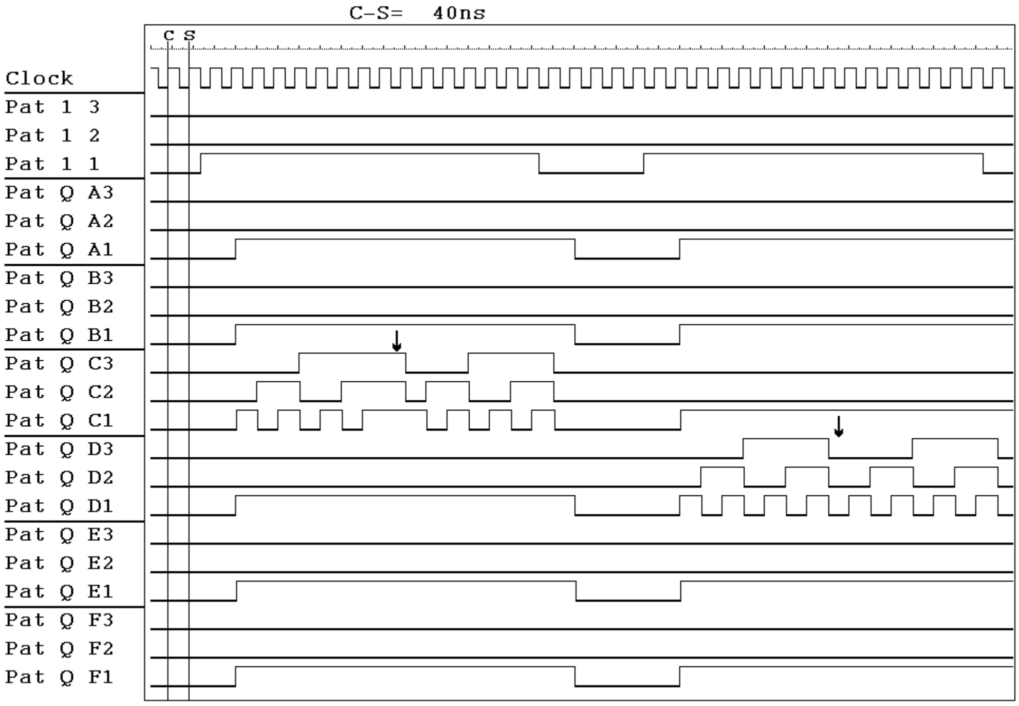


Abb. 6.11: Fehlerhaftes Ergebnis (1. Pfeil) bei Beschaltung eines Ausgangs- als Eingangskanal im Vergleich zu einem korrekten Ergebnis (2. Pfeil).

6.3 Abschließende Bemerkungen zu den logischen Testmessungen

Die logischen Testmessungen haben einen logischen Fehler in den beiden FLEX 8000-Designs aufgedeckt und Hinweise auf Stellen gegeben, deren Implementierung überdacht werden muß (Clear-Register). Im wesentlichen aber ist nachgewiesen worden, daß beide Designs die Erfordernisse der Myon-Pretrigger-Logik erfüllen.

Die Programmierung des FLEX 8000-Bausteins war zunächst nicht mit Hilfe der in dieser Arbeit erwähnten, sondern mit einem anderen Programm ausgeführt worden. Im Rahmen dieser Arbeit sind zunächst Testmessungen mit Hilfe der so erzeugten Konfiguration durchgeführt worden, die nachgewiesen haben, daß bei der Berechnung von Koinzidenzen erhebliche Fehler auftraten – im Widerspruch zu entsprechenden Simulationen. Da das verwendete Programm offenbar fehlerhaft war, mußte die Programmierung des FLEX 8000-Bausteins in der in Abschnitt 3.3 geschilderten Weise neu vorgenommen werden. Die Messungen, die diese Fehlfunktion beweisen, werden an dieser Stelle nicht im Detail dargestellt, da sich die damalige Schaltung erheblich von der in dieser Arbeit vorgestellten unterscheidet und zum Verständnis der Messungen zunächst diese Schaltung erklärt werden müßte.

Die Bedeutung der Testmessungen, die nicht durch Simulationen ersetzt, sondern lediglich ergänzt werden können, wird durch den Nachweis der Fehlfunktion der zuerst durchgeführten Programmierung ausdrücklich unterstrichen.

Kapitel 7

Simulationsrechnungen zum Myon-Pretrigger

Um nachzuweisen, daß die vorgestellte Myon-Pretrigger-Logik in der Lage ist, ihre Aufgabe zu erfüllen, wird in Ermangelung experimentell gewonnener Daten auf Simulationsdaten zurückgegriffen. Insbesondere die Zahl gefundener Koinzidenzen innerhalb einer Spalte und ihre Verteilung in aufeinanderfolgenden Zyklen (48 ns-Intervalle) spielen eine wichtige Rolle, da die Koinzidenzberechnung und Serialisierung spaltenweise erfolgt. Zum einen könnten in einer Halbspalte mehr als 8 Koinzidenzen auftreten, zum anderen könnten Daten-FIFOs überlaufen und damit Daten überschrieben werden, falls zu viele Koinzidenzen in einem Detektorteil in aufeinanderfolgenden Ereignissen aufträten. Zudem ist die Bearbeitungszeit des Myon-Pretriggers, wie in Abschnitt 3.3 dargestellt, abhängig von der Datenmenge, d. h. von der Anzahl gefundener Koinzidenzen pro Zeiteinheit.

7.1 Simulation von Ereignissen im HERA – B Detektor

Die primären Wechselwirkungsprodukte, die bei der Reaktion der Protonen mit dem internen Drahttarget entstehen, werden bei der Simulation mit einem sog. Ereignisgenerator erzeugt. Für HERA – B ist dies eine Kombination der Programmpakete JETSET [Sjö 93], PYTHIA [Sjö 93] und FRITIOF [Hon 93], die als LUND-Paket bezeichnet wird [Sof 96].[1] Die Grundlage aller dieser Programme ist die Erzeugung von Zufallszahlen[2], die auf Grundlage gemessener Wirkungsquerschnitte von inelastischen Proton-Nukleon-Wechselwirkungen verteilt sind. Mit Hilfe dieser Zufallszahlen werden die primären Wechselwirkungsprodukte in der Simulation generiert und zu sog. „Super-Ereignissen“ überlagert, um mehrere Wechselwirkungen pro Protonenpaket, das das interne Drahttarget passiert, simulieren zu können. Dabei werden im Mittel ein „goldener Zerfall“ und vier sog. Minimum Bias-Ereignisse überlagert, beide jeweils poissonverteilt

[1] Diese Simultionsprogramme wurden von einer Gruppe theoretischer Physiker entwickelt, die hauptsächlich aus Lund, Schweden, kommen.

[2] Deshalb auch als Monte Carlo-Simulation bezeichnet

[Wen 96]. Als Minimum Bias-Ereignisse werden dabei alle inelastischen Wechselwirkungen von Protonen mit dem Drahttarget bezeichnet. Die Weiterverfolgung der primären Teilchen und ihrer Wechselwirkungsprodukte erfolgt mit Hilfe des HBGEAN-Programmes [Now 95]. Dieses simuliert die Antwort des HERA – B Detektors bezüglich eines Ereignisses mit Hilfe des Programmes GEANT [CER 94], das die detaillierte Darstellung des Detektors erlaubt. Analog zum Generieren der primären Wechselwirkungsprodukte werden anhand der geometrischen (Detektor) und der physikalischen (Wirkungsquerschnitte der Teilchen in Materie) Eigenschaften die sekundären Teilchenwechselwirkungen simuliert. Für die hadronischen Wechselwirkungen wird das Programm GHEISHA[3] [Kle 88] verwendet, alle anderen Prozess, wie z. B. Vielfachstreuung oder δ-Elektronen, werden von GEANT simuliert. Die Simulation der Spur eines Sekundärteilchens wird abgebrochen, wenn es das Detektorvolumen verläßt oder seine Energie unter eine vom Benutzer einstellbare Schwellenenergie gefallen ist. In diesem Fall wird die Energie des betreffenden Teilchens lokal deponiert, wie es für niederenergetische Teilchen typisch ist. Die Informationen, welches Teilchen welcher Energie an welchem Ort einen Treffer im Detektor ausgelöst hat, kann für jede Detektorkomponente abgerufen werden.

Für die folgenden Untersuchungen werden die Informationen über Teilchenart und Impuls der Teilchen vernachlässigt. Dies entspricht der Situation auf Elektronikebene. 9 Datensätze mit jeweils ca. 450 simulierten Ereignissen (Bunch Crossings), die mit der

Tab. 7.1: Parameter der verwendeten Simulations-Datensätze [Wen 96].

Datensatz	Schwellenenergie für $e^{\pm}$, γ	Rauschen	Anzahl simulierter Ereignisse
A1	10 MeV	–	458
A2	10 MeV	0,1 %	458
A3	10 MeV	0,5 %	458
A4	10 MeV	1 %	458
B1	1 MeV	–	426
B2	1 MeV	0,1 %	426
B3	1 MeV	0,5 %	426
B4	1 MeV	1 %	426
B5	1 MeV	10 %	426

HBGEAN-Version des Jahres 1995 erzeugt worden sind, werden im folgenden untersucht. In dieser Version sind die geometrischen Eigenschaften der Detektorkomponenten nicht mit ihrer Feinstruktur implementiert und der RICH-Detektor ist noch gar nicht vorhanden. Die 9 Datensätze gliedern sich in zwei Gruppen, dargestellt in Tabelle 7.1 [Wen 96]. Für die 458 Ereignisse der Datensätze A1 bis A4 liegt die Schwellenenergie für Elekronen, Positronen und Photonen bei 10 MeV. Diese Schwelle ist für Simulationsrechnungen bei HERA – B typisch. Bei den 426 Ereignissen der Datensätze B1 bis B5 werden Elektronen, Positronen und Photonen noch bis 1 MeV weiterverfolgt. Testmes-

[3]**G**amma **H**adronen **E**lektronen **I**nteraktion **Scha**uer Programm

sungen aus dem Jahre 1996 haben gezeigt, daß insbesondere Elektronen mit Energien unter 10 MeV Treffer im Myon-System auslösen [Fom 96]. Deshalb werden in dieser Arbeit die Berechnungen vorwiegend anhand der Daten der Gruppe B durchgeführt. Innerhalb der beiden Gruppen unterscheiden sich die Datensätze durch unterschiedlich stark ausgeprägtes Rauschen der Kammern oder der Ausleseelektronik, welches durch gleichverteilte Treffer auf MU3 oder MU4 simuliert wird. Abschätzungen für das Ausmaß des Rauschens sind in der Aufbauphase des Experimentes schwierig. 1 % Rauschen dient im folgenden für obere Abschätzung, da bei 10 % Rauschen keine realistische Hoffnung mehr besteht, Messungen durchführen zu können. Bei den simulierten Ereignissen werden sog. Doppeltreffer, d. h. zwei oder mehr Treffer, die letzten Endes nur ein Detektorsignal erzeugen, als ein Treffer gezählt.

7.2 Teilchendurchgänge und Koinzidenzen im Myon-System

Für die folgenden Betrachtungen werden die MU3- und MU4-Pads gemäß Abbildung 7.1 numeriert. Eine Koinzidenz wird immer nach dem zugehörigen MU3-Treffer angeordnet, Koinzidenzen also wie MU3-Treffer numeriert. Die Trennung des Detektors in zwei Teile (oben/unten) ist ebenso angedeutet wie die Unterteilung der Hälften in je zwei Teile (0 bis 3). Diese wird für Untersuchungen verwendet, die die beiden Bearbeitungszyklen der Myon-Pretrigger-Elektronik getrennt untersuchen. Bei Betrachtung von Spalten der oberen und unteren Hälfte werden diese gemäß der Numerierung der Pads in x-Richtung numeriert, d. h. für MU3 von 0 bis 65.

Die Verteilung von getroffenen Pads auf MU3 (a) und MU4 (b) sowie von Koinzidenzen (c) zeigt Abbildung 7.2 für den Datensatz B1, also ohne Rauschen und mit Simulation bis zu einer Schwellenenergie von 1 MeV. Es sind jeweils die über alle 426 Er-

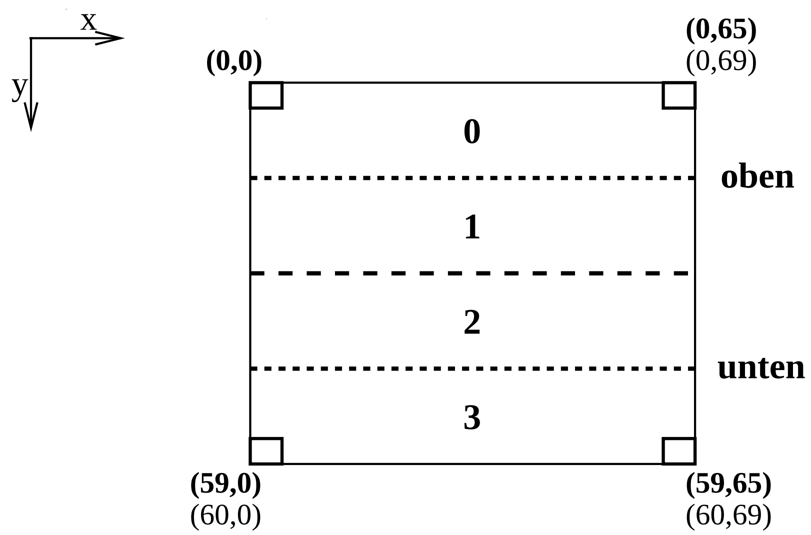


Abb. 7.1: Numerierungsschema der Pads von MU3 (fett) und MU4 (Normalschrift) sowie die Unterteilung in zwei (oben/unten) bzw. vier (0 bis 3) Teile.

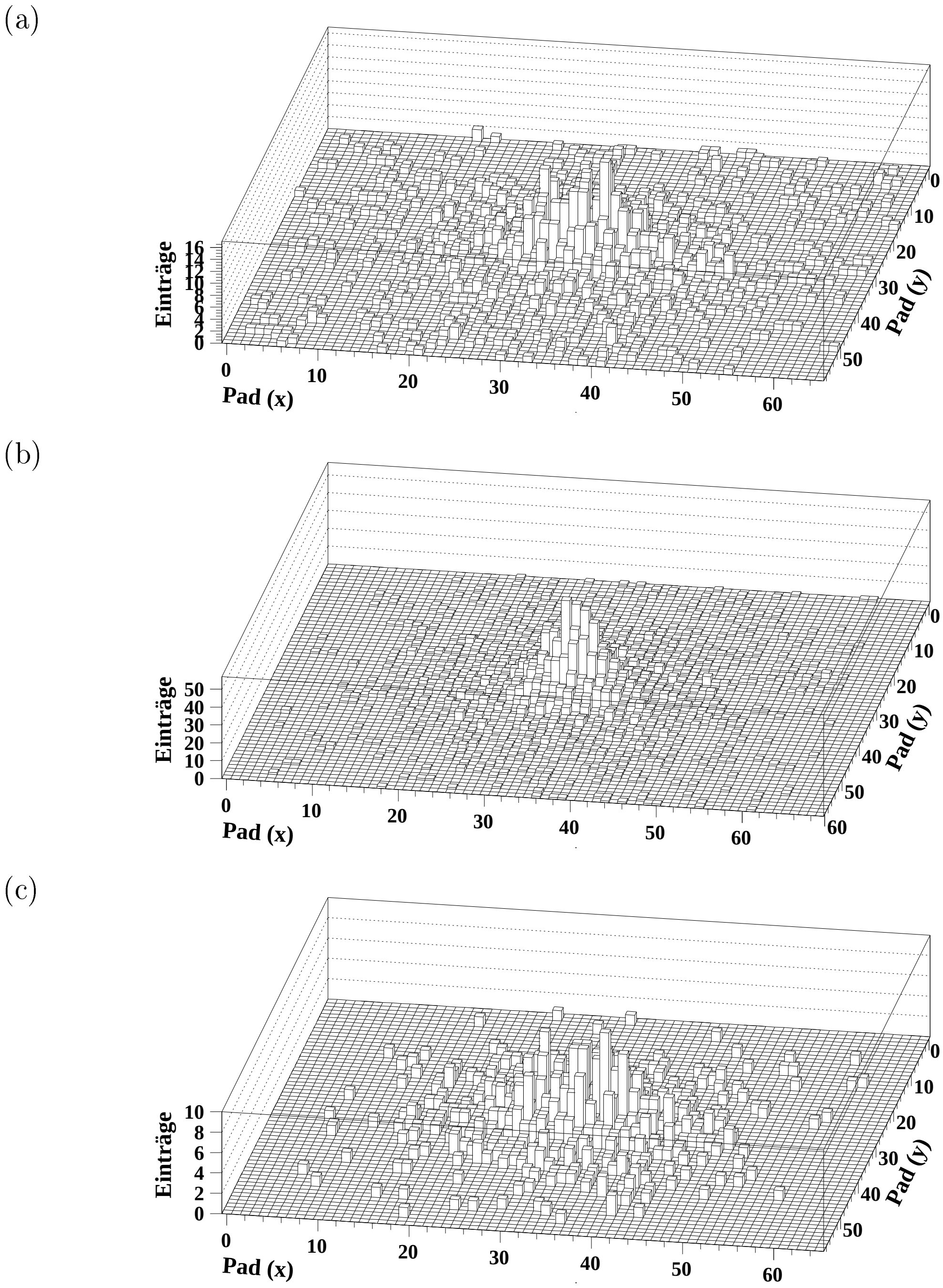


Abb. 7.2: Verteilung der Treffer auf MU3 (a), auf MU4 (b) und der Koinzidenzen (c) für Datensatz B1, aufsummiert für alle 426 Ereignisse.

eignisse aufsummierten Treffer bzw. Koinzidenzen dargestellt. Die meisten Treffer auf MU3 und MU4 sind im inneren Detektorbereich zu erkennen, wobei MU4 insgesamt mehr Treffer aufweist. In dieser Darstellung ist nicht zu erkennen, daß sich in der Mitte auf einer Fläche von $4{\cdot}4$ (MU3) bzw. $4{\cdot}5$ (MU4) Pads keine Treffer finden. Dies ist der Bereich nahe dem Protonstrahlrohr, in dem nicht die Pad-, sondern die Gas-Pixel-Kammern für den Myon-Nachweis verwendet werden. Die Unterschiede zwischen MU3

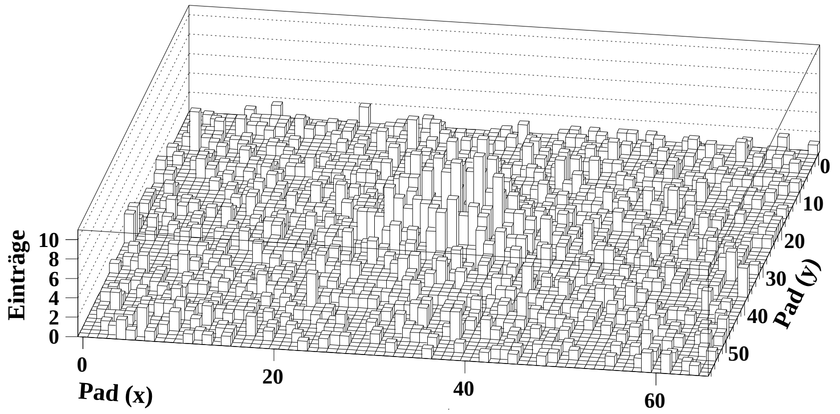


Abb. 7.3: Verteilung von Koinzidenzen mit 1 % Rauschen (Datensatz B4), aufsummiert für alle 426 Ereignisse.

und MU4 – insbesondere die stärkere Zentriertheit der Verteilung der MU4- gegenüber den MU3-Treffern – lassen sich mit Hilfe von Teilchen erklären, die zwischen den beiden Superlagen durch Reaktion mit der Protonstrahlachse entstehen [Wen 97]. Sie werden nur zu einem geringen Teil absorbiert, da zwischen den Superlagen MU3 und MU4 nur eine kleine Abschirmung vorhanden ist. Aber MU4 wird auch von Teilchen getroffen, die sich in negativer z-Richtung bewegen [Wen 97]. Diese entstehen durch Rückstreuung an einer Abschirmung hinter MU4. Bei Betrachtung der Verteilung von Koinzidenzen fällt auf, daß diese Treffer offenbar selten zu Koinzidenzen führen, da die Verteilung der MU3-Treffer sehr ähnelt. Allein im äußeren Bereich werden sehr wenige Koinzidenzen gefunden, da Treffer auf MU3 in diesem Bereich sehr wahrscheinlich durch Teilchen ausgelöst werden, die sich unter einem großem Winkel gegen die Protonrichtung bewegen. Diese Teilchen treffen deshalb i. d. R. keines derjenigen 6 MU4-Pads, die zu einer Koinzidenz führen würden. Durch die große Zahl von Treffern auf MU4 kann es jedoch auch zu zufälligen Koinzidenzen kommen.

Unter Berücksichtigung des Rauschens verbreitern sich die Verteilungen aufgrund der Gleichverteilung des Rauschens. Der Effekt bei den Koinzidenzen ist kleiner als bei den Treffern, wie Abbildung 7.3 verdeutlicht. Durch zufällige Koinzidenzen zwischen Treffern auf MU3 und MU4 kommt es insbesondere im äußeren Bereich zu einer großen relativen Änderung, da dort ohne Rauschen sehr wenige Koinzidenzen zu erwarten sind.

In Tabelle 7.2 werden die mittleren Trefferzahlen auf MU3 und MU4 sowie die mittlere Zahl von Koinzidenzen, bezogen auf die Gesamtzahl simulierter Ereignisse, zusammengefaßt. Die Fehler der Mittelwerte werden aus den statistischen Schwankungen zwischen den verschiedenen Ereignissen berechnet. Ohne Rauschen liegt die Zahl der Koinzidenzen bei etwa zwei pro Ereignis, für kleinere Schwellenenergie und stärkeres Rauschen steigen Treffer- und Koinzidenzzahl an. Für die Datensätze, die Rauschen beinhalten, wird der Anteil zusätzlicher Treffer bzw. Koinzidenzen durch das Rauschen angegeben. Das ist der auf die jeweilige Zahl von Pads bezogene Anteil von Treffern

Tab. 7.2: Mittlere Zahl von Treffern auf MU3 bzw. MU4 und von Koinzidenzen für die verschiedenen Datensätze.

Datensatz	<# Treffer auf MU3>	<# Treffer auf MU4>	<# Koinzidenzen>
A1	3,20 ± 0,14	7,28 ± 0,41	1,95 ± 0,08
A2	7,11 ± 0,18 (0,099 ± 0,006) %	11,42 ± 0,42 (0,097 ± 0,014) %	2,02 ± 0,08 (0,002 ± 0,003) %
A3	22,73 ± 0,27 (0,493 ± 0,008) %	28,68 ± 0,44 (0,501 ± 0,014) %	2,76 ± 0,10 (0,020 ± 0,003) %
A4	42,42 ± 0,34 (0,990 ± 0,009) %	46,61 ± 0,48 (0,921 ± 0,015) %	4,67 ± 0,12 (0,069 ± 0,004) %
B1	4,52 ± 0,23	9,20 ± 0,50	2,17 ± 0,10
B2	8,40 ± 0,25 (0,098 ± 0,009) %	13,33 ± 0,52 (0,097 ± 0,017) %	2,34 ± 0,10 (0,004 ± 0,004) %
B3	23,97 ± 0,31 (0,491 ± 0,010) %	30,57 ± 0,53 (0,500 ± 0,017) %	3,05 ± 0,11 (0,022 ± 0,004) %
B4	43,70 ± 0,39 (0,989 ± 0,011) %	51,53 ± 0,56 (0,991 ± 0,018) %	5,03 ± 0,14 (0,072 ± 0,004) %
B5	398,72 ± 0,94 (9,95 ± 0,02) %	432,70 ± 1,05 (9,92 ± 0,03) %	190,38 ± 0,75 (4,75 ± 0,02) %

bzw. Koinzidenzen pro Ereignis, die gegenüber den rauschfreien Daten hinzukommen. Für die Treffer sowohl auf MU3 als auch auf MU4 liegen diese Werte in den meisten Fällen unter dem Anteil des Rauschens, wie in Tabelle 7.1 zusammengefaßt, wenn sie auch innerhalb der Fehler mit den erwarteten Werten übereinstimmen. Wenn diese zufälligen Treffer mit solchen Treffern zusammenfallen, die von simulierten Teilchendurchgängen herrühren, werden beide nur als ein Treffer registriert. Deshalb ist zu erwarten, daß bei den Treffern der Zuwachs durch das Rauschen kleiner ist, als das Rauschen alleine. Aus der für MU3 und MU4 gleich großen Wahrscheinlichkeit p für einen Treffer durch Rauschen, kann der Erwartungswerte für die relative Zunahme von Koinzidenzen gemäß

$$\mathrm{p} \cdot (1 - (1 - \mathrm{p})^6) \tag{7.1}$$

berechnet werden. Für 0,1 % Rauschen ergibt sich eine Zunahme der Zahl von Koinzidenzen von 0,0006 %, für 0,5 % von 0,015 %, für 1 % von 0,059 % und für 10 % Rauschen werden 4,69 % mehr Koinzidenzen erwartet als ohne Rauschen. Diese Werte sind kleiner als die in Tabelle 7.2. Die Abweichungen lassen sich dadurch erklären, daß Koinzidenzen auch durch Kombinationen von zufälligen und „echten“ Treffern, die aus simulierten Teilchendurchgängen stammen, gebildet werden. Vergleicht man die Zunahme der Zahl von Koinzidenzen bedingt durch Rauschen mit den Zunahmen der Trefferzahlen, zeigt sich, daß die Anzahl von Koinzidenzen weitaus weniger stark mit dem Ausmaß des Rauschens ansteigt als die Zahl von Treffern in den Pad-Kammern. Diese Unterdrückung von zufälligen Koinzidenzen ist für die Entscheidung, Koinzidenzen und nicht Treffer

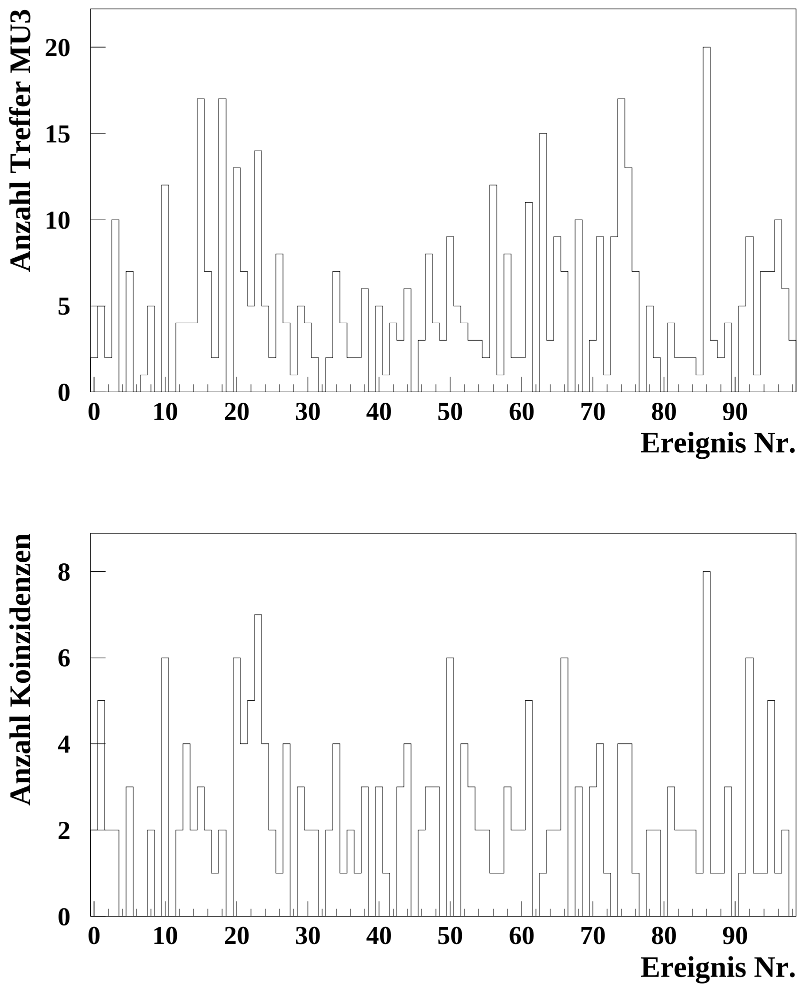


Abb. 7.4: Anzahl von Treffern auf MU3 und von Koinzidenzen für die ersten 100 Ereignisse von Datensatz B1.

als Ausgangspunkte der ersten Triggerstufe zu verwenden, verantwortlich.

Für den Myon-Pretrigger ist nicht allein die mittlere Zahl von Koinzidenzen von Bedeutung, sondern auch deren zeitliche Verteilung. Ein typisches Beispiel zeigt Abbildung 7.4, wo für die ersten 100 Ereignisse des Datensatzes B1 die Treffer auf MU3 und die Koinzidenzen in den betreffenden Ereignissen aufgetragen sind. Die Schwankungen von Ereignis zu Ereignis sind groß und selten treten Ereignisse mit vielen Koinzidenzen in unmittelbarer Folge auf. Bei etwa 2/3 aller Ereignisse (ohne Rauschen) treten höchstens zwei Koinzidenzen und in weniger als 10 % der Fälle mehr als fünf Koinzidenzen auf. Unter Berücksichtigung von Rauschen verändern sich die Verteilungen entsprechend: Aufgrund der Gleichverteilung des Rauschens verändert sich die zeitliche Abfolge der Zahl von Koinzidenzen nicht signifikant, jedoch die Anzahl der Koinzidenzen pro Ereignis.

7.3 Belegung und Bearbeitungszeit des Myon-Pretriggers

Auf Ebene der Myon-Pretrigger-Logik können aus der mittleren Zahl und der zeitlichen Abfolge von Koinzidenzen zwar Hinweise, aber keine signifikanten Aussagen darüber abgeleitet werden, ob der Aufbau des Myon-Pretriggers den gestellten Anforderungen genügen wird. Dazu müssen einzelne Spalten von MU3 und die zugehörigen Spalten von MU4 betrachtet werden, da die Daten einer Spalte von MU3-Pads von einer Pretrigger-Einheit bearbeitet werden. Wegen der Bearbeitung der Daten in zwei Zyklen (vgl. Abschnitt 3.3) ist nicht die Zahl von Koinzidenzen pro Spalte und Ereignis für die Myon-Pretrigger-Elektronik wichtig, sondern die Zahl und zeitliche Abfolge von Koinzidenzen pro Halbspalte und Zyklus bzw. BX. Die Zyklusnummer wird dabei als Bestandteil der BX-Nummer betrachtet, d. h. die hier und im folgenden gemeinte BX-Nummer ändert sich mit der doppelten Rate der BX-Frequenz des HERA-Speicherringes.

Abbildung 7.5 stellt am Beispiel des Datensatzes B1 dar, wie die mittlere Belegung

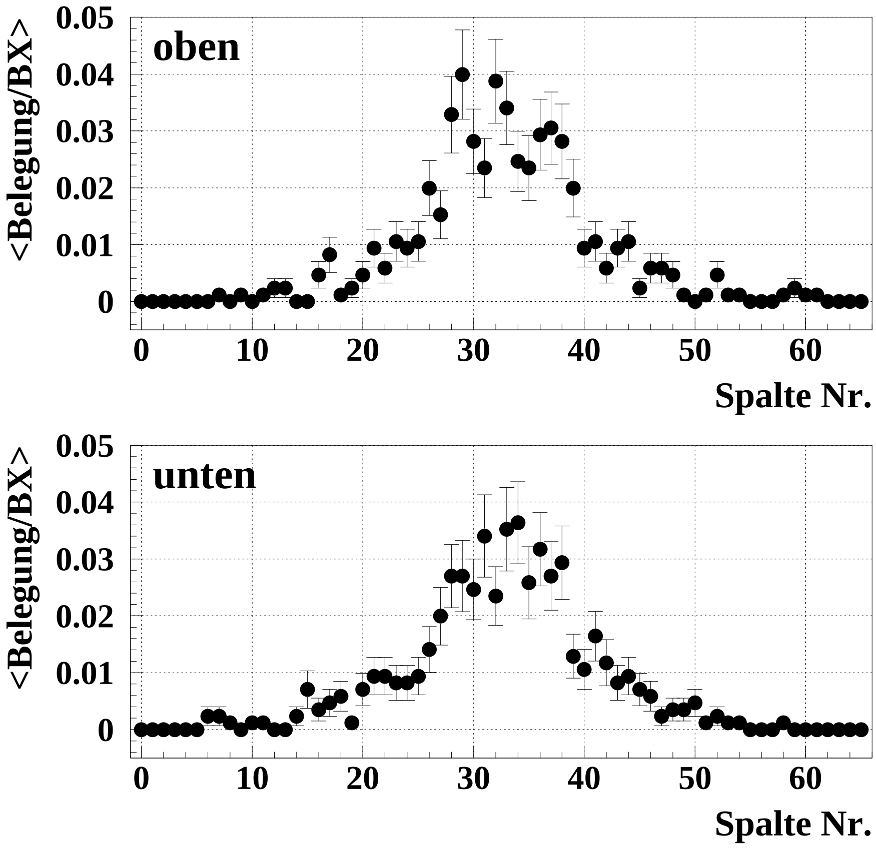


Abb. 7.5: Mittlere Belegung ohne Rauschen für Spalten der oberen und unteren Detektorhälfte (Datensatz B1).

Tab. 7.3: Mittlere Maximalbelegung und Wahrscheinlichkeit für mindestens 1 bzw. 2 Koinzidenzen in einem Zyklus für die Spalte mit den meisten Koinzidenzen.

Datensatz	<Maximalbelegung>	P(≥ 1 Koinz.)	P(≥ 2 Koinz.)
A1	0,0349 ± 0,0064	0,0328 ± 0,0059	0,0033 ± 0,0019
A2	0,0360 ± 0,0065	0,0338 ± 0,0060	0,0044 ± 0,0022
A3	0,0404 ± 0,0069	0,0382 ± 0,0063	0,0044 ± 0,0022
A4	0,0502 ± 0,0077	0,0469 ± 0,0070	0,0044 ± 0,0022
B1	0,0399 ± 0,0078	0,0340 ± 0,0062	0,0059 ± 0,0026
B2	0,0411 ± 0,0079	0,0364 ± 0,0064	0,0059 ± 0,0026
B3	0,0481 ± 0,0086	0,0423 ± 0,0069	0,0059 ± 0,0026
B4	0,0610 ± 0,0095	0,0528 ± 0,0077	0,0082 ± 0,0031
B5	0,8122 ± 0,0308	0,5810 ± 0,0169	0,2042 ± 0,0138

der Spalten pro Zyklus, d. h. die Zahl von Koinzidenzen in Halbspalten[4], über die Myon-Pretrigger-Einheiten der oberen und unteren Detektorhälfte verteilt ist. Aufgrund der zuvor dargestellten Verteilung der Koinzidenzen, finden sich die höchsten Belegungen von etwa 0,04 Koinzidenzen/BX, was im Maximum 34 Koinzidenzen in 852 BX oder Zyklen entspricht (426 Ereignisse), in den Spalten in der Detektormitte. In Tabelle 7.3 werden für die verschiedenen Datensätze jeweils die mittleren Belegungen für die Spalte angegeben, die die höchste Belegung aufweist. Da die Myon-Pretrigger-Elektronik für alle Spalten des Detektors dieselbe ist und auf die höchste zu erwartende Belegung mit Koinzidenzen ausgerichtet sein muß, werden bei den Untersuchungen i. d. R. keine Mittelwerte, sondern Maximalwerte verwendet. Gegenüber der mittleren Zahl von Koinzidenzen wirkt sich das Rauschen bei der Maximalbelegung weniger stark aus. Während 1 % Rauschen die Zahl der Koinzidenzen pro Ereignis etwa verdoppelt (vgl. Tabelle 7.2), nimmt die mittlere Maximalbelegung nur um etwa die Hälfte zu. Dies läßt sich darauf zurückführen, daß sich das Rauschen in der Gesamtheit des Detektors erheblich auswirkt. Bei Betrachtung einer kleinen Einheit, die nur 1/132 der Fläche abdeckt, in der Koinzidenzen auftreten können, macht es sich jedoch weniger stark bemerkbar. Auffallend ist, daß selbst für 10 % Rauschen die Maximalbelegung unter 1 liegt, d. h. auch wenn nur genauso schnell aus den Daten-FIFOs, in denen die Koinzidenzinformationen serialisiert werden, ausgelesen wie hineingeschrieben wird, läuft im Mittel kein FIFO über. Die Auslese der FIFOs wird jedoch in jedem Fall schneller als das Schreiben von Koizidenzinformationen in die FIFOs erfolgen.

Für die Myon-Pretrigger-Elektronik ist von großer Wichtigkeit, ob viele Koinzidenzen in derselben Spalte bei aufeinanderfolgenden Zyklen auftreten, da in diesem Fall die Daten-FIFOs überfüllt werden könnten und dadurch ggf. Ereignisse verworfen werden müßten. Dies ist – neben einem Auftreten von mehr als 8 Koinzidenzen in einer Halbspalte – die einzige Quelle für Totzeit, die durch die Myon-Pretrigger-

[4]Eine Spalte wird in zwei Zyklen bearbeitet, d. h. eine Halbspalte pro Zyklus. Wenn es in der Folge um Koinzidenzen in Spalten geht, sind, wenn nicht explizit anders definiert, Koinzidenzen in den nacheinander bearbeiteten Zyklen gemeint.

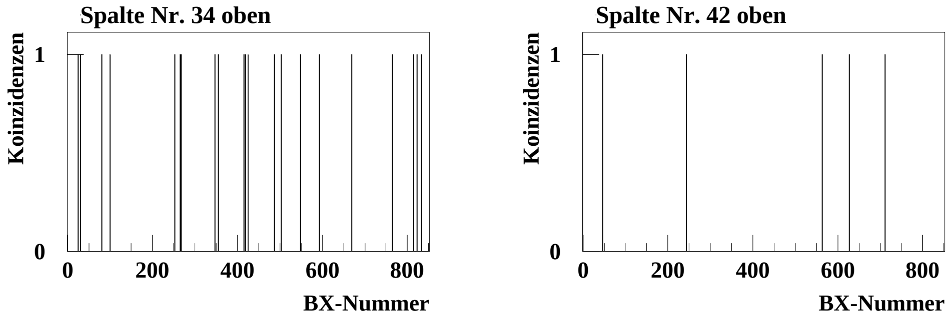


Abb. 7.6: Die Zahl der Koinzidenzen in einer Pretrigger-Einheit für zwei Spalten der oberen Detektorhälfte (Datensatz B1).

Stufe verursacht werden kann. Abbildung 7.6 zeigt beispielhaft für Datensatz B1 die Abfolge der Koinzidenzen in zwei Spalten der oberen Detektorhälfte. Deutlich ist die ungleichmäßige Verteilung von Koinzidenzen erkennbar. Aus der Häufigkeit, mit der mindestens x Koinzidenzen $(0 \leq x \leq 15)$ in einer Spalte pro Zyklus auftreten, läßt sich die Wahrscheinlichkeit berechnen, mit der in einem beliebigen, z. B. dem nächsten, Zyklus mindestens x Koinzidenzen in der betrachteten Spalte gefunden werden. Diese Größe charakterisiert die zeitlich Abfolge von Koinzidenzen in den Spalten und Zyklen. Das Auftreten von mindestens x Koinzidenzen in einer Spalte bei einem Zyklus kann man als „Erfolg" bezeichnen. Dann läßt sich, bei bekannter Erfolgswahrscheinlichkeit p, die Wahrscheinlichkeit, bei N untersuchten Zyklen n Erfolge zu finden, gemäß der Binomialverteilung zu

$$\mathrm{P}_{\mathrm{n;p;N}}(\geq x \text{ Koinz.}) = \begin{pmatrix} \mathrm{N} \\ \mathrm{n} \end{pmatrix} \cdot \mathrm{p}^{\mathrm{n}} \cdot (1-\mathrm{p})^{\mathrm{N-n}} \tag{7.2}$$

berechnen [Bar 89]. Ist p, wie in diesem Fall, nicht bekannt, sondern soll anhand der Simulationsdaten bestimmt werden, so ist

$$\overline{\mathrm{p}} = \frac{\mathrm{n}}{\mathrm{N}} \tag{7.3}$$

die beste Schätzung, deren Fehler sich nach

$$\sigma_{\overline{\mathrm{p}}} = \sqrt{\frac{\overline{\mathrm{p}}(1-\overline{\mathrm{p}})}{\mathrm{N}}}\ , \quad \text{für } \overline{\mathrm{p}} \neq 0;1 \tag{7.4}$$

bzw. nach

$$\sigma_{0;1} = 1 - 0,32^{\frac{1}{\mathrm{N}+1}}\ , \quad \text{für } \overline{\mathrm{p}} = 0;1 \tag{7.5}$$

berechnen lassen [Wac 97].

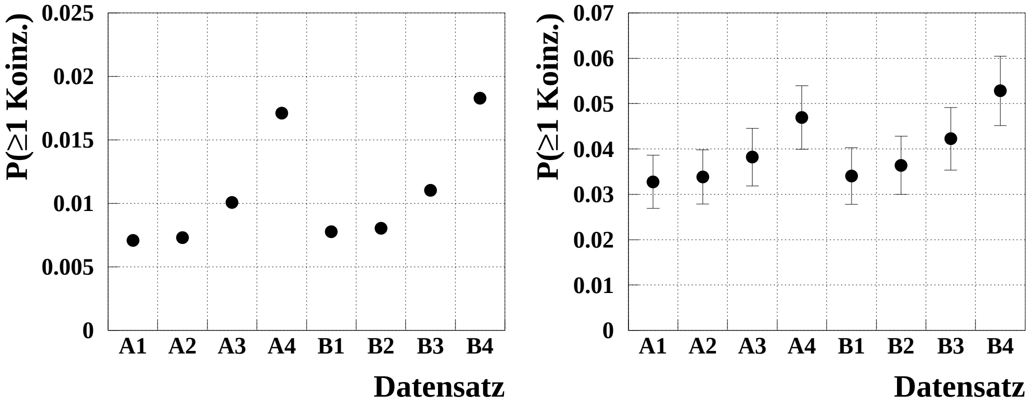


Abb. 7.7: Wahrscheinlichkeit, daß mindestens eine Koinzidenz in einem Zyklus auftritt, gemittelt über alle Spalten, für die verschiedenen Monte Carlo-Datensätze (links). Das Ergebnis für B5 ist nicht gezeigt; es ergibt sich ein Wert von $(0{,}514 \pm 0{,}002)$. Der rechte Teil zeigt dieselbe Größe für die Spalte, die die meisten Koinzidenzen verarbeitet. Bei 10 % Rauschen ergibt sich hier eine Wahrscheinlichkeit von $(0{,}581 \pm 0{,}017)$.

Die so bestimmte Wahrscheinlichkeit, mindestens eine Koinzidenz in einem Zyklus zu finden, ist in Abbildung 7.7 für die verschiedenen Datensätze zu sehen, links gemittelt über alle Spalten, rechts für die Spalte mit der höchsten mittleren Wahrscheinlichkeit. Dort ist die Wahrscheinlichkeit mit bis zu 6 % bei 1 % Rauschen entsprechend größer als die über den Detektor gemittelten Werte von unter 2 %. Die unterschiedlich großen Fehler lassen sich durch die größeren Schwankungen erklären, wenn nur ein kleiner Teil des Detektors untersucht wird. Wie oben erwähnt, wirkt sich das Rauschen bei Betrachten eines kleinen Teils des Detektors (rechts) weniger stark aus als bei einer Größe, die alle Koinzidenzen berücksichtigt. Die Werte für 10 % Rauschen sind zu groß, um sie auf dieser Skala darstellen zu können. Für die Spalte mit den meisten Koinzidenzen können sie Tabelle 7.3 entnommen werden. Dort findet sich auch die Wahrscheinlichkeit für das Auftreten mindestens zweier Koinzidenzen für die Spalte, bei der die maximale Wahrscheinlichkeit erreicht wird. Mit deutlich unter 1 % (abgesehen von 10 % Rauschen) ist sie so klein, daß das Auftreten von jeweils zwei oder mehr Koinzidenzen in aufeinanderfolgenden Zyklen derselben Spalte mit einer Wahrscheinlichkeit von 99,99 % ausgeschlossen werden kann. Mehr als drei Koinzidenzen in einer Spalte beim gleichen Zyklus treten nur bei 10 % Rauschen auf, wobei hier angesichts von bis zu sechs Koinzidenzen pro Spalte und Zyklus Messungen nicht mehr sinnvoll durchführbar wären. Bei 1 % Rauschen hingegen tritt in einer Spalte mit einer Wahrscheinlichkeit von 94 % keine Koinzidenz in einem Zyklus auf, d. h. mit einer Wahrscheinlichkeit von 99,6 % treten in zwei aufeinanderfolgenden Zyklen keine Koinzidenzen auf.

Die Begründung für diese geringen Wahrscheinlichkeiten, viele Koinzidenzen in kurzer zeitlicher Folge zu finden, liegt im Unterschied der beiden Bearbeitungszyklen begründet. In Abbildung 7.8 ist die Wahrscheinlichkeit, eine oder mehr Koinzidenzen

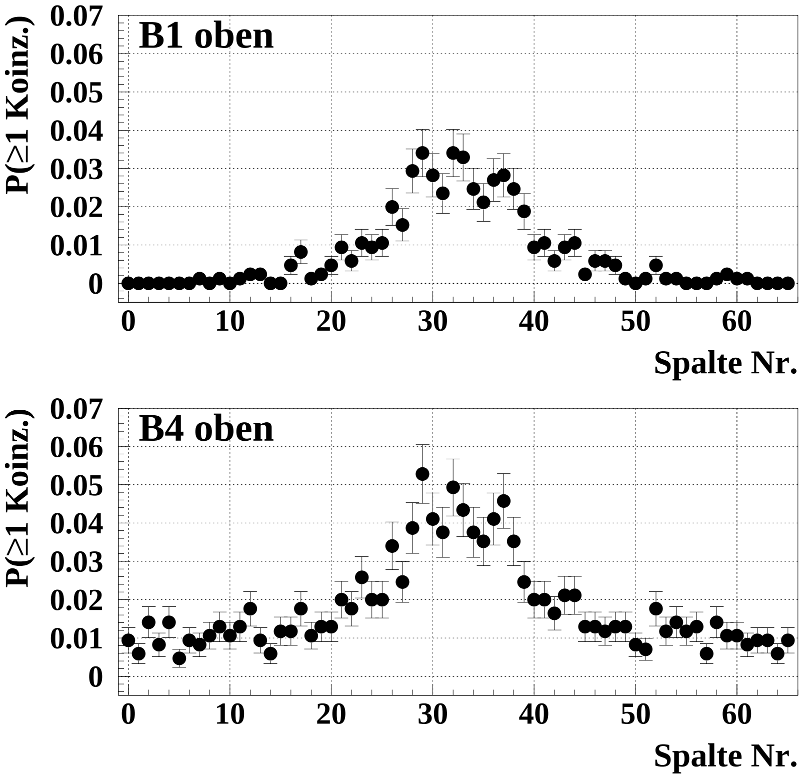


Abb. 7.8: Wahrscheinlichkeit für das Auftreten mindestens einer Koinzidenz in einem Zyklus für die Spalten der oberen Detektorhälfte (Datensätze B1 und B4).

Tab. 7.4: Wahrscheinlichkeit für das Auftreten mindestens einer Koinzidenz in einem Ereignis für die inneren $(1; 2)$ und die äußeren $(0; 3)$ Detektorviertel. Numerierung nach Abbildung 7.1

Datensatz	P($\geq$ 1 Koinz.) innen (1;2)	P($\geq$ 1 Koinz.) außen (0;3)
A1	0,0611 $\pm$ 0,0112	0,0087 $\pm$ 0,0043
A2	0,0655 $\pm$ 0,0116	0,0087 $\pm$ 0,0043
A3	0,0742 $\pm$ 0,0123	0,0109 $\pm$ 0,0049
A4	0,0808 $\pm$ 0,0127	0,0218 $\pm$ 0,0022
B1	0,0634 $\pm$ 0,0118	0,0117 $\pm$ 0,0052
B2	0,0657 $\pm$ 0,0120	0,0141 $\pm$ 0,0057
B3	0,0775 $\pm$ 0,0130	0,0164 $\pm$ 0,0062
B4	0,0915 $\pm$ 0,0140	0,0211 $\pm$ 0,0070
B5	0,5892 $\pm$ 0,0238	0,5775 $\pm$ 0,0239

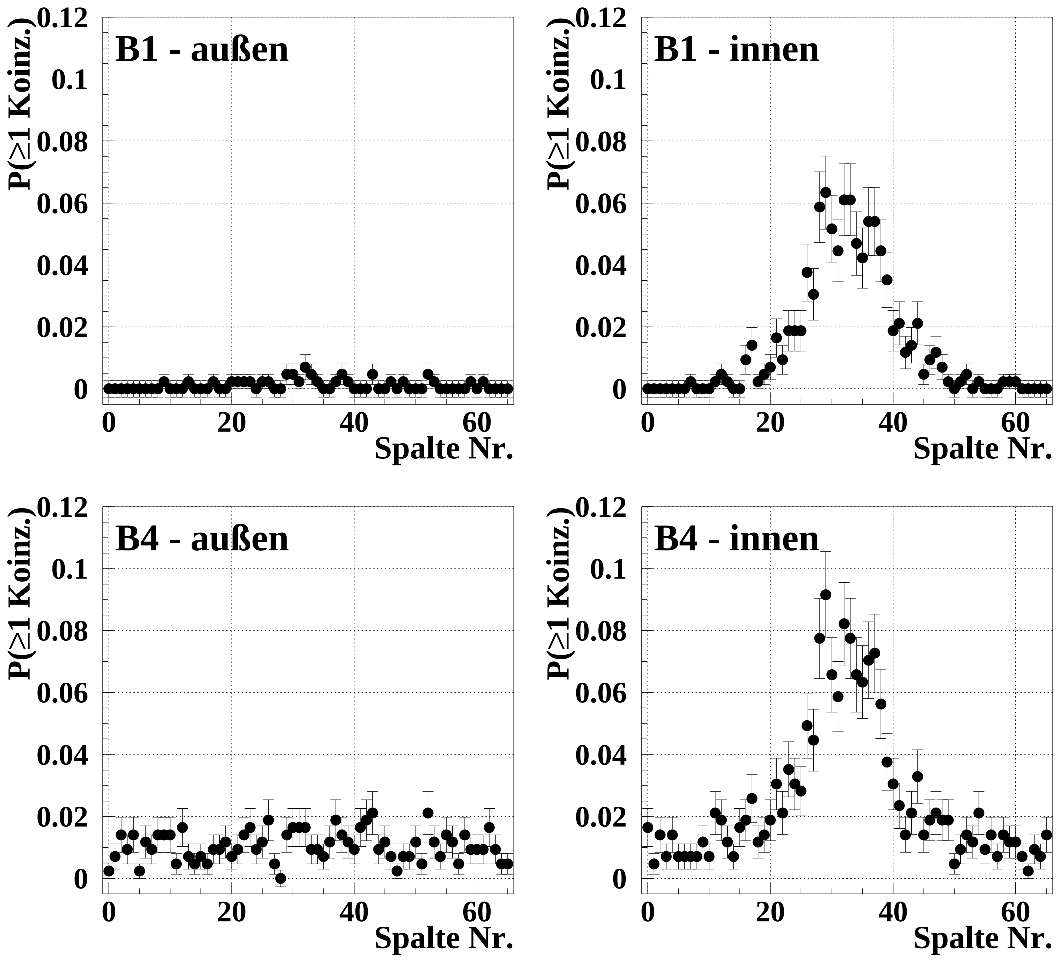


Abb. 7.9: Wahrscheinlichkeit für das Auftreten mindestens einer Koinzidenz in einem Ereignis für die Spalten der oberen Detektorhälfte, getrennt für die beiden Zyklen (Datensätze B1 und B4).

in einem Zyklus zu finden, für die obere Detektorhälfte ohne und mit 1 % Rauschen dargestellt. Beim Vergleich dieser beiden Verteilungen mit den in Abbildung 7.9 gezeigten, wo beide Zyklen getrennt dargestellt sind, erkennt man, daß im ersten Zyklus (äußerer Bereich) sehr wenige Koinzidenzen auftreten, während im zweiten Zyklus (innerer Bereich) fast alle Koinzidenzen zu finden sind. Da die zwei Zyklen eines Ereignisses, in denen die Koinzidenzen gebildet werden, je eine Halbspalte des inneren und des äußeren Bereichs bearbeiten, müssen die Ergebnisse in Abbildung 7.9 auf Ereignisse bezogen werden: Die Informationen jeder Halbspalte werden nur einmal pro Ereignis ausgewertet. Da abwechselnd ein Zyklus mit wenigen und ein Zyklus mit vielen Koinzidenzen bearbeitet wird, treten selten Koinzidenzen in benachbarten Zyklen auf. Tabelle 7.4 faßt die Werte für alle Datensätze zusammen. Der Unterschied zwischen

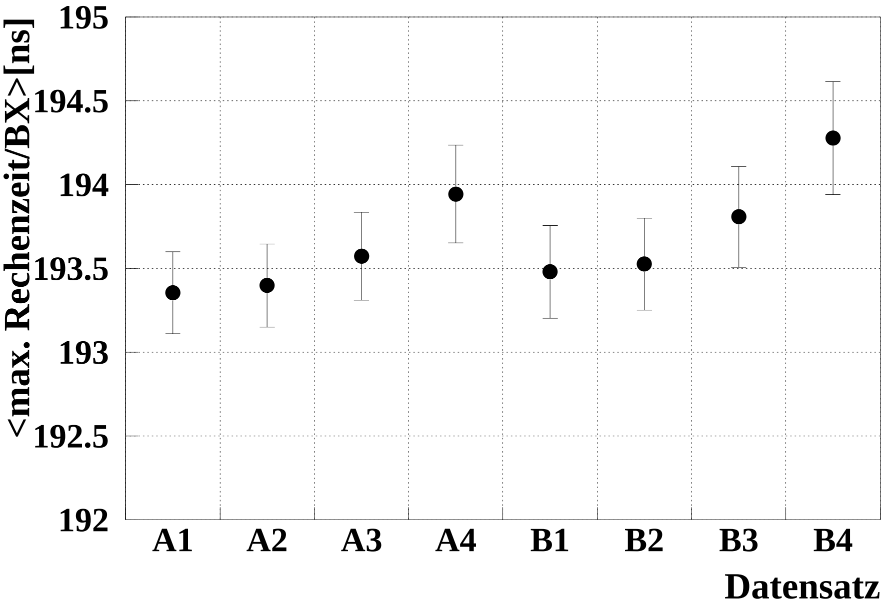


Abb. 7.10: Mittlere Bearbeitungszeit des Myon-Pretriggers für die Spalte mit den meisten Koinzidenzen. Datensatz B5 liefert einen Wert von $(219{,}6 \pm 0{,}9)$ ns.

innerem und äußerem Bereich bezüglich der Wahrscheinlichkeit, eine Koinzidenz bei einem Ereignis[5] zu finden, liegt annähernd bei einer Größenordnung, abgesehen vom Extremfall mit 10 % Rauschen. Hier spielen die Koinzidenzen, die von Teilchen erzeugt werden, eine so geringe Rolle, daß kein Unterschied zwischen innerem und äußerem Detektorbereich erkennbar ist.

Aus der Belegung des Myon-Pretrigger ergibt sich, wie in Abschnitt 3.3 dargelegt, die Bearbeitungszeit des Myon-Pretriggers. Mißt man die Zeit von der positiven Taktflanke, mit der die Daten in den ersten FLEX 8000-Baustein eingelesen werden, dauert es 192 ns $(4 \cdot 48\,\text{ns})$ bis die Koinzidenzdaten in die Daten-FIFOs geschrieben werden. Die Auslesestufe wird von einem Kontrollbaustein gesteuert, der für die erste Koinzidenz in einem Zyklus höchstens 40 ns und für jede weitere Koinzidenz in diesem Zyklus zusätzlich maximal 20 ns benötigt [Kol 97]. Die Messung der exakten Zeiten ist noch nicht abgeschlossen, weshalb die genannten Maximalwerte verwendet werden, um die Bearbeitungsdauer des Myon-Pretriggers vom Einlesen der Daten bis zur seriellen Ausgabe der Daten zu berechnen. Abbildung 7.10 stellt diese Zeit für alle realistischen Datensätze dar. Aufgrund der – wie oben beschrieben – wenigen zu erwartenden Koinzidenzdaten benötigen die Myon-Pretrigger-Einheiten im Mittel maximal 194,5 ns, das Auslesen der Daten trägt also weniger als 2,5 ns pro Zyklus zur Bearbeitungszeit bei. Selbst bei 10 % Rauschen benötigen die langsamsten Einheiten der Myon-Pretrigger-Elektronik weniger als 220 ns zur Bearbeitung der Daten.

Für die Weiterleitung der Daten an die erste Triggerstufe wird der Detektor in

[5] Jeder Zyklus wird nur ein Mal pro Ereignis bearbeitet.

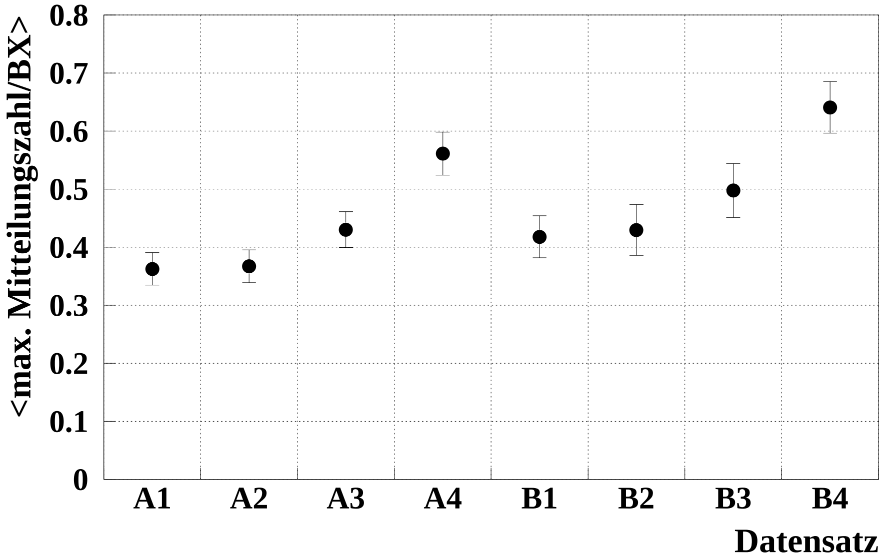


Abb. 7.11: Rate der Mitteilungen pro Zyklus (BX), die an die erste Triggerstufe weitergegeben werden, für den Detektorteil mit der größten Zahl von Koinzidenzen. Für Datensatz B5 ergeben sich $(12{,}1 \pm 0{,}2)$ Mitteilungen/BX.

acht Bereiche unterteilt, die die gefundenen Koinzidenzen in einem Bereich an jeweils eine Prozessoreinheit der ersten Triggerstufe weitergeben. Abbildung 7.11 zeigt, wie viele dieser Mitteilungen[6] in dem Bereich, der die höchste mittlere Rate aufweist, pro Zyklus weitergegeben werden. Dieser Bereich gibt – ohne Rauschen – etwa bei jedem dritten Zyklus eine Mitteilung weiter. Dies entspricht etwa einem Drittel der insgesamt übertragenen Mitteilungsrate (im Mittel 2 Koinzidenzen pro Ereignis entsprechend 1 Koinzidenz pro Zyklus). Für Daten mit 1 % Rauschen (ca. 5 Koinzidenzen pro Ereignis) werden dagegen nur etwa 20 % der Koinzidenzdaten über die Verbindungen mit der maximalen Rate übertragen. Aufgrund der weiteren Verteilung der Koinzidenzen über den Detektor ist dieser Unterschied verständlich (vgl. Abbildung 7.2 (c) und 7.3). In jedem Fall liegt die maximale Übertragungsrate pro Verbindung (bis zu 1 % Rauschen) unter 15 MHz $\hat{=}$ 0,74 Mitteilungen pro BX, d. h. pro 20,8 MHz-Intervall.

7.4 Schlußfolgerungen

Es ist anhand von Simulationsdaten nachgewiesen worden, daß die Zahl von maximal 8 Koinzidenzen, die pro Halbspalte und Zyklus gefunden werden können, auch nicht annähernd erreicht wird. Die durchgeführten Untersuchungen zeigen, daß es ausreichend wäre, vier Koinzidenzen pro Halbspalte finden zu können. Die Wahrscheinlichkeit für das Auftreten von Koinzidenzen in einem Zyklus liegt pro Spalte bei maximal 6 %. Somit sind für die Auslese der Daten-FIFOs, auch unter Berücksichtigung der

[6] Eine Mitteilung enthält u. a. die Ortsinformationen einer Koinzidenz.

mittleren Maximalbelegung von $\mathcal{O}(5\,\%)$, keine Schwierigkeiten zu erwarten. Dabei erweist sich die Bearbeitung in zwei Zyklen als sehr vorteilhaft, da in einem von beiden i. d. R. keine Koinzidenzen gefunden werden.

Dies bedeutet, daß auf Myon-Pretrigger-Ebene keine Totzeit durch das Verwerfen von Ereignissen zu erwarten ist. Die Realisierung der Myon-Pretrigger-Logik, wie sie in dieser Arbeit untersucht worden ist, ist also geeignet, die gestellten Anforderungen zu erfüllen. Auch wenn in der verwendeten Version der Simulation die Beschreibung des Detektors relativ grob ist, können diese Resultate als Anhaltspunkte gewertet werden. Mit genaueren Simulationen und Testmessungen müssen diese Ergebnisse überprüft werden.

Kapitel 8

Zusammenfassung und Ausblick

Diese Arbeit hat die Realisierbarkeit des Myon-Pretriggers für das HERA – B Experiment untersucht. Es wurde einerseits die Funktionstüchtigkeit der Myon-Pretrigger-Elekronik getestet, andererseits durch Auswertung von Simulationsdaten die Konzeption der Myon-Pretrigger-Logik überprüft.

Zur Durchführung von Messungen an den beiden Designs für den zentralen Baustein der Myon-Pretrigger-Elektronik, den FLEX 8000-Baustein, ist im Rahmen dieser Arbeit ein Mikrocontroller programmiert worden, der die benötigten Konfigurationsdaten einliest und umformt, um anschließend den FLEX 8000-Baustein zu konfigurieren. Die gesamte Meßumgebung ist sehr flexibel, da Änderungen in der Programmierung des FLEX 8000-Bausteines schnell und unkompliziert durchgeführt werden können.

Um die Aussagekraft der logischen Testmessungen der beiden Designs für den Myon-Pretrigger einschätzen zu können, wurden die Eigenschaften von Datenquelle Wortgenerator und Datenmeßgerät Logikanalysator untersucht. Zeit- und Spannungsmessung der beiden Logikanalysator-Module erreichen die erforderlichen Genauigkeiten unter Berücksichtigung der inhärenten Abtastfehler, die die Architektur eines Logikanalysators bedingt. Auch die Messungen am Wortgenerator-Modul haben gezeigt, daß die Parameter der Ausgangssignale den Anforderungen der logischen Testmessungen genügen. Obwohl der Wortgenerator beim Generieren eines symmetrischen Ausgabesignales mit einer Frequenz von 25 MHz an seine technischen Grenzen stößt, konnte gezeigt werden, daß dies auf der Ebene digitaler Signale keine Probleme verursachen. Die Zeitunterschiede zwischen verschiedenen Kanälen der Treiber-Tastköpfe beeinflussen die logischen Testmessungen ebenfalls nicht.

Verschiedene mögliche Quellen für Übersprechen zwischen verschiedenen Ausgabekanälen des Wortgenerators wurden untersucht. Dabei wurden – bei allen Einschränkungen bezüglich des Vergleiches verschiedener Meßreihen – besonders zwischen den Verbindungsleitungen der Treiber-Tastköpfe mit den Steckerleisten und innerhalb der Treiber-Tastköpfe Übersprecheffekte beobachtet. Unbeschaltete Eingangspins zeigten bereits bei 1 MHz vergleichbare Störungen. Dies kann durch Beschalten der unbenutzten Eingänge leicht vermieden werden. Durch geeignete Planung der Belegung der Wortgenerator-Ausgänge lassen sich auch die anderen Übersprecheffekte bei den meisten Messungen auf ein akzeptables Maß reduzieren.

Beide Designs wurden mit verschiedenen Meßaufbauten getestet. Da die Beschaltung mit allen denkbaren Eingangszuständen nicht durchführbar ist, wurden die logischen Einheiten der beiden Designs in allen Funktionen so unabhängig voneinander wie möglich überprüft. Das Durchtakten der BX-Nummer, die paarweise Veroderung der MU4-Daten und die Koinzidenzbildung des FLEX 1-Designs zeigten keine logischen Fehler. In der Clear-Register-Stufe wurden hingegen, neben einem einfach zu behebenden logischen Fehler bei Verwendung des $\overline{\text{AllUnset}}$-Signales, erhebliche Fehler gefunden, die durch eine zu große Störanfälligkeit gegen Übersprecheffekte erklärt werden konnten. Neben dem Taktsignal sind die Ladekanäle für die Clear-Register besonders abzuschirmen oder es muß eine Veränderung der Konstruktion der Register vorgenommen werden. Die Untersuchungen des FLEX 2-Designs zeigten fehlerfreies Verhalten. Die Beschaltung eines Ausgangskanals als Eingang zeigte, wie schwierig die Ursachen solcher Fehler auszumachen sind.

Anhand von Simulationsrechnungen konnte nachgewiesen werden, daß der Aufbau der Myon-Pretrigger-Logik geeignet ist, die im Mittel 2 bis 5 Koinzidenzen (ohne Rauschen bzw. mit 1 % Rauschen) zu berechnen. Als Folge der unterschiedlichen Belegung der beiden Bearbeitungszyklen, konnte mit einer Wahrscheinlichkeit von 99,6 % ausgeschlossen werden, daß in aufeinanderfolgenden Zyklen in derselben Spalte eine Koinzidenz auftritt. Da außerdem – selbst bei 10 % Rauschen – nie mehr als 6 Koinzidenzen pro Halbspalte gefunden wurden, können mögliche Quellen für Totzeit auf Myon-Pretrigger-Ebene ausgeschlossen werden. Die mittlere Bearbeitungszeit des Pretriggers wurde zu maximal 194,5 ns bestimmt und liegt damit deutlich unter der Vorgabe von etwa 400 ns. Durch die separate Übertragung der gefundenen Koinzidenzen in 8 Bereichen des Detektors kann die maximale Mitteilungsrate pro Bereich deutlich unter 20 MHz gehalten werden.

Die dargestellten Ergebnisse sind bereits in die zweite Version der Myon-Pretrigger-Logik eingeflossen, die bis März 1997 abgeschlossen sein wird. Neben der Verbesserung kleinerer Design-Fehler, die z. T. durch die Testmessungen entdeckt wurden, gibt es einige Veränderungen im Aufbau der Myon-Pretrigger-Logik, die durch die Ergebnisse dieser Arbeit initiiert wurden. Aufgrund der Simulationsergebnisse und der von der ersten Triggerstufe verarbeitbaren Zahl von Koinzidenzen konnte die Maximalzahl der pro Halbspalte verarbeitbaren Koinzidenzen von 8 auf 4 reduziert werden. Dies führt dazu, daß das gesamte Design in einem FLEX 8000-Baustein untergebracht werden kann. Die Eingangsdaten des Myon-Pretriggers, die vom FED übertragen werden, werden zunächst in FIFOs geschrieben und nicht direkt in die Eingangsregister des FLEX 8000-Bausteins. Dies erlaubt dem Baustein, die Daten mit einem eigenen Takt auszulesen, was sowohl die Störsicherheit des Taktsignals verbessert als auch die Verarbeitungsgeschwindigkeit erhöht. Der FLEX 8000-Baustein kann daher mit etwa 38 MHz [Kol 96] seine Arbeitsschritte durchführen, also deutlich schneller als die 20,8 MHz in der in dieser Arbeit geschilderten Version. Außerdem müssen alle 9 Bit der BX-Nummer mitgeführt werden, 8 Bit der HERA-BX-Nummer und die Zyklusnummer. Das höchstwertige Bit der HERA-BX-Nummer darf nicht mehr vernachlässigt werden. Weiterhin wird die Clear-Register-Stufe neu organisiert, um ihre in dieser Arbeit nachgewiesene Störanfälligkeit zu vermindern. Durch die Reduzierung der Zahl auffindbarer Koinzidenzen können nahezu alle Kontrollfunktionen (sog. Monitoring), mit denen die Funktion des Myon-Pretriggers überwacht werden kann, in das Design integriert werden.

Trotz all dieser Änderungen bleibt der logische Aufbau der zuvor auf zwei Bausteine verteilten Myon-Pretrigger-Logik in den Grundlagen unverändert. Somit ist zu erwarten, daß, nach den Testmessungen dieses neuen Designs und der Herstellung der Platinen, im Sommer diesen Jahres ein funktionsfähiger Myon-Pretrigger bei HERA – B zur Verfügung stehen wird.

Anhang A

Schaltpläne

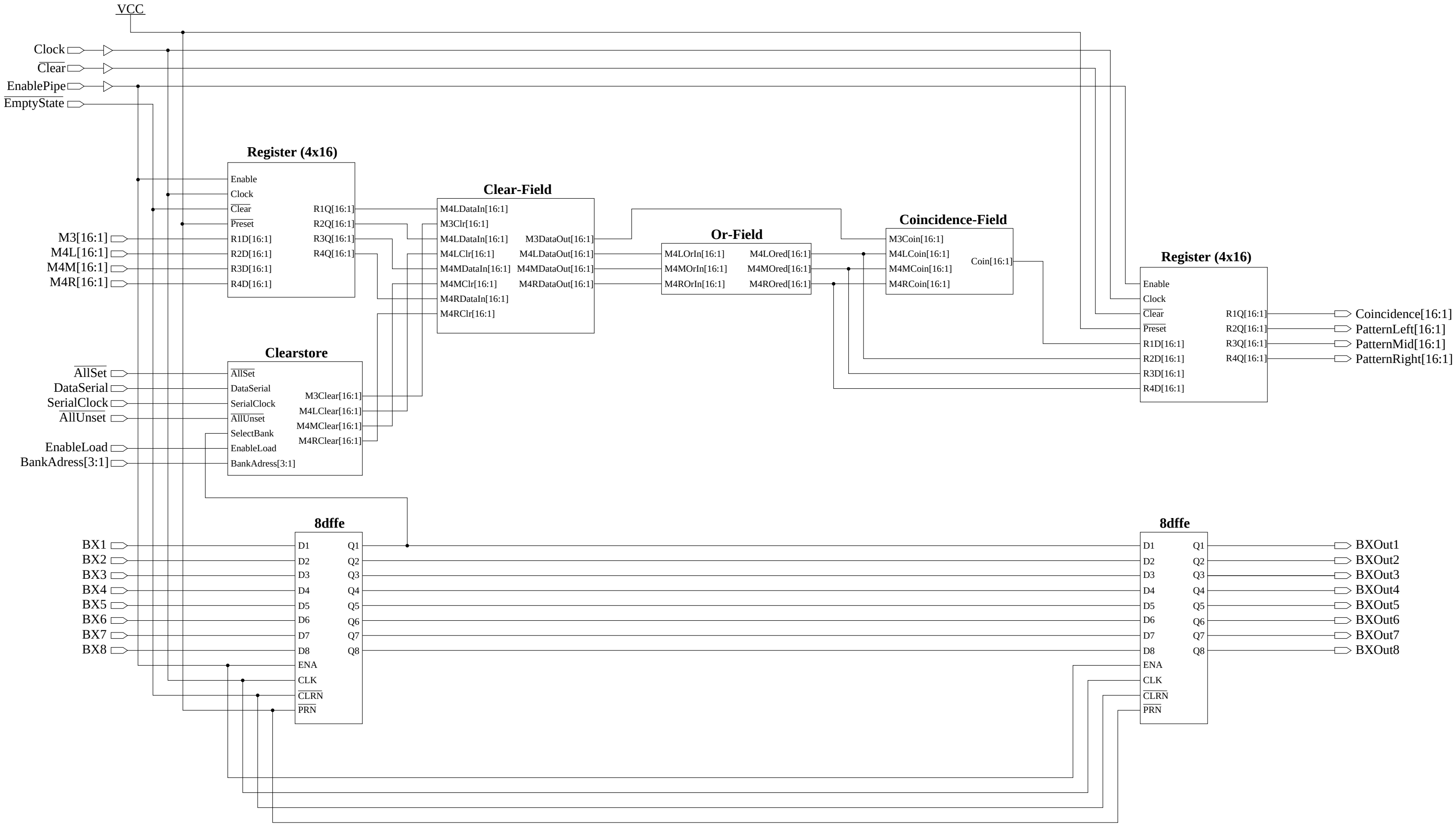


Abb. A.1: Schaltplan des FLEX 1-Designs.

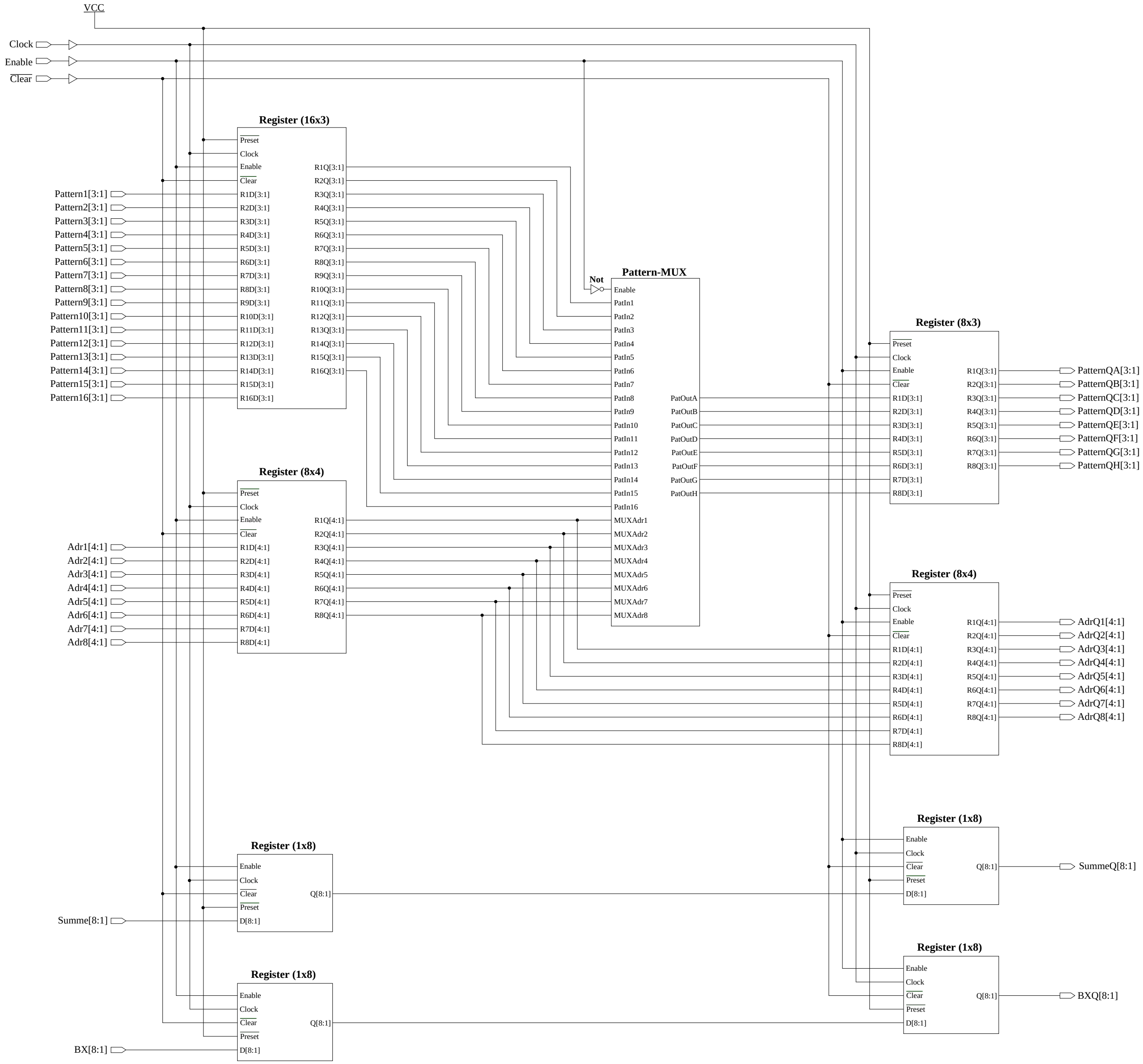


Abb. A.2: Schaltplan des FLEX 2-Designs.

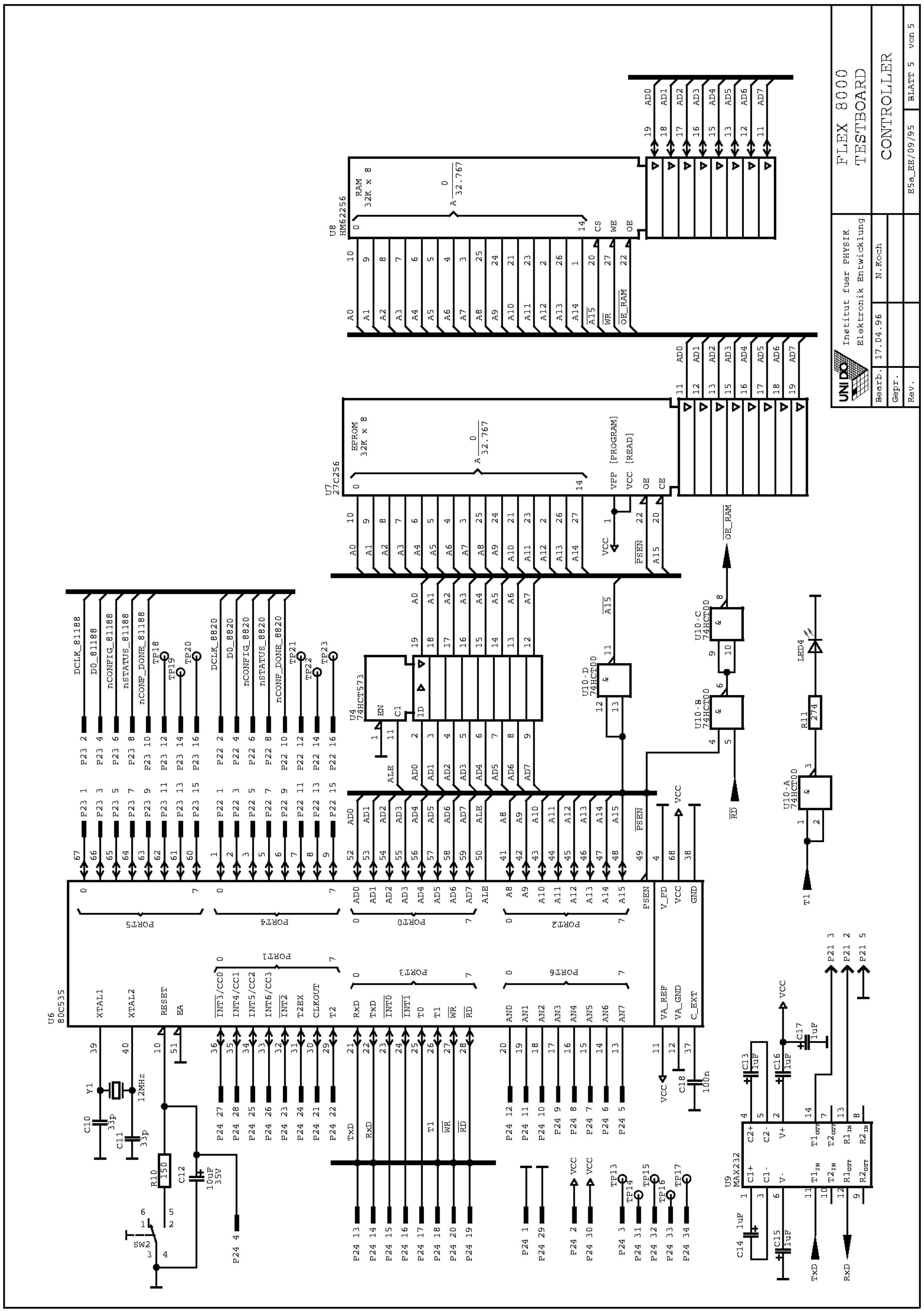


Abb. A.3: Ausschnitt aus dem Schaltplan der FLEX 8000-Testplatine: die Mikrocontroller-Einheit [Koc 95a].

Anhang B

Technische Daten von Wortgenerator und Logikanalysator

Tab. B.1: Spezifikationen des Wortgenerator-Modules [dli 95, dli 97c].

	WG 64050
Ausgangsdaten, Speicher	
Anzahl Kanäle	64
Speichertiefe	4k
Dauer pro Wort	1 bis 65353 Takte ($= 2^{16} - 1$)
Ausgangspegel	TTL, ECL (entsprechend Tastkopf)
Ruhepegel	HOLD DATA TRISTATE
Strobe	1 (10 ns) pro 8 Kanäle
Interne Zeitbasis	
Taktrate	20 ns (50 MHz) bis 500 ms (5 ns Interlace)
Genauigkeit	$\pm$ 0,1 %
Externer Takt	
Taktrate	max. 50 MHz
Taktflanke	pos./neg./beide
Ausgabesteuerung	
Betriebsarten	AUTO SINGLE STEP
Ausgabesequenz	SINGLE LOOP TO BEGIN LOOP TO LABEL
Steuereingänge	DISABLE HOLD CONTINUE JUMP TO BEGIN JUMP TO LABEL
Tastkopf	
	ADP 88 TTL

Tab. B.2: Spezifikationen der Logikanalysator-Module [dli 95, dli 97a, dli 97b].

	LA 32100	LA 24500
Eingangsdaten, Speicher		
Anzahl Kanäle	32 (16 Interlace)	24 (12 Interlace)
Speichertiefe	32 k	8k
Skew	$\leq$ 2 ns	$\leq$ 1 ns (gleicher Tastkopf) $\leq$ 1,5 ns (gleiches Modul) $\leq$ 2 ns (verschiedene Module)
Min. Pulsbreite für Glitcherfassung	4 ns	–
Interne Zeitbasis		
Taktrate	10 ns (100 MHz) bis 500 ms (5 ns Interlace)	2 ns (500 MHz) bis 500 ms (1 ns Interlace)
Genauigkeit	± 0,1 %	± 0,1 %
Abtastfehler	± 1 Takt	± 1 Takt
Externe Taktverknüpfung		
Takte	2 (bis 100 MHz)	1 (bis 125 MHz)
Taktverknüpfung	ODER	–
Setup-Zeit	4 ns	0 ns (bis 4 ns)
Hold-Zeit	0 ns	7 ns
Schwellwerte		
	TTL, ECL, CMOS, VAR 1,2: $-$ 9,9 V bis $+$ 9,9 V	TTL, CMOS, VAR 1,2: $-$ 9,9 V bis $+$ 9,9 V
Triggerung		
Triggerebenen	15	1
Triggerfkt./Ebene	$\leq$ 4	–
Triggerfilter	nein	ja
Ereigniszähler	1 bis 4095	1 bis 4095
Triggerworte	3 pro Ebene	1
Triggerverzögerung	0 bis 652800	0 bis 652800
Triggerausgänge	15 (1 Bit pro Ebene)	1 (TTL)
Tastköpfe		
	ALP 580 ADP 88 TTL (Trigger)	ALP 580 ALP 140

Tab. B.3: Spezifikationen des Treiber-Tastkopfes [dli 95, dli 97c].

	ADP 88 TTL
Anzahl Kanäle	8
Masseanschlüsse	1
Logikpegel Ausgang	+ 5 V CMOS
Ausgangsspannung	CMOS: $V_{OH} = 4{,}7\,V$ $V_{OL} = 0{,}2\,V$ TTL: $V_{OH} = 4{,}3\,V - (62 \cdot R \cdot I_{OH})$ mit $I_{OH} \leq 15\,mA$ $V_{OL} = 0{,}3\,V + (62 \cdot R \cdot I_{OL})$ mit $I_{OL} \leq 48\,mA$
Treibersteuerung	intern / extern
Überlastschutz Ausgang	− 12 V bis + 15 V
Stromversorgung	vom WG aus

Tab. B.4: Spezifikationen der Eingangs-Tastköpfe [dli 95, dli 97b].

	ALP 580	ALP 140
Anzahl Kanäle	8	4
Masseanschlüsse	1	1
Impedanz	2 MΩ / 5 pF	2 MΩ / 5 pF
Bandbreite	≥ 250 MHz	≥ 250 MHz
Min. Pulsbreite	3 ns, > 250 mV	3 ns, > 250 mV
Min. Amplitude	200 mV	200 mV
Max. Spannung	± 100 V	± 100 V
Kabellänge -LA bis Tastkopf -Tastkopf bis Testclip	 1,5 m 200 mm	 1,5 m 80 mm

Literaturverzeichnis

[Alb 92] H. Albrecht et al.
HERA – B An Experiment to Study CP Violation in the B System Using an Internal Target at the HERA Proton Ring
Letter of Intent, DESY–PRC 92/04, October 1992

[Alt 94] Altera Corporation
Configuring FLEX 8000 Devices
Application Note 33, Ver. 3, May 1994

[Alt 95] Altera Corporation
CPLDs vs. FPGAs: Comparing High-Capacity Programmable Logic
Product Information Bulletin 18, Ver. 1, February 1995

[Alt 96a] Altera Corporation
FLEX 8000 Programmable Logc Device Family
Data Sheet, Ver. 8, June 1996

[Alt 96b] Altera Corporation
MAX+PLUS II: Programmable Logic Development System & Software
Data Sheet, Ver. 7, June 1996

[Alt 96c] Altera Corporation
Understanding FLEX 8000 Timing
Application Note 76, Ver. 1, June 1996

[Are 96] A. Arefiev et al.
Test of Tube Chambers for HERA – B Muon System
Hera-B 96-270 (Internal Note)

[Ati 96] M. Atiya et al.
Muon Front End Electronics
/ftp/pub/herab/muon/muonfee_design.ps, 15.4.1996

[Aue 95] A. Auer
Feldprogrammierbare Gate arrays: FPGA
1. Auflage, Hüthig-Verlag, Heidelberg 1995

[Bal 95] V. Balagura
Gas Pixel Chambers
Hera-B 95-148 (Internal Note)

[Bar 89] R. J. Barlow
Statistics: A Guide to the Use of Statistical Methods in the Physical

Sciences
1. Auflage, John Wiley & Sons, Chichester 1989

[Bar 96] R.M. Barnett et al.
Particles and Fields – Part I: Review of Particle Physics
Phys. Rev. D **54** (1996) 1

[Big 89] I.I. Bigi et al. in: C. Jarlskog (Hrsg.)
CP Violation: Advanced Series on Directions in High Energy Physics
Band 3, 1. Auflage, World Scientific Publ., Singapore 1989, 175

[Cab 63] N. Cabibbo
Unitary Symmetry and Leptonic Decays
Phys. Rev. Lett. **10** (1963) 531

[CER 94] CERN Application Software Group, Computing and Network Division
GEANT: Detector Description and Simulation Tool
CERN Program Library Writeup W5013, October 1994

[Chr 64] J.H. Christenson et al.
Evidence for the 2π Decay of the K_2^0 Meson
Phys. Rev. Lett. **13** (1964) 138

[dli 95] dli Digital Logic Instruments GmbH
Personal Line Meßmodule und Optionen
Handbuch, Band 3, Publ.-Nr. 3 PLMAN3-03/A

[dli 97a] dli Digital Logic Instruments GmbH
LA 32100: The New Generation of 100 MHz / 200 MHz Logic Analyzer Modules for the Personel Line Series
http://www.cware.de/dli/laxx100.htm, 12.2.1997

[dli 97b] dli Digital Logic Instruments GmbH
LA 24500: The 500 MHz / 1 GHz Logic Analyzer Modules for the Personel Line Series
http://www.cware.de/dli/laxx500.htm, 12.2.1997

[dli 97c] dli Digital Logic Instruments GmbH
WG 64050: The 50 MHz Word Generator Modules for the Personel Line Series
http://www.cware.de/dli/wgxx050.htm, 12.2.1997

[Dre 95] F. Dresig et al.
Der FPGA-Report: Alle Technologien im Überblick
Elektronik **9** (1995) 125

[Esc 96] H.F. Eschbach
Intellec Hex Format
ftp://ftp.akk.uni-karlsruhe.de/microag/dok_archiv//
80.HFE.G.0001.01.96.01.27, 27.1.1996

[Fit 83] V.L. Fitch in: M.G. Doncel (Hrsg.) et al.
Symmetries in Physics (1600-1980): Proceedings of the 1st International

Meeting on the History of Scientific Ideas
Sant Feliu de Guíxols, Spain, 20.-26.9.1983, 451

[Fom 96] B. Fominykh
HERA – B *Muon Digitization Program DGMUOO*
E-mail an die HERA – B Myon-Gruppe, 4.12.1996

[Fri 57] J.I. Friedman, V.L. Telegdi
Nuclear Emulsion Evidence for Parity Nonconservation in the Decay Chain $\pi^+ - \mu^+ - e^+$
Phys. Rev. **105** (1957) 1681

[Gar 57] R.L. Garwin, L.M. Lederman, M. Weinrich
Observations of the Failure of Conservation of Parity and Charge Conjugation in Meson Decays: the Magnetic Moment of the Free Muon
Phys. Rev. **105** (1957) 1415

[Gel 55] M. Gell-Mann, A. Pais
Behaviour of Neutral Particles under Charge Conjugation
Prog. Theor. Phys. **97** (1955) 1387

[Glä 95] J. Gläß et al.
Design of the HERA – B First Level Trigger
Proc. IEEE Nucl. Sci. Symp., 612, October 1995

[Gre 96] M. Grewe
Sendeprogramm für die serielle Schnittstelle eines PC, 8.5.1996

[Hal 84] F. Halzen, A.D. Martin
Quarks and Leptons: An Introductory Course in Modern Particle Physics
1. Auflage, John Wiley & Sons, New York, 1984

[Har 95] E. Hartouni et al.
HERA – B *An Experiment to Study CP Violation in the B System Using an Internal Target at the HERA Proton Ring*
Design Report, DESY–PRC 95/01, January 1995

[Heu 94] P. Heusinger, K. Ronge, G. Stock
PLDs und FPGAs in der Praxis: Komplexe Logikbausteine erfolgreich programmieren
1. Auflage, Franzis-Verlag, Poing 1994

[Hof 94] W. Hofmann
HERA – B *An Experiment to Study CP Violation in Decays of B Mesons Using an Internal Target in the HERA Proton Ring*
Hera-B 94-133 (Internal Note)

[Hon 93] Hong Pi
An Event Generator for Interactions between Hadrons and Nuclei – FRITIOF Version 7
ftp://thep.lu.se/pub/LundPrograms/Fritiof/fr7man.tex, 15.11.1993

[Jar 89] C. Jarlskog in: C. Jarlskog (Hrsg.)
CP Violation: Advanced Series on Directions in High Energy Physics
Band 3, 1. Auflage, World Scientific Publ., Singapore 1989, 3

[İşs 96] S. İşsever
Vorbereitende Untersuchungen für das HERA – B Experiment
Diplomarbeit, Universität Dortmund, März 1996

[Iva 95] J. Ivarsson, T. Åkesson
Beauty Production at the HERA – B Experiment
Hera-B 95-098 (Internal Note)

[Kän 89] W. Känzig
Physik I: Mechanik und Wellenlehre
5. Auflage, Verlag der Fachvereine an den schweizerischen Hochschulen und Techniken, Zürich 1989

[Kal 61] R.E. Kalman
A New Approach to Linear Filtering and Prediction Problems
Trans. ASME, J. Basic Engineering, Series D **83** (1961) 95

[Kid 95] N. Kidonakis, J. Smith
Bottom Quark Production Cross Section at HERA – B
ITP-SB-95-45

[Kle 88] H.J. Klein, J. Zoll
PATCHY Reference Manual
Program Library L400, CERN, 1988

[Kob 73] M. Kobayashi, T. Maskawa
CP-Violation in the Renormalizable Theory of Weak Interaction
Prog. Theor. Phys. **49** (1973) 652

[Koc 95a] N. Koch
Entwurf der FLEX 8000-Testplatine, September 1995

[Koc 95b] N. Koch
EPROM-Simulator-Programm, November 1995

[Kol 96] M. Kolander
Persönliche Mitteilung, August 1996

[Kol 97] M. Kolander
Persönliche Mitteilung, Januar 1997

[Küh 93] E. Kühn
Handbuch TTL- und CMOS-Schaltungen
4. Auflage, Verlag Technik, Berlin 1993

[Lan 57] L.D. Landau
On the Conservation Laws for Weak Interactions
Nucl. Phys. **3** (1957) 127

[LeC 91] LeCroy Corporation
Model 9450A Dual-Channel Digital Oscilloscope
Operator's Manual, June 1991

[LeC 96a] LeCroy Corporation
Probes and Probing
Application Note, http://www.lecroy.com/tm/AppNotes/ProbesProbing/Probes.htm, 1996

[LeC 96b] LeCroy Corporation
Fundamentals of DSOs
Tutorial, http://www.lecroy.com/tm/Fundam/fund.html, 1996

[Lee 56] T.D. Lee, C.N. Yang
Question of Parity Conservation in Weak Interactions
Phys. Rev. **104** (1956) 254

[Loh 94] T. Lohse et al.
HERA – B An Experiment to Study CP Violation in the B System Using an Internal Target at the HERA Proton Ring
Proposal, DESY–PRC 94/02, May 1994

[Lüd 57] G. Lüders
Proof of the TCP Theorem
Ann. Phys. **2** (1957) 1

[New 93] F.M. Newcomer et al.
A Fast, Low Power, Amplifier-Shaper-Discriminator for High Rate Straw Tracking Systems
IEEE Trans. Nucl. Sci. **40** (1993) 630

[Nie 86] U. Niermann, W. Krecker
Logikanalyse: Grundlagen und Praxis der Logik- und Signaturanalyse; Auswahlkriterien; Entwicklungstrends
1. Auflage, Vogel-Verlag, Würzburg 1986

[Noe 18] E. Noether
Invariante Variationsprobleme
Nachr. v. d. Ges. d. Wiss. zu Göttingen **2** (1918) 235

[Nof 95] K.-H. Noffz
Ein FPGA-Prozessor als 2nd-Level-Trigger für ATLAS: Entwicklung, Aufbau und Test der Enable Machine
Dissertation, Ruprecht-Karls-Universität Heidelberg, 6.12.1995

[Now 95] S. Nowak
HBGEAN and HBRCAN
http://www.-hera-b.desy.de/subgroup/software/geandoc.ps, 15.3.1995

[Pau 55] W. Pauli in: W. Pauli (Hrsg.)
Niels Bohr and the Development of Physics; Exclusion Principle, Lorentz-Group and Reflection of Space-Time and Charge
2. Auflage, Pergamon Press, London 1955, 30

[Pen 65] A.A. Penzias, R.W. Wilson
A Measurement of Excess Antenna Temperature at 4080 Mc/s
Astrophys. J. **142** (1965) 419

[Sjö 93] T. Sjöstrand
PYTHIA 5.7 and JETSET 7.4: Physics and Manual
CERN-TH.7112/93, Long Writeup W5035/W5044, December 1993

[Res 95a] D. Ressing
First Level Trigger: Summary & Status
Hera-B 95-042 (Internal Note)

[Res 95b] D. Ressing
HERA – B Control System Structure
http://www.desy.de/ftp/pub/herab/daq/ctrl.ps

[Res 96a] D. Ressing
First Level Trigger for HERA – B
Hera-B 96-244 (Internal Note)

[Res 96b] D. Ressing
Protocols & Data Formats in HERA – B
http://www.desy.de/ftp/pub/herab/daq/format.ps

[Res 97a] D. Ressing
FCS Specifications
http://www.desy.de/ftp/pub/herab/daq/FCSimplement.ps

[Res 97b] D. Ressing in: J. Zweizig et al.
HERA – B Coll. Meeting, Feb. 3rd - 7th, 1997. DAQ Session - Morning
Hera-B 97-019 (Internal Note)

[Rod 95] A. Rodewald
Elektromagnetische Verträglichkeit: Grundlagen, Experimente, Praxis
1. Auflage, Vieweg-Verlag, Wiesbaden 1995

[Ros 90] J. Rose et al.
Architecture of Field-Programmable Gate Arrays: The Effect of Logic Block Functionality on Area Efficiency
IEEE JSSC **25** (1990) 1217

[Ros 96] J.L. Rosner
CKM Matrix and Standard-Model CP Violation
4th KEK Topical Conference on Flavor Physics, Tsukuba, Japan, 29.-30.10.96
Nucl. Phys. Proc. Suppl. vorgelegt

[Rot 93] A. Roth
Das Microcontroller-Kochbuch
4. Auflage, IWT-Verlag, Vaterstetten bei München 1993

[Sak 67] A.D. Sakharov
Violation of CP Invariance, C Asymmetry, and Baryon Asymmetry of the

Universe
ZhETF Pis'ma **5** (1967) 32; Sov. Phys. JETP Lett. **5** (1967) 24

[Sch 96a] B. Schmidt
Inner Tracking bei HERA – B
Vortrag, Universität Dortmund, 12.11.1996

[Sch 96b] H. Schröder
CP Verletzung
Blockkurs, Universität Dortmund, 28.-30.10.1996

[Sch 96c] A.J. Schwab
Elektromagnetische Verträglichkeit
4. Auflage, Springer-Verlag, Heidelberg 1996

[Sof 96] The HERA – B Software Group
ARTE: The Event Reconstruction ans Analysis Tool for HERA – B
http://www-hera-b.desy.de/subgroup/software/arte/arte-manual.ps, 12.3.1996

[Spe 96] J. Spengler
HERA – B – An Experiment to Study CP Violation in the B System Using an Internal Target at the HERA Proton Ring
Hera-B 96-174 (Internal Note)

[Spr 96] S. Spratte
Untersuchung zu den Eigenschaften eines internen Drahttargets für das HERA – B Experiment
Diplomarbeit, Universität Dortmund, März 1996

[Tex 78] Texas Instruments Deutschland GmbH
Das TTL-Kochbuch
5. Auflage, Technik Marketing, München 1978

[Tit 95] M. Titov
Private E-Mail, 3.11.1995

[Tit 96] M. Titov
Studies of Background for Muon Identification at the HERA – B Experiment
Hera-B 96-137 (Internal Note)

[Wac 97] K. Wacker
Private Mitteilung, Januar 1997

[Web 96] A. Weber
EMV in der Praxis
2. Auflage, Hüthig-Verlag, Heidelberg 1996

[Wen 96] T. Wenk
Private Mitteilung, September 1996

[Wen 97] T. Wenk
Private Mitteilung, März 1997

[Wic 93] J. Wickenhäuser
MIDI/RS232-80C535: Microcontroller-Entwicklungs-System
12.12.1993

[Wig 49] E.P. Wigner
Invariance in Physical Theory
Proc. Amer. Phil. Soc. **93** (1949) 521

[Wol 64] L. Wolfenstein
Violation of CP Invariance and the Possibility of Very Weak Interactions
Phys. Rev. Lett. **13** (1964) 562

[Wol 83] L. Wolfenstein
Parametrization of the Kobayashi-Maskawa-Matrix
Phys. Rev. Lett. **51** (1983) 1945

[Wu 57] C.S. Wu et al.
Experimental Test of Parity Conservation in Beta Decay
Phys. Rev. **105** (1957) 1413

[Wur 96] R. Wurth in: R. Harr et al.
Collaboration Meeting, 30.9.-5.10.1996, Muon Session
Hera-B 96-210 (Internal Note)

[Zai 95b] Yu. Zaitsev
Status of the Muon System
Hera-B 95-110 (Internal Note)

[Zai 97] Yu. Zaitsev
Private E-mail, 25.2.1997

[Zwe 96] J. Zweizig
Data Acquisition in the HERA – B *and LHC Era*
Hera-B 96-255 (Internal Note)

[Zwe 97] J. Zweizig
Event Control Module Proposal
http://www.desy.de/ftp/pub/herab/daq/evt-ctl.ps, 29.1.1997

Danksagung

Zunächst bedanke ich mich bei Herrn Prof. Dr. D. Wegener für die interessante Aufgabenstellung und seine Unterstützung während dieser Arbeit.

Herrn Prof. Dr. P. Buchholz danke ich für die Bereitschaft, die Aufgabe des Koreferenten zu übernehmen.

Einen ganz besonderen Dank schulde ich C. Cruse, M. Kolander, S. Spratte und Th. Wenk für ihre kritischen Kommentare nach Lesen des Manuskriptes.

Weiterhin gilt mein Dank den Mitgliedern der Myon-Pretrigger-Arbeitsgruppe in Dortmund, in deren Rahmen die beschriebenen Untersuchungen durchgeführt worden sind. Im Speziellen danke ich C. Cruse für sein Interesse, N. Koch und M. Kolander, ohne deren Fachwissen diese Arbeit nicht realisierbar gewesen wäre, Th. Wenk für wichtige Denkanstöße und seine Hilfe, auch wenn er einmal keine Zeit hatte.

Bedanken möchte ich mich bei allen Mitgliedern des Lehrstuhls für Experimentelle Physik V, die durch vielfältige große und kleine Hilfen am Entstehen dieser Arbeit beteiligt waren.

Besonders möchte ich mich bei M. Grewe bedanken, der auch in schwierigen Situationen immer ein nettes Wort übrig hatte.

Für seinen Rat bei Fragen zur Fehlerrechnung danke ich Dr. K. Wacker.

Für sein Engagement bei der Anfertigung der Photographien in dieser Arbeit danke ich Herrn J. Huhn.

Den Mitgliedern der HERA – B Kollaboration gebührt großer Dank, weil ohne ihre Engagement diese Arbeit nie begonnen worden wäre.

Der Studienstiftung des deutschen Volkes danke ich für die langjährige Unterstützung und die vielen angebotenen Möglichkeiten. Herrn Prof. H.-H. Gerlach und Herrn Dr. R. Strub-Röttgerding danke ich hierbei ganz besonders.

Ingo danke ich dafür, daß wir einen großen Teil unseres Studiums gemeinsam absolvieren konnten, auch in einer Zeit, als wir beide es sehr schwer hatten, an Physik zu denken.

Beate bin ich zu größtem Dank für ihre unendliche Geduld und tausendfache Hilfe verpflichtet.

Zuletzt, aber zuallererst danke ich meinen Eltern (allen vier) und meinen Großeltern, ohne all deren Hilfe ich dieses Studium nie hätte beginnen, geschweige denn beenden können.

Diese Arbeit wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter der Projektnummer 057DO55P gefördert.