

Erstellung einer Testumgebung
für das digitale Ausleseboard
der AMIGA Elektronik

Bachelorarbeit
zur Erlangung des akademischen Grades
Bachelor of Science
(B.Sc.)

dem Fachbereich Physik
der Universität Siegen

vorgelegt von
Jens Neuser

August 2008

Inhaltsverzeichnis

1	Einleitung	1
2	Kosmische Strahlung	3
2.1	Historie	3
2.2	Zusammensetzung	4
2.3	Spektrum	5
2.4	Schauerentwicklung	7
3	Das Pierre-Auger-Observatorium	9
3.1	Surface Detectors (SD)	10
3.2	Fluorescence Detectors (FD)	11
3.3	Rekonstruktion	11
3.4	Erweiterungen	13
4	AMIGA	15
4.1	Aufbau	15
4.2	Funktion	17
4.3	Digitalboard	17
4.4	Field Programmable Gate Array (FPGA)	19
5	Entwicklungsumgebung	23
5.1	ALTERA Cyclone III Development Kit	23
5.2	Quartus II 7.2	26
5.3	Messelektronik	27
6	Testroutine des Digital Boards	29
6.1	Test 0 : Grundlegende Tests	29
6.2	Test 1 : Clock Distributor Logic	30
6.3	Test 2 : Programmier- und Statusconnector	31
6.4	Test 3 : Front-End und Test Connector lines	32
6.5	Test 4 : Communication lines	33
6.6	Test 5 : DAC lines	33
6.7	Test 6 : External RAM	35
6.8	Test 7 : Trigger connector	38

7	Anwendung der Testprogramme	39
8	Zusammenfassung und Ausblick	45
	Anhang	47
A	Schematics Digital Board	47
A.1	Front End Interface	48
A.2	External RAM	49
A.3	Programming, Clock und Trigger	50
A.4	Microcontroller, Test und DAC	51
A.5	Power supply	52
	Literaturverzeichnis	53

Kapitel 1

Einleitung

Seit der Entdeckung der kosmischen Strahlung zu Beginn des 20. Jahrhunderts befassen sich Wissenschaftler auf der ganzen Welt mit den Fragen nach ihrer Herkunft, ihrer Entstehung und den Mechanismen, die sie beschleunigen. Auch das Pierre Auger Observatorium in Argentinien hat das Ziel diese Fragen zu beantworten oder zumindest der Lösung etwas näher zu kommen. Um dieses Ziel zu erreichen, muss das dort durchgeführte Experiment stets den neuesten wissenschaftlichen Erkenntnissen angepasst und entsprechend erweitert werden. Im Rahmen einer solchen Erweiterung, dem AMIGA-Projekt, ist die Arbeitsgruppe Hochenergiephysik der Universität Siegen an der Entwicklung und Produktion der Ausleseelektronik beteiligt. Die vorliegende Arbeit beschreibt den Entwurf einer Testroutine, welche die volle Funktionalität eines Teils dieser Elektronik, des Digital Boards, überprüft.

Zu Beginn der Arbeit wird zunächst eine kurze historische Einführung in das Thema der kosmischen Strahlung gegeben und es werden einige grundsätzliche Information zu diesem Gebiet dargestellt. Das dritte Kapitel befasst sich mit dem Pierre Auger Observatorium und erklärt dessen Aufbau und Funktion sowie die geplanten Erweiterungen. Dazu zählt u.a. das AMIGA Projekt, dessen Motivation und Aufbau im nächsten Kapitel beschrieben wird. Außerdem wird die Funktionsweise des Digital Boards und des Field Programmable Gate Arrays (FPGA) erläutert. In Kapitel 5 werden die Entwicklungsumgebung vorgestellt und die verschiedenen Teile der Messelektronik erläutert. Die entwickelte Testroutine für das Digitalboard wird schließlich unter Punkt 6 dargestellt. Dabei werden die Tests einzeln in ihrer Funktionsweise beschrieben und erklärt sowie mit Blockdiagrammen graphisch verdeutlicht. Im anschließenden Kapitel werden die realen Ergebnisse aus der Messung mit den ersten Prototypen des Digital Boards dargestellt. Eine kurze Schlussbetrachtung sowie ein Ausblick in die Zukunft des Projekts folgen im letzten Kapitel.

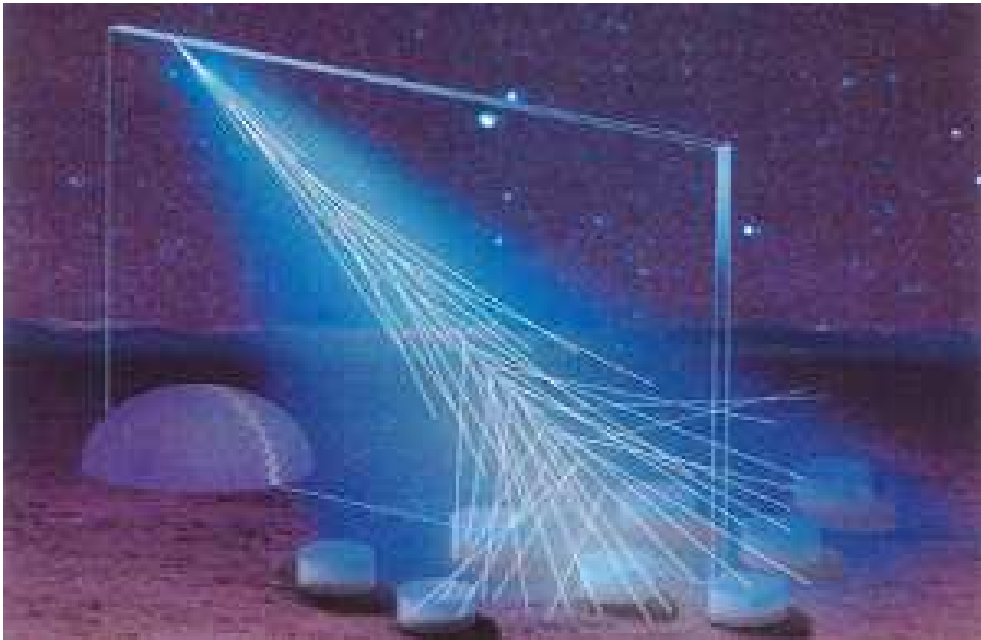


Abbildung 1.1: Kosmischer Schauer (schematisch) [1]

Kapitel 2

Kosmische Strahlung

2.1 Historie

Im Jahre 1912 entdeckte der österreichische Physiker Viktor Hess (Nobelpreis in Physik, 1936), dass die Erde ständig von hochenergetischer Strahlung aus dem Universum getroffen wird. In einem Ballonexperiment stellte er anhand von Elektrometermessungen fest, dass die Intensität von ionisierender Strahlung mit steigender Höhe zunächst abnimmt, dann jedoch wieder stark ansteigt [2]. Dieses Phänomen war mit der natürlichen Radioaktivität der Erde nicht ausreichend zu erklären und so folgerte Hess, dass uns auf der Erde auch energetische Strahlung aus dem Weltall erreichen muss.

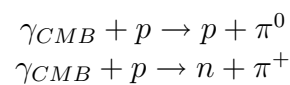
Dimitry Skobelzyn konnte 1927 zum ersten Mal Sekundärteilchen der kosmischen Strahlung in einer Nebelkammer nachweisen und ihre Spuren fotografieren. In den folgenden Jahren wurden bei weiteren Experimenten mit diesen Sekundärteilchen die bis dahin unbekanntes Positronen (1932), Myonen (1937) und Pionen (1947) entdeckt.

Pierre Auger wies 1938 schließlich die Existenz von ausgedehnten Teilchenschauern nach. Er entdeckte, dass bei einem Experiment in den Alpen benachbarte Detektoren Teilchen zur exakt selben Zeit registrierten. Daraus schloss er, dass es sich um Kaskaden von Sekundärteilchen handeln muss, die bei der Kollision von hochenergetischen Primärteilchen mit Atomen in der Atmosphäre erzeugt werden [1].

Im Jahre 1949 postulierte Enrico Fermi einen möglichen Mechanismus zur Beschleunigung der Teilchen im Weltall. Dabei werden die Protonen durch Abstoßung an magnetisiertem Plasma bzw. ebenen Schockfronten beschleunigt, die z.B. bei Supernovae entstehen. Mit relativistischen Rechnungen unter Annahme einer benötigten Injektionsenergie von ≈ 200 MeV kann man Energien bis zu 10^{16} eV erklären. Der Fermi-Mechanismus sagt das inverse Potenzgesetz des Energiespektrums voraus (siehe Kap. 2.3) und erklärt, dass die maximal erreichbare Energie proportional zur Ladung des beschleunigten Teilchens ist [3]. Ein wei-

terer Beschleunigungsmechanismus wird durch das Absaugen von Materie in einem Doppelsystem mit einem Pulsar oder einem Neutronenstern beschrieben. Durch Plasmabewegungen in der Akkretionsscheibe werden starke elektromagnetische Felder erzeugt, in denen geladene Teilchen ebenfalls beschleunigt werden können. Hier erhält man mit plausiblen Annahmen eine maximale Energie von ca. $3 \cdot 10^{16}$ eV [2].

Arno Penzias und Robert Wilson entdeckten 1960 die kosmische Hintergrundstrahlung (CMB). Daraus schlossen Kenneth Greisen, Vadim Kuzmin und Georgi Zatsepin, dass die hochenergetische kosmische Strahlung mit diesem Hintergrund wechselwirken und sich somit ihre Energie verringern müsse. Die möglichen Prozesse sind:



Die mittlere freie Weglänge für höchstenergetische Protonen beträgt ≈ 10 Mpc. Daher sollten Teilchen mit einer langen Wegstrecke eine Energie von $\approx 6 \cdot 10^{19}$ eV, die den Schwellenwert für die oben genannten Prozesse darstellt, nicht überschreiten. Dieses Phänomen ist unter dem Namen GZK-Cutoff bekannt [4].

Seit Mitte des 20. Jahrhunderts gibt es verschiedene Experimente, die sich mit diesen Teilchen und der Frage nach ihrer Entstehung und Herkunft auseinandersetzen. Das bisher höchstenergetische Teilchen wurde 1991 vom Experiment Fly's Eye in den USA registriert und hatte, entgegen der GZK-Annahme, eine Energie von $\approx 3 \cdot 10^{20}$ eV. Um diese hochenergetische Strahlung mit einer höheren Statistik studieren zu können, wurde 1995 das Pierre Auger Observatorium gegründet.

2.2 Zusammensetzung

Die kosmische Strahlung besteht aus geladenen, energetischen Teilchen aus dem Weltall, die in stellaren Prozessen freigesetzt werden und fortwährend auf die Erde „regnen“. Es handelt sich hauptsächlich um vollständig ionisierte Kerne (davon ungefähr 87 % Protonen, 12 % Heliumkerne und 1 % schwerere Kerne) und in sehr kleinen Anteilen Elektronen, Neutrinos und Photonen. Abbildung 2.1 vergleicht die Häufigkeit der Elemente in der primären kosmischen Strahlung mit der chemischen Zusammensetzung des Sonnensystems.

Wenn diese Teilchen die Erde erreichen, kollidieren sie mit anderen Kernen in der Atmosphäre (typischerweise auf einer Höhe von ca. 20 km). Dabei entstehen neue, sekundäre Teilchen, welche die Energie des ursprünglichen Teilchens unter sich aufteilen. Die sekundären Teilchen können nun entweder zerfallen oder kollidieren wieder mit anderen Kernen

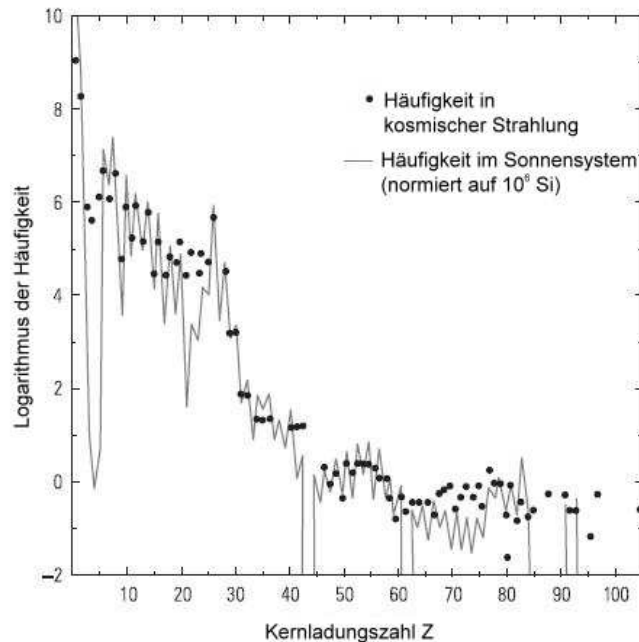


Abbildung 2.1: Vergleich der chemischen Komposition in der primären kosmischen Strahlung und im Sonnensystem [2]

in der Atmosphäre und erzeugen weitere Teilchen, die diesen Prozess fortführen und die totale Anzahl der energetischen Teilchen vervielfachen. So entsteht eine Teilchenkaskade (oder auch „Luftschauer“ genannt), in der sich, wenn sie die Erde erreicht, über 10^9 Teilchen befinden können und die sich über eine Fläche von mehreren km^2 erstrecken kann. Der Schauer wächst so lange bis die geladenen Pionen zu zerfallen beginnen anstatt zu wechselwirken und hat sein Maximum bei einer atmosphärischen Tiefe von $\approx 830 \text{ g/cm}^2$ (bei einer typischen Primärenergie von 10 EeV) [5].

2.3 Spektrum

Die Energie der primären Teilchen ist sehr weit verteilt und variiert von einigen 10^8 eV bis zu über 10^{20} eV . Diese Energie erhalten die Teilchen durch Beschleunigungsmechanismen im Weltraum. Für die niederenergetischen Teilchen ($10^8 - 10^{16} \text{ eV}$) sind dies hauptsächlich verschiedene Arten von Magnetfeldern, die zum Beispiel auf der Sonne, im Sonnenwind oder in Überresten von Supernovae in unserer Milchstraße existieren. Für die Beschleunigung der höchstenergetischen Teilchen existiert bisher noch keine einheitliche, wissenschaftliche Erklärung, daher befassen sich einige physikalische Experimente (u.a. Auger) mit eben dieser Fragestellung.

Doch genauso weit wie das Energiespektrum ist auch die Verteilung des Flusses gestreut. Liegt er für niederenergetische Teilchen bei $10^4 \text{ m}^{-2} \text{ s}^{-1}$, so erwartet man für Teilchen mit den höchsten Energien noch ein Ereignis pro km^2 pro Jahr, für Teilchen über 10^{20} eV sogar nur ein Ereignis pro km^2 pro Jahrhundert. Abbildung 2.2 zeigt die Abhängigkeit des Flusses von der Energie des Primärteilchens.

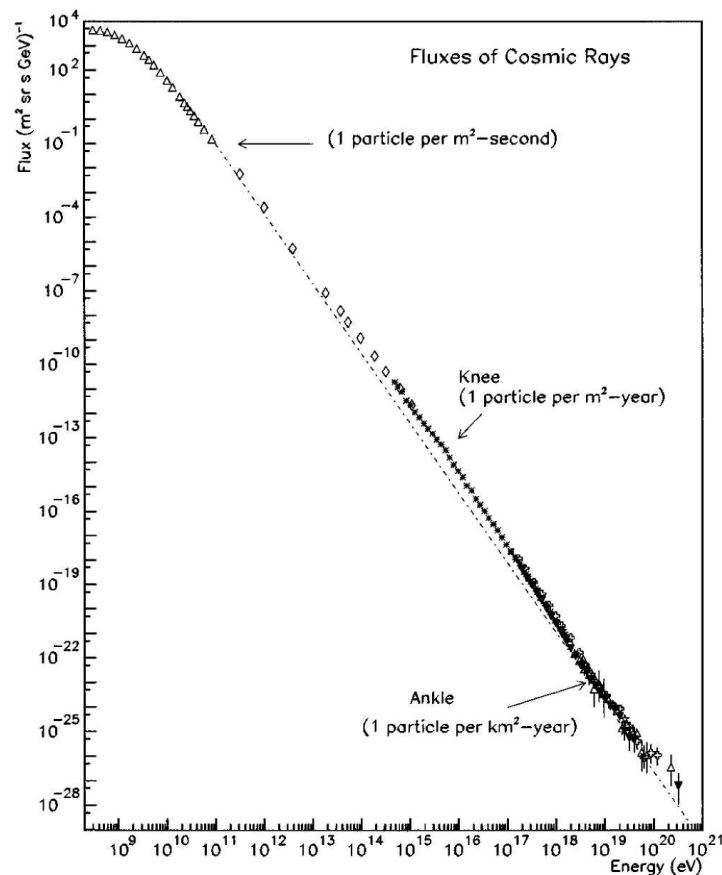


Abbildung 2.2: Energiespektrum der kosmischen Strahlung [6]

Das Energiespektrum der kosmischen Strahlung kann als inverses Potenzgesetz beschrieben werden:

$$\frac{dF}{dE} \propto E^{-\gamma}$$

Hierbei ist F der Fluss der kosmischen Strahlung, E ihre Energie und γ der spektrale Index. Damit lässt sich das Spektrum aus Abbildung 2.2 in drei Bereiche aufspalten. Das erste Knie erscheint bei ungefähr $3 \cdot 10^{15} \text{ eV}$ und der spektrale Index liegt zwischen 2,7 und 3,0. Das zweite Knie liegt zwischen 10^{17} und 10^{18} eV mit einem spektralen Index zwischen

3,0 und 3,3. Der Knöchel ist schließlich im Bereich von $3 \cdot 10^{18}$ eV. Oberhalb dieser Energie ist das Spektrum wieder flacher gewölbt mit einem spektralen Index von 2,7.

Der Ursprung der kosmischen Strahlung in den ersten beiden Bereichen liegt in unserer Galaxie und ihre Energie ist durch den Beschleunigungsmechanismus von Fermi erklärbar. Für die dritte Region sind die Fragen nach Ursprung, Beschleunigung und Zusammensetzung der Primärteilchen noch nicht geklärt.

2.4 Schauerentwicklung

Der gesamte Luftschauer lässt sich in vier verschiedene Komponenten aufspalten:

- hadronische Komponente
- elektromagnetische Komponente
- myonische Komponente
- Neutrinokomponente

Die erste Wechselwirkung ist, wie oben erwähnt, ein hadronischer Prozess und kann durch

$$N + N_{air} \rightarrow N' + N'_{air} + \pi^0(\pi^\pm, K^0, K^\pm, n, p, \dots)$$

beschrieben werden. N ist hier das primäre Teilchen der kosmischen Strahlung, N_{air} das atmosphärische Nukleon.

Die neutralen Pionen zerfallen in zwei Photonen, welche dann durch Paarerzeugung und Bremsstrahlung die elektromagnetische Kaskade aus Photonen, Elektronen und Positronen initiieren.

$$\pi^0 \rightarrow \gamma + \gamma \qquad \gamma + \gamma \rightarrow e^+ + e^-$$

Bei jeder hadronischen Wechselwirkung werden ca. 30 % der Energie in die elektromagnetische Komponente transferiert. Da die Hadronen sehr häufig wechselwirken, tragen die Elektronen, Positronen und Photonen ungefähr 85 % der ursprünglichen Energie und machen etwa 99 % der Gesamtzahl der Teilchen aus. Sie werden jedoch sehr schnell durch Wechselwirkungen mit der Atmosphäre absorbiert, so dass die elektromagnetische Komponente ausstirbt [5].

KAPITEL 2. KOSMISCHE STRAHLUNG

Die geladenen Mesonen, die im ersten hadronischen Prozess erzeugt werden, zerfallen hauptsächlich in



Die entstehenden Myonen bilden die myonische Komponente, die insgesamt jedoch weniger als 1 % der Gesamtzahl der Teilchen beträgt. Aufgrund ihrer relativistischen Geschwindigkeit erreichen viele, trotz ihrer Lebensdauer von „nur“ $2,2 \cdot 10^{-6}$ s die Erdoberfläche und machen insgesamt ca. 80 % der geladenen Teilchen auf Meereshöhe aus [2].

Wie oben zu sehen, erzeugen Myonen, Kaonen und Pionen bei ihrem Zerfall Neutrinos, welche dann die Neutrino-Komponente formen. Schließlich bilden die Hadronen, die die Wechselwirkungen „überleben“, die hadronische Komponente. Den größten Anteil in dieser Komponente haben die Pionen mit ≈ 65 %. Abbildung 2.3 zeigt eine schematische Darstellung der Entwicklung eines Luftschauers.

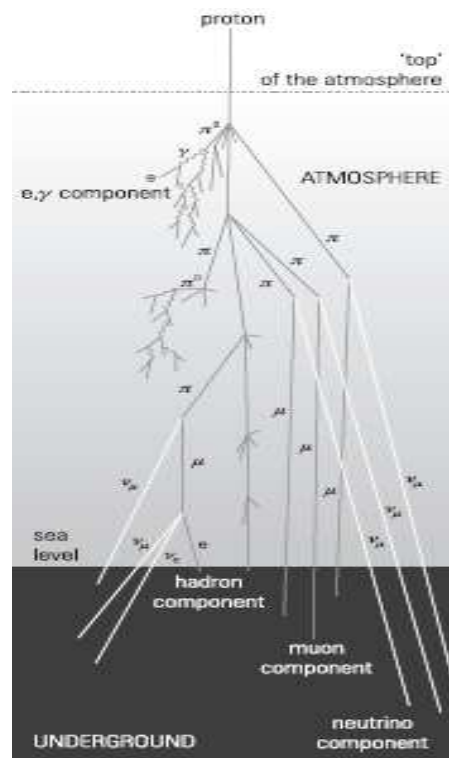


Abbildung 2.3: Entwicklung eines Luftschauers [2]

Kapitel 3

Das Pierre-Auger-Observatorium

Das Pierre Auger Observatorium (PAO) ist mit einer Fläche von fast 3000 km² die weltweit größte Detektoranlage zur Messung kosmischer Strahlung der höchsten Energien. Es unterscheidet sich von anderen Anlagen dadurch, dass zum ersten Mal eine Hybridmesstechnik verwendet wird. Hierbei wird die Strahlung simultan von zwei unabhängigen Detektoreinheiten, Oberflächendetektoren (SD) und optischen Teleskopen (FD), gemessen (siehe Abb. 3.1). Dies führt zu einer erheblichen Verkleinerung der Unsicherheit bei der Messung von Energie, Ankunftsrichtung und Massenzusammensetzung. Außerdem wird das PAO mit je einem Detektorfeld auf der Nord- und Südhalbkugel das einzige Observatorium sein, das den kompletten Himmel beobachten kann. Das südliche Array in Mendoza, Argentinien, ist fast fertiggestellt und nimmt bereits seit dem Jahr 2004 Daten. Der Baubeginn des nördlichen Arrays in Colorado, USA, soll in den kommenden Jahren erfolgen.

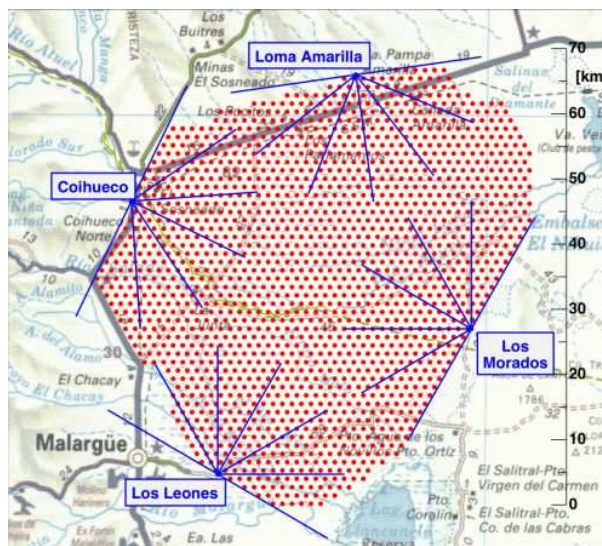


Abbildung 3.1: Geographische Ansicht der Detektoranlage mit den SD-Tanks (rote Punkte) und dem Gesichtsfeld der vier FD-Teleskope (blaue Linien) [1]

3.1 Surface Detectors (SD)

Der komplette Aufbau des SD-Arrays enthält 1600 autarke, solarbetriebene Detektorstationen, die in einem Abstand von jeweils 1500 m zueinander aufgestellt sind. Jede Station besteht aus einem 120 cm hohen, zylindrischen Tank mit einer Grundfläche von 10 m² und ist mit 12 t hochreinem Wasser gefüllt. Die Elektronik wird über eine solargespeiste Batterie betrieben, die zeitliche Datierung der Events erfolgt über einen GPS Empfänger. Abbildung 3.2 zeigt eine schematische Darstellung eines Tanks.

Durchquert nun ein hochenergetisches Teilchen den Detektor mit einer Geschwindigkeit v , die größer ist als die Lichtgeschwindigkeit c_n des durchlaufenen Mediums mit Brechungsindex n ($v \geq c_n = \frac{c}{n}$), so sendet es unter einem Winkel von $\theta_c = \arccos \frac{1}{\beta n}$ relativ zur Teilchenbahn Cherenkov-Strahlung aus, da die durch die Polarisation der Wasseratome erzeugten elektromagnetischen Wellen unter diesem Winkel positiv miteinander interferieren [2]. Diese Strahlung wird mit drei im Tank befindlichen Photomultipliern (PMT) nachgewiesen und über Digital-Analog-Wandler in einen Datenstrom umgesetzt. Bereits in der Tankelektronik erfolgt über verschiedene Triggerstufen eine Vorselektion der Daten im Hinblick auf mögliche Schauerereignisse. Im Anschluss werden diese Daten über ein modifiziertes Mobilfunknetz an die zentrale Datennahme gesendet und nach einer erneuten Selektion (Anzahl der triggernden Stationen, etc.) zur Schauerrekonstruktion verwendet. Atmosphärische Myonen werden zur ständigen Kalibration benutzt.

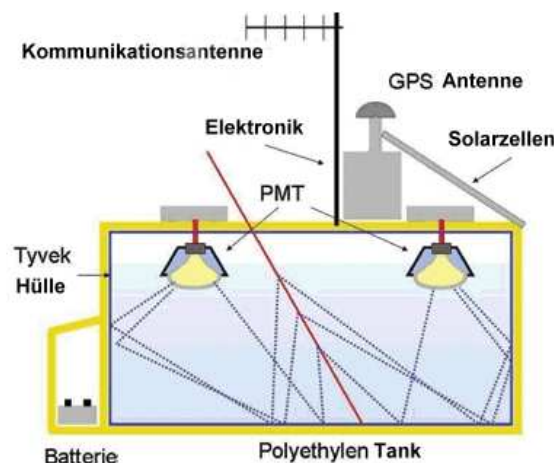


Abbildung 3.2: Schematischer Aufbau eines SD Tanks [7]

3.2 Fluorescence Detectors (FD)

Trifft ein geladenes Schauerteilchen in der Atmosphäre auf ein Stickstoffatom, so kann es dieses zur Emission von ultraviolettem Fluoreszenzlicht anregen. Diesen Effekt nutzt die zweite Nachweismethode im Auger-Experiment. Insgesamt 24 Teleskope in vier Beobachtungsstationen überblicken das Detektorfeld mit einem Gesichtsfeld von jeweils $30^\circ \times 30^\circ$ und können über die Aufzeichnung dieses Lichts das Anwachsen der Sekundärteilchen in der Luft verfolgen. Dafür wird das einfallende Licht auf einem 12 m^2 großen Spiegel gesammelt, auf eine Kamera mit 440 Photonenvervielfachern gebündelt und dort alle $0,1 \mu\text{s}$ aufgezeichnet [1]. Abbildung 3.3 zeigt Spiegel und Kamera eines Fluoreszenzteleskops.

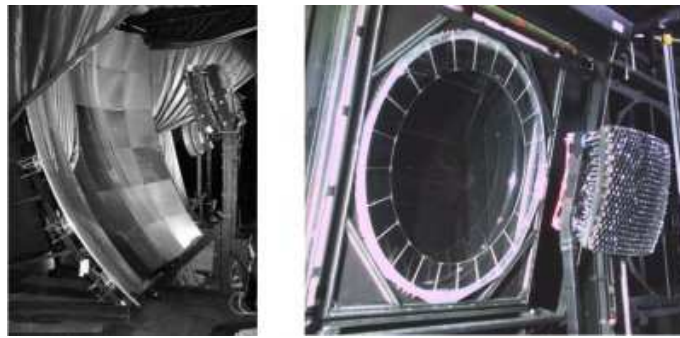


Abbildung 3.3: Spiegel und Kamera eines FD Teleskops [7]

Aus diesen Daten kann anschließend u.a. die Ankunftsrichtung und Energie des kosmischen Primärteilchens bestimmt werden. Da die Intensität des emittierten Fluoreszenzlichts jedoch sehr gering ist, kann eine Datennahme nur bei ausreichender Dunkelheit erfolgen, weshalb die FD nur in klaren, mondlosen Nächten zum Einsatz kommen.

3.3 Rekonstruktion

Haben die Daten eines Schauers alle physikalischen und qualitativen Trigger passiert, werden sie zur Rekonstruktion des ursprünglichen Events verwendet. Zunächst wird aus den gemessenen Ankunftszeiten aller getroffenen SD-Tanks die Ankunftsrichtung unter Annahme einer sphärischen Schauerebene bestimmt (bei Hybrid-Events ist auch eine Bestimmung über die Schauer-Detektor-Ebene der FD möglich). Daraus können nun Zenit- und Azimutwinkel mit einer Unsicherheit $< 2^\circ$ errechnet werden. Zur Bestimmung des Schauerkerens wird eine laterale Verteilungsfunktion (LDF) benutzt, die beste Annäherung wird mit einer NKG-ähnlichen Funktionen erzielt ([8], [9]):

$$S(r) = S(1000) \cdot 3,47^\beta \cdot \left(\frac{r}{700}\right)^{-\beta} \cdot \left(1 + \frac{r}{700}\right)^{-\beta}$$

Hierbei ist $S(1000)$ das Signal in 1000 m Entfernung von der Schauerachse, r der Abstand der Schauerachse zum Tank in Metern und β die Steigung der Funktion mit der Form $\beta = a + b(\sec \theta - 1)$, wobei θ der Zenitwinkel der Schauerachse ist. Die LDF gibt das Abfallen des Signals in Abhängigkeit vom Tankabstand für Zenithwinkel $< 60^\circ$ und Energien oberhalb von 3 EeV an. Bei diesen Parametern erreicht das Detektorfeld volle Effizienz, d.h. die Verwendbarkeit ist zeitunabhängig und nur durch den geometrischen Aufbau des Feldes begrenzt.

In der Nähe des Kerns hängt das Signal sehr stark von der Tiefe der ersten Wechselwirkung ab, daher kann es zu Fluktuationen der Signale bei einer Gruppe von Teilchen mit der gleichen Masse und Primärenergie kommen. Bei einiger Entfernung zum Kern dominieren die statistischen Fluktuationen. In einer Studie wurde festgestellt, dass die Fluktuationen der Signale in einer Entfernung von ca. 1000 m zum Kern ein breites Minimum besitzen [9]. Daher wird $S(1000)$ als Parameter zur Energieabschätzung für das Primärteilchen verwendet.

Abbildung 3.4 zeigt die Signale aller angesprochenen Tanks eines bestimmten Ereignisses. Darunter sind die rekonstruierten Daten für diesen Schauer angegeben.

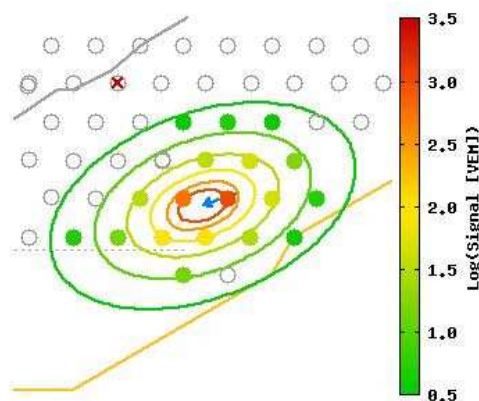


Abbildung 3.4: Tanksignale eines Ereignisses mit ≈ 41 EeV [1]

Eventnummer:	4128900
Anzahl Stationen:	18
Energie:	41.1 ± 1.4 EeV
Krümmung:	19.1 ± 0.8 km
Theta:	54.5 ± 0.1 Grad
Phi:	20.9 ± 0.1 Grad
Ostkoordinate:	479789 ± 9 m
Nordkoordinate:	6073404 ± 16 m

3.4 Erweiterungen

Durch die Installation von drei neuen Komponenten soll das Auger-Experiment in naher Zukunft erweitert werden und so an Funktionalität gewinnen. Dazu gehören

- **AMIGA** (*Auger muon and infill for the ground array*): Auf einer Fläche von ca. 25 km² wird die Gitterweite des Detektorfeldes durch das Einfügen von 85 weiteren Tanks auf 433 m bzw. 750 m verkleinert. Durch die Erhöhung der Detektordichte wird die Nachweiswahrscheinlichkeit für Schauer im Bereich von 10¹⁷ eV bis 10¹⁸ eV deutlich vergrößert. In unmittelbarer Nähe dieser Tanks werden außerdem 85 jeweils 40 m² große Plastiksintillatoren als Myonenzähler unter 3 m Erdschirmung installiert. Die separate Messung der Myonen kann als weiterer Indikator für die Masse des Primärteilchens verwendet werden. Eine ausführliche Erläuterung der AMIGA-Erweiterung folgt in Kapitel 4.

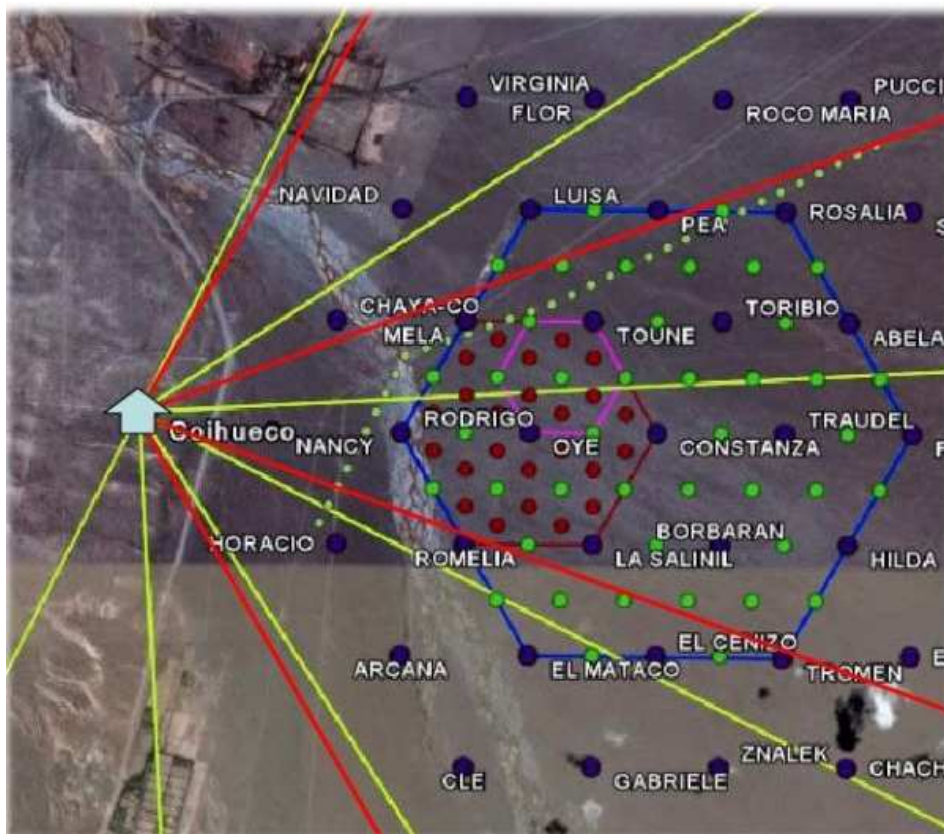


Abbildung 3.5: Das AMIGA-Array (Punkt $\hat{=}$ Tank, blau = 1500 m, grün = 750 m, rot = 433 m) und die HEAT-Teleskope (Linien $\hat{=}$ Gesichtsfeld, gelb = FD „Coihueco“, rot = HEAT) [1]

- **HEAT** (*High elevation Auger telescopes*): Nahe der bereits installierten FD-Station „Coihueco“ werden drei weitere Fluoreszenzteleskope aufgebaut. Diese sollen zusätzlich zu „Coihueco“ den Himmel über dem Infill-Array beobachten. Der Erhebungswinkel dieser neuen Teleskope wird von 30° bis 58° reichen und erlaubt es somit, Fluoreszenzerscheinungen auch in größeren atmosphärischen Höhen zu registrieren. Dadurch wird das Energieintervall der FD um eine Dekade zu geringeren Energien erweitert, da niederenergetische Schauer ihr Maximum auch höher in der Atmosphäre ausbilden und bisher von den ursprünglichen Teleskopen mit einem Erhebungswinkel zwischen 3° und 30° nicht gesehen werden konnten.
- **Radio antenna**: Ebenfalls in Planung ist ein ca. 20 km^2 großes Testfeld, integriert in das Infill-Array, um hochenergetische Luftschauer mittels Radioantennen nachzuweisen. Ziel ist es, diese Methode als kostengünstige und effektive Alternative zur Messung von kosmischer Strahlung zu optimieren.

Kapitel 4

AMIGA

Wie bereits beschrieben ist das AMIGA-Projekt eine der drei Erweiterung für das Pierre-Auger-Observatorium. Es beinhaltet einerseits die Erhöhung der Detektordichte in einem 23,5 km² großen Bereich des SD-Arrays, andererseits die Installation von unterirdischen Myonenzählern in der Nähe dieser Tanks. Damit wird sowohl das Energiespektrum um eine Dekade zu niedrigeren Energien erweitert als auch die Messungengenauigkeit bei der Massenbestimmung des Primärteilchens erheblich verkleinert. Ziel ist die genauere Untersuchung des Energiespektrums im Bereich zwischen dem sogenannten „zweiten Knie“ (10^{17} eV) und dem Knöchel (5×10^{18} eV). In diesem Bereich erwartet man den Übergang von galaktischer kosmischer Strahlung zu Teilchen extragalaktischer Herkunft und hofft durch die Analyse dieser Teilchen mehr über ihre Produktion und Ausbreitung zu erfahren [10]. Das zweite Knie könnte das Ende der Effizienz von Supernova-Schockwellen als Beschleunigungsmechanismus für die schwersten stabilen Kerne darstellen und ist daher besonders interessant [11]. Vor allem in der Zusammensetzung der Primärstrahlung sollte dieser Übergang deutlich zu beobachten sein, welche jedoch nicht einfach zu bestimmen ist. Eine Möglichkeit besteht darin, aus dem Verhältnis von Hadronen zu Myonen im Schauer die Masse und aus der Gesamtzahl der erzeugten Myonen die Energie des Primärteilchens zu ermitteln, jedoch wird für diese Rechnung eine sehr genaue Information über die Myonenzahl benötigt. Hier findet der Myonenzähler des AMIGA Projekts seine Anwendung.

4.1 Aufbau

Als Areal für die Erweiterung wurde eine Fläche östlich der FD-Station „Coihueco“ ausgewählt. Die neuen Tanks werden wie im gesamten Auger-Array in einem hexagonalen Gitter aufgestellt, so dass sich für das Infill-Array zwei hexagonale Flächen ergeben (siehe Abbildung 3.5). Im äußeren Hexagon wird der ursprüngliche Tankabstand durch 42 zusätzliche Detektoren auf 750 m halbiert. Außerdem werden in einem 5,9 km² großen Bereich 24 weitere SD-Tanks aufgestellt, so dass sich in diesem inneren Hexagon der Tankabstand auf

433 m reduziert. Somit ergibt sich für das gesamte Infill-Array eine Detektorzahl von 85 Tanks (davon 66 neu) [12].

In unmittelbarer Nähe zu jedem dieser Tanks werden in einer Tiefe von etwa 3 m vier Myonenzähler installiert. Die Zähler bestehen aus hochauflösenden Szintillatorenmodulen mit optischen Fibern, die auf einem 64 Pixel PMT zusammengeführt und ausgelesen werden. Das momentane Design sieht vier zusammengefügte Module mit einer Streifengröße von 400 cm x 4,1 cm x 1,0 cm (L x B x H) und somit einer Gesamtfläche von 40 m² vor [7]. Jeder Zähler verfügt über eine separate Ausleseelektronik (siehe Kapitel 4.2). Spannungsversorgung und Datenübertragung werden überirdisch platziert und bestehen aus einer solargespeisten 24 V Batterie sowie einer Radioantenne (802.11 WiFi). Abbildung 4.1 zeigt einen schematischen Aufbau eines Detektorpaars aus Tank und Myonenzähler mit Ausleseelektronik.

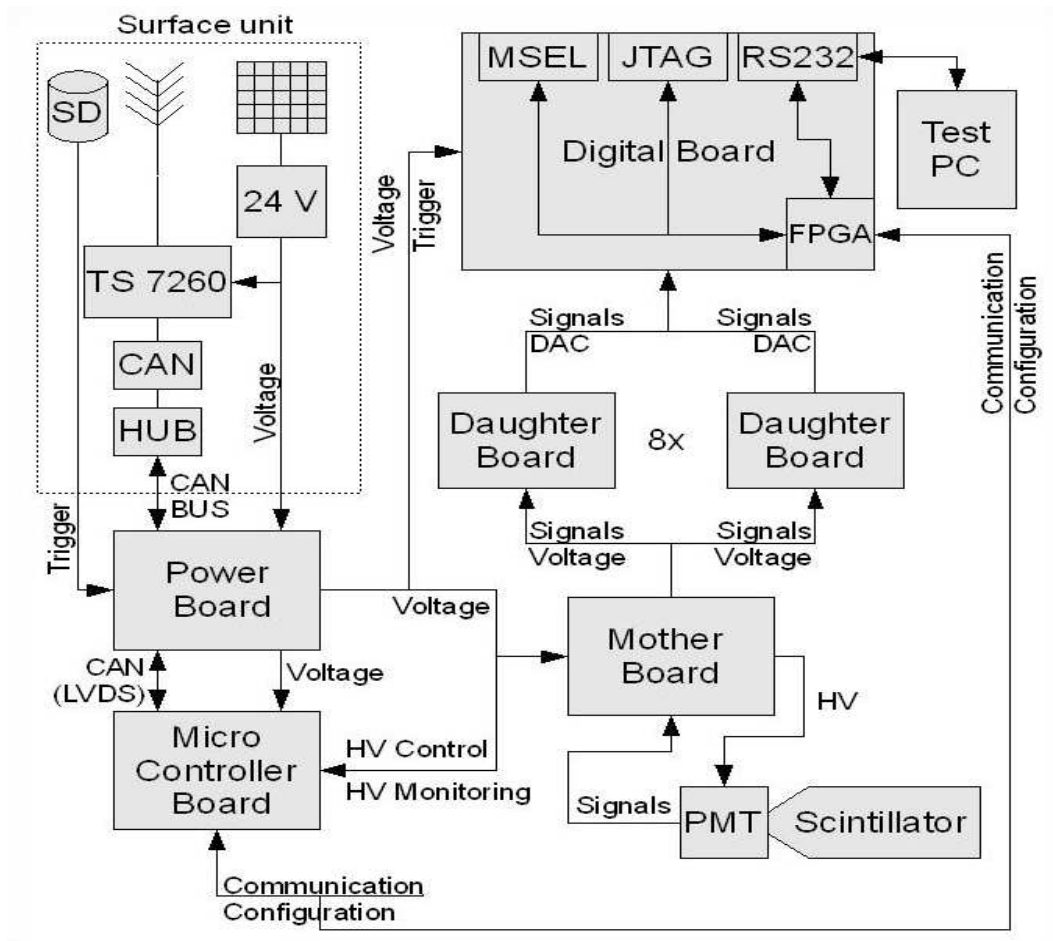


Abbildung 4.1: Schematischer Aufbau der AMIGA-Elektronik

4.2 Funktion

Die Ausleseelektronik des Myonenzählers ist modular auf fünf verschiedene Boards verteilt, die in Sandwichbauweise mit dem PMT verbunden werden. Durchläuft ein Myon den Szintillator so entsteht in dem getroffenen Streifen ein Lichtsignal, das über den PMT ausgelesen und auf das **Mother Board** (MB) übertragen wird. Dort werden die PMT Pins aufgefächert und in 8 x 8 Kanäle aufgeteilt. Auf dem MB erfolgt über einen High Voltage Converter auch die Hochspannungsversorgung für den PMT.

Jeweils 8 Kanäle werden anschließend zusammen auf eines der acht **Daughter Boards** (DB) geführt und jeder Kanal durchläuft dort einen Verstärker sowie einen Comparator zur Rauschunterdrückung, der auf ca. 30 % der mittleren Amplitude eines einzelnen Photoelektrons eingestellt ist und dessen Schwellenwert über einen Digital-to-Analog Converter (DAC) für jeden Kanal separat gesetzt werden kann.

Im Anschluss werden die Signale aller acht DBs auf das **Digital Board** (DigB) transferiert. Dort sitzt die zentrale Verarbeitungseinheit der Ausleseelektronik, der FPGA (*Field Programmable Gate Array*) Cyclone III. Hier werden die Signale ausgewertet, gespeichert (intern oder in externem RAM) und bei entsprechenden Triggerbedingungen an den Microcontroller (MCU) auf dem **Microcontroller Board** (MCB) weitergeleitet. Der MCU soll im finalen Design in das DigB integriert werden und sendet dann die Signale angemessen kanalisiert an die Oberflächeneinheit. Außerdem kann der FPGA vom MCU programmiert werden.

Die Spannungsversorgung der einzelnen Boards erfolgt über das **Power Distributor Board** (PDB). Es bezieht seine Spannung von der Batterie in der Oberflächeneinheit und erzeugt über separate Schaltkreise die Spannungen für die verschiedenen Karten. Außerdem werden die LVDS-Trigger- und CAN-Bus-Signale von der Oberflächeneinheit verarbeitet und an DigB und MCB weitergeleitet.

4.3 Digitalboard

Das Digitalboard ist das Herzstück der Ausleseelektronik des AMIGA-Projekts. Es setzt sich aus mehreren Komponenten zusammen, die alle mit dem FPGA (siehe Kapitel 4.4) verbunden sind bzw. von diesem angesteuert und geschaltet werden. Als externer Taktgeber wird ein 40 MHz Oszillator-Kristall verwendet, dessen Takt über eine zero-delay Clock Distributor Logic (CDL) [13] vierfach vervielfältigt wird.

Die Spannungsversorgung vom PDB wird über einen High-Current Low-Dropout Regu-

lator [14] bzw. ein Voltage Single Supply [15] auf 3,3 V als Versorgungsspannung (VCC) bzw. 1,2 V als interne Kernspannung des FPGA (VCCINT) heruntergeregelt. Der Regulator schützt den FPGA außerdem vor Überstrom. Die 1,2 V bzw. 2,5 V Versorgung der PLLs im FPGA wird über einen Linear Voltage Regulator [16] mit einer Schwankungstoleranz unterhalb von 3,0 % gewährleistet.

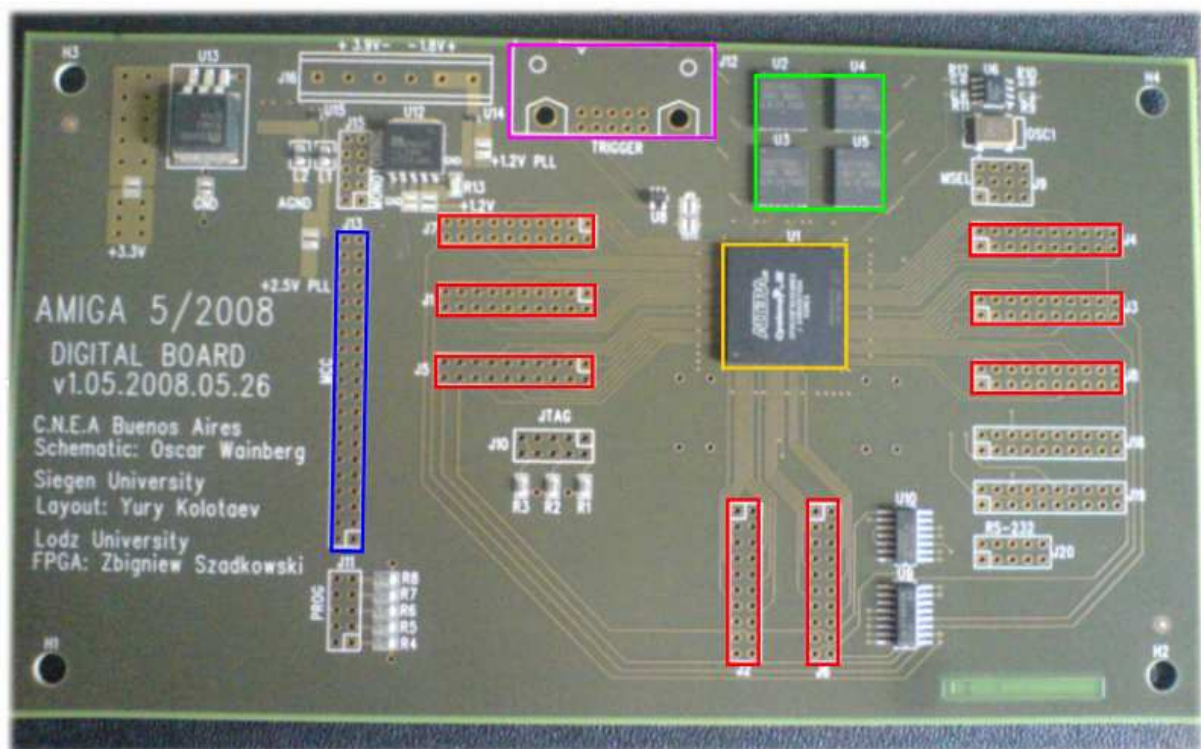


Abbildung 4.2: Erster Prototyp des Digital Boards. Man erkennt die Daughter Board Steckplätze (rot), den FPGA (gelb), die RAM Chips (grün), den Microcontroller Anschluss (blau) und der Anschluss für den Triggerconnector (rosa).

Zunächst verfügt das Board über acht 20-hole press-fit Steckplätze für die DBs. Jeder dieser Plätze verfügt über interne Leitungen zum FPGA sowie einen Steuerschaltkreis über einen Buffer [17] und einen Decoder [18], der den DAC [19] auf dem DB schaltet. Zusätzlich gibt es zwei Teststecker mit jeweils 20 Pins, davon 16 frei ansteuerbar. Diese werden später hauptsächlich in der Testroutine ihre Verwendung finden.

Der Microcontroller (MC) wird momentan noch über eine Kabelverbindung angesprochen, soll aber, wie erwähnt, im finalen Design integriert werden. Aktuell wird ein 40-Pin Connector verwendet, wovon 20 Kanäle zum MC führen, ein Kanal als Reset benutzt wird und die restlichen Kanäle auf GND gelegt sind.

Als Speicher werden zwei Bänke mit jeweils zwei 32-Mbit (2M x 16) CMOS static RAM

Chips [20] verwendet. Beschrieben und gelesen wird der RAM über 21 Adressleitungen und 32 bidirektionale Datenleitungen (jeweils 16 pro Chip), Bank- und Moduswahl (Schreiben oder Lesen) erfolgt über separate Freigabe-Leitungen.

Außerdem sind noch weitere Anschlüsse (u.a. für Programmierung) auf dem DigB vorhanden.

- Monitoring (10-Pin): Überprüfung der regulierten Spannungsversorgung auf dem Board
- JTAG Connector (10-Pin): Programmierung via JTAG mit den Signalen *TDI*, *TDO*, *TMS* und *TCK*
- PROG Connector (10-Pin): Programmier- bzw. Statussignale *DCLK*, *CONF_DONE*, *NCONFIG*, *NSTATUS* und *DATA0* für die Programmierung des FPGAs in anderen Modi
- MSEL Connector (12-Pin): Signale *MSEL0*, *MSEL1*, *MSEL2* und *MSEL3* zur Auswahl des Programmiermodus
- 3M Header (10-Pin): Übertragung der LVDS-Triggersignale vom PDB, Umwandlung durch einen LDVS Receiver und Verbindung über Jumper JP5 zum FPGA
- RS232 Anschluss: Verbindungsmöglichkeit zu einem Test PC über die Signale *TXD*, *RXD*, *DTR*, *DSR*, *RTS* und *CTS*

Die kompletten Schematics des DigB sind im Anhang A zu finden.

4.4 Field Programmable Gate Array (FPGA)

Die zentrale Verarbeitungseinheit der AMIGA-Elektronik ist der auf dem Digitalboard „beheimatete“ FPGA. Ein FPGA ist ein „Integrierter Schaltkreis“ (IC) der Digitaltechnik, der aus vielen identischen, programmierbaren Logik Einheiten (LE) aufgebaut ist, die als Standardkomponenten gesehen werden können und über ein Ball-Grid Array (BGA) mit dem Board verbunden sind [21]. Anzahl und Aufbau der LE kann zwischen den verschiedenen Gerätefamilien leicht variieren. Prinzipiell verbinden sie jedoch einige binäre Eingänge (typischerweise zwischen 3 und 10) mit einem oder zwei Ausgängen, die einer im Programm spezifizierten bool'schen Logikfunktion wie AND, OR, NOT, etc. entsprechen.

Die kombinatorische Logik wird meistens durch Look-up tables (LUT) gebildet, das heißt in einem kleinen Speicher wird für jeden Zustand der Eingänge der Wert abgelegt, den der Ausgang annehmen soll. Außerdem ist ein Speicherelement nachgeschaltet, das als D - FlipFlop (DFF), eine taktflankengesteuerte Kippstufe für zwei Zustände, verwendet

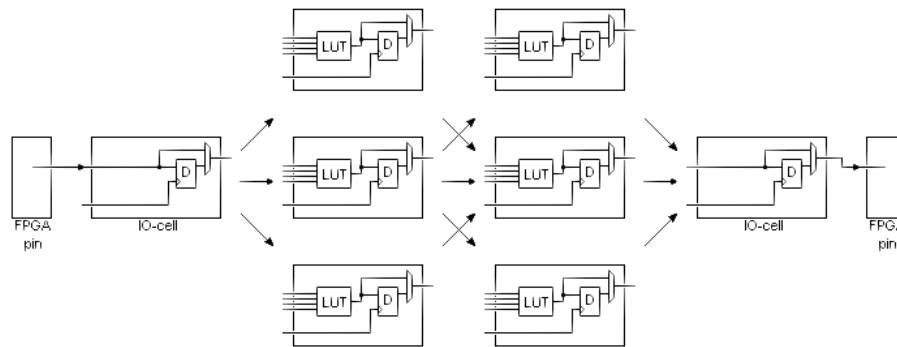


Abbildung 4.3: Aufbau und Verbindung von Logik Einheiten [21]

werden kann oder aber überbrückt wird, wenn eine rein kombinatorische Funktion benötigt wird (siehe Abb. 4.3). Beide Elemente werden über eine interne Spannungsversorgung (VCCINT) betrieben. Momentan sind FPGAs mit 100 bis hin zu mehreren 100000 LE erhältlich.

Jede LE kann unabhängig von den anderen eine bestimmte Logikfunktion aus einer vorgegebenen Auswahl einnehmen. Sie sind untereinander durch ein Schaltmatrix aus Drähten und programmierbaren Schaltern verbunden (siehe Abb. 4.4). Zusätzlich zu dieser Matrix haben FPGAs fest zugeordnete Verbindungslinien zwischen benachbarten LE. Diese erlauben es arithmetische Funktionen wie Zähler oder Addierer sehr effizient, also mit wenig LE-Verbrauch und hoher Geschwindigkeit, zu konstruieren. Der Benutzer kann eigene Schaltung implementieren, indem er bestimmten LE die gewünschte Logikfunktion zuweist und die entsprechenden Schalter in der Matrix schließt. Dadurch formen die LE und Verbindungen verschiedene Blöcke, die für das Erstellen komplexerer Schaltungen einfach zusammengefügt werden.

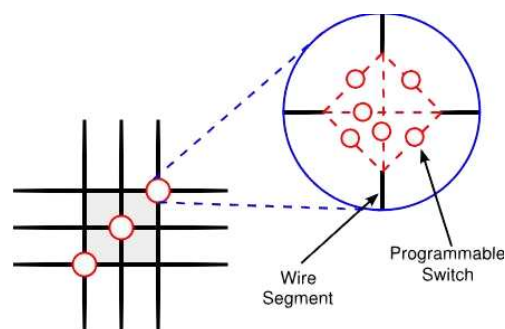


Abbildung 4.4: Schaltmatrix als Verbindungsstruktur zwischen Logik Einheiten [22]

Bei vielen Gerätefamilien ist es zudem möglich, die Ausgänge der LE mit einem Taktsignal anzusteuern, so dass eine synchronisierte Ausgabe über die I/O Blöcke in einem je nach Verwendungszweck wählbaren Standard auf einen der I/O Pins erfolgen kann. Zusätzlich

zu den LE besitzen die meisten modernen FPGAs dedizierte Blöcke für statischen RAM Speicher, der unter den LE aufgeteilt und von ihnen gesteuert wird.

Bei FPGAs unterscheidet man zwei Klassen von Pins, die zugeordneten und die benutzer-gesteuerten Pins. Die erste Klasse nimmt auf den meisten Chips ungefähr 20 - 30 % der Gesamtpins ein und ist, wie der Name schon sagt, auf eine bestimmte Funktion festgelegt. Dazu gehören:

- Power: GND oder VCC
- Konfiguration: Werden verwendet, um die Programme in den FPGA zu laden
- Input/Clock: Werden für Signale oder Takte mit hoher Verzweigungsrate verwendet

Neuere FPGA-Generationen verfügen außerdem über I/O Bänke, die jeweils einen Teil der Gesamtpins enthalten. Somit ist es dem Benutzer möglich, den unterschiedlichen Bänken verschiedene Eingangs-/Ausgangsspannungen (VCCIO) zuzuweisen und den FPGA auch als Spannungspegelwandler zu verwenden. Ebenfalls sind neuere Modelle mit einem oder mehreren Phased-locked loops (PLL) ausgestattet, mit denen sich rational gebrochene Taktvervielfachungen bzw. -unterteilungen erzeugen lassen.

Der Vorteil eines FPGAs im Vergleich zu anderen ICs ist, dass der Benutzer nicht mehr abhängig von einer vom Hersteller vorgegebenen Funktion ist, sondern selbst wählen kann, welche Aufgaben der FPGA erfüllen soll. Je nach Verwendungszweck kann ein Programm dauerhaft verwendet oder aus einem externen Speicher geladen werden. Zudem kann ein FPGA mehrere Anweisungen parallel ausführen und muss sie nicht, wie z.B. ein Microcontroller, sequentiell abarbeiten.

Kapitel 5

Entwicklungsumgebung

5.1 ALTERA Cyclone III Development Kit

Der Cyclone Chip der dritten Generation ist ein sehr kostengünstiger, energiesparender Hochleistungs-FPGA der Firma ALTERA [23]. Für die Umsetzung der ersten Ideen und die primären Tests der Programmcodes für das Digital Board wurde ein speziell für die Entwicklung vorgesehenes Development Kit von ALTERA mit einem bauartgleichen FPGA verwendet (siehe Abb. 5.1).



Abbildung 5.1: Cyclone III Chip auf dem verwendeten ALTERA Starter Kit [24]

Der Cyclone III ermöglicht u.a. das Ausschalten einzelner I/O Bänke bei vorübergehender Nichtbenutzung und eine Verwendung mehrerer I/O Standards wie z.B. LVTTL (low-voltage transistor-transistor logic) oder LVDS (low-voltage differential signaling) sowie

mehrere (vom Standard abhängige) I/O Spannung zwischen 1,2 V und 3,3 V [25]. Er verwendet SRAM Zellen um seine Konfiguration zu speichern, die allerdings bei jedem Einschaltvorgang neu heruntergeladen werden muss.

Einige Daten zu dem für die Testentwicklung verwendeten Typ EP3C25F324 [23]:

- 1539 Logik Blöcke → 24624 Logik Einheiten
- 66 M9k Speicher Blöcke → 608256 RAM Bits
- 66 Multiplier
- 4 PLLs
- 20 Globale Taktnetzwerke
- 324-Pin Fine-Line Ball-Grid Array
- 8 I/O Bänke, 215 User I/O Pins, davon 71 differentiell

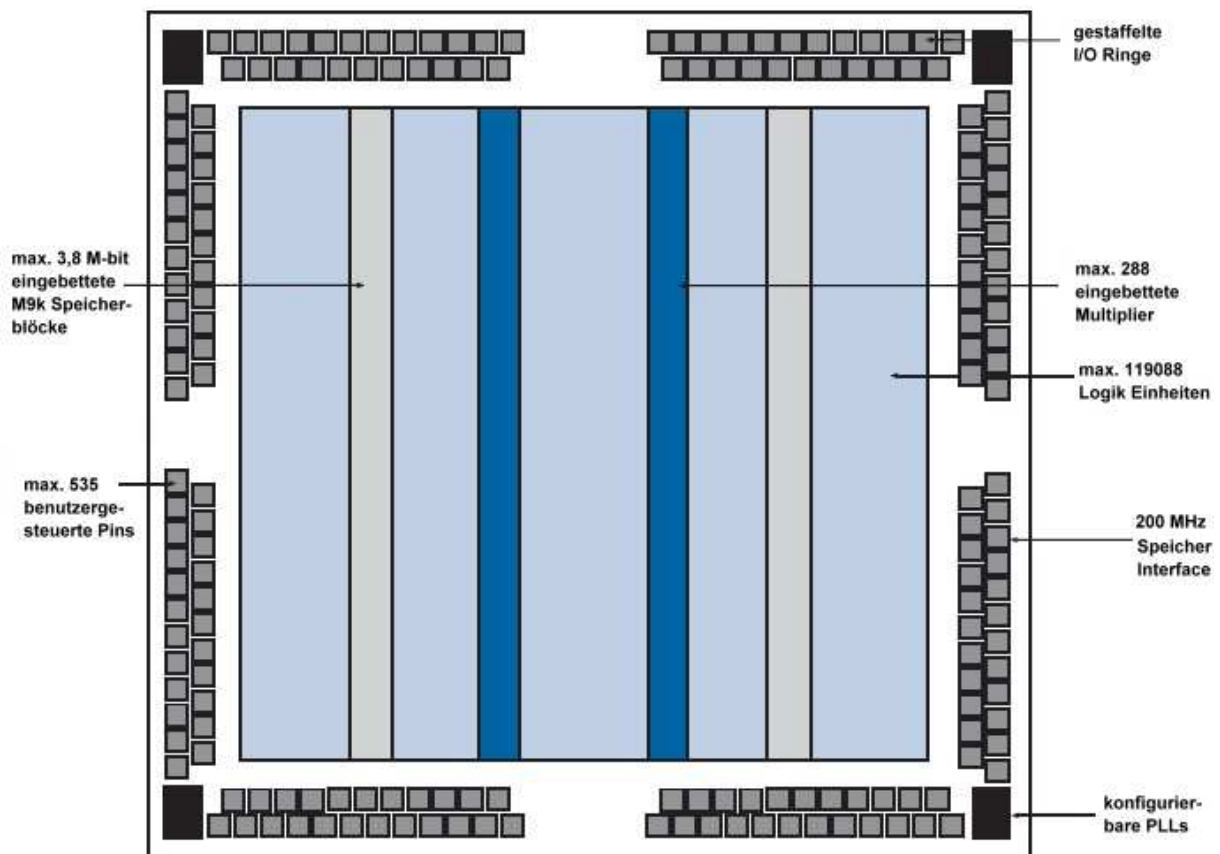


Abbildung 5.2: Grundriss der Bauweise des Cyclone III

Der Logikbereich des Cyclone III besteht aus Logik Blöcken (LB) mit je 16 Logik Einheiten

(LE). Die Logik Blöcke sind über das ganze Bauteil in Reihen und Spalten aufgeteilt. Jede Logik Einheit besitzt

- vier Eingänge mit look-up table (LUT)
- programmierbare Register
- eine Übertrags- und Registerverkettung
- die Möglichkeit alle Verbindungstypen auszuführen: lokal, Reihe, Spalte, direkt, Registerverkettung

sowie zentrale LB-weite Kontrollsignale. Jeder LB verfügt wiederum über die Möglichkeit Verbindung mit seinen direkten Nachbarn, einem 4 Blöcke in Reihe oder Spalte entfernten Block oder bei Randblöcken einem Block am anderen Ende des Chips herzustellen. Abbildung 5.3 zeigt den Aufbau einer LE des Cyclone III.

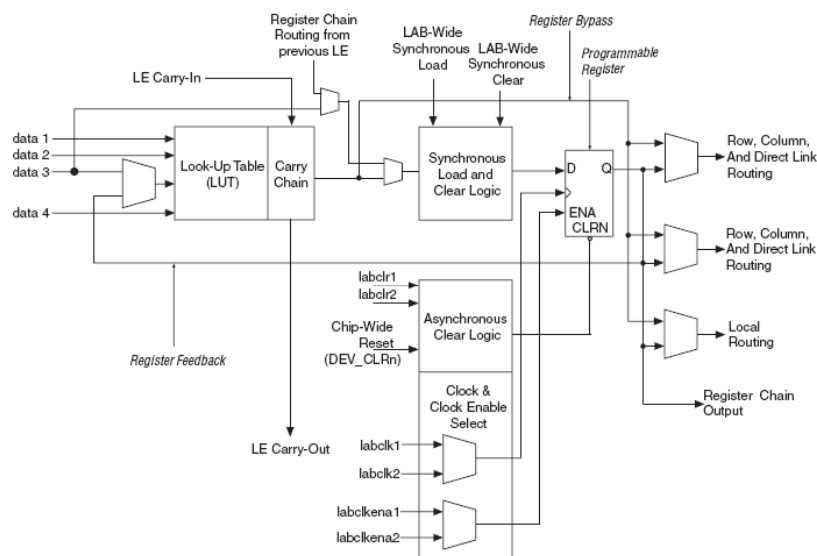


Abbildung 5.3: Aufbau einer Cyclone III Logik Einheit [23]

Für die Entwicklung der Tests wurde Konfiguration via JTAG verwendet. Die Quartus II Software (siehe Kap. 5.2) erstellt beim Compilieren automatisch SRAM Objekt Dateien, die mittels eines Downloadkabels (USB Blaster) direkt in den FPGA geladen werden können. Nach dem Ende der Programmierung verifiziert die Software den Erfolg des Downloadvorgangs, indem sie den Status des CONF_DONE Pins überprüft. Ist dieser „high“ geschaltet, war die Programmierung erfolgreich.

Da eine genaue Beschreibung des kompletten FPGAs den Rahmen dieser Arbeit sprengen würde, verweise ich für weitere Informationen auf das „Cyclone III Handbuch“ [23].

5.2 Quartus II 7.2

Die Quartus II Software wird ebenfalls von der Firma ALTERA bereitgestellt und ist eine komplette Entwicklungsumgebung für SOPC (system-on-a-programmable-chip) [26]. Abbildung 5.4 zeigt den typischen Ablauf einer Designentwicklung.

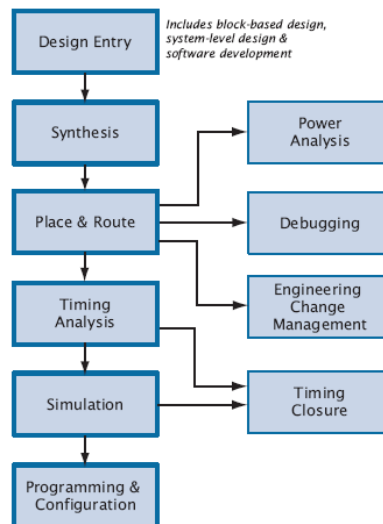


Abbildung 5.4: Ablauf einer Designentwicklung [26]

Die Software enthält einen modularen Compiler, der einen kompletten Durchlauf aller Module ermöglicht, aber auch einzelne Module verwenden kann. Basismodule bei jedem Compilervorgang sind „Analysis & Synthesis“ und „Fitter“. Im ersten Teil wird das vom Benutzer eingegebene Programm erzeugt und auf logische und schaltungstechnische Fehler hin überprüft, der zweite Teil simuliert das Programm auf dem FPGA, erstellt Schaltungen und Verbindungen und überprüft die angegebenen I/O Pins auf Verwendbarkeit. Quartus verfügt außerdem über die Option, bekannte EDA (electronic design automation) Programme in die Compiler Module einzubinden.

Um ein Programm zu erstellen, bietet Quartus mehrere Möglichkeiten. Einerseits ist es möglich, Programme im Text Editor zu schreiben, wobei Quartus u.a. die Programmiersprachen HDL, VHDL und AHDL kennt. HDL und VHDL Dateien können jegliche Arten von Konstrukten, Grund- oder Logikfunktionen enthalten, die von Quartus bzw. ALTERA unterstützt werden. AHDL ist eine modulare Sprache, die vollständig in Quartus integriert ist. Sie kann Bool'sche Gleichungen, Zustandsmaschinen, Bedingungen und Dekodierungen verwenden.

Alle drei Sprachen unterstützen die Verwendung von sogenannten Megafunktionen. Dies sind von ALTERA erstellte, aber über den MegaWizard frei konfigurierbare Miniatur-

Programme, die meistens einem elektrischen Bauteil oder arithmetischen Schaltungen entsprechen. Zusätzlich können Blocksymbole verwendet werden oder eben solche Symbole aus einer Textdatei erstellt werden. Zudem kann ein Programm auch komplett graphisch auf Basis der Blocksymbole implementiert werden.

Nach der Erstellung und erstmaligen Kompilierung des entwickelten Programms können im Pin Planner die I/O Pins und Knoten auf einer schematischen Darstellung des verwendeten FPGAs frei zugewiesen werden („frei“ insofern, dass z.B. keine fest zugeordneten Pins verwendet und Spannungswerte der I/O Bänke eingehalten werden). Nach erneutem Kompilieren und falls Quartus keine Fehlermeldungen ausgibt, ist das Programm fertig zur Übertragung, kann jedoch vorher noch zur Timing-Analyse mit Hilfe eines Waveform Editors simuliert werden.

Auch hier verweise ich für detaillierte Informationen auf das „Quartus II Development Software Handbuch“ [26].

5.3 Messelektronik

Um die Funktionalität einzelner Komponenten auf dem DigB zu überprüfen, müssen die vom FPGA gesendeten Signale an den jeweiligen Positionen abgegriffen und sichtbar gemacht werden. Dazu werden in dieser Testroutine folgende Geräte verwendet:

Netzteil: Das Agilent E3646A liefert auf zwei Ausgängen Spannungen von 0 V bis 8 V bei 3 A bzw. bis 20 V bei 1,5 A und somit eine maximale Ausgangsleistung von 60 W. Dabei verfügt es über eine Genauigkeit von $< 0,2\%$ bei einem Noiselevel von $< 0,5 mV_{rms}$ bzw. $< 4 mA_{rms}$ [27].

Oszilloskop: Das Agilent Infiniium 54845A verbindet ein analog-ähnliches Bedienfeld zur Nutzung der Grundfunktionen wie Skalierung und Positionierung mit einer Windows-basierten graphischen Oberfläche zur gezielten Auswertung der gemessenen Daten. Bei einer Bandbreite von 1,5 GHz unterstützt es bis zu vier Kanäle mit einer Samplingrate von maximal 4 GSa/s und einer Auflösung von 2 ps. Es können sowohl aktive als auch differentielle Probes (Messköpfe) verwendet werden. Durch verschiedene Trigger- und Analysevarianten können Signale aufgezeichnet und verarbeitet und mit speziellen optischen und mathematischen Methoden, wie Nachleuchten oder Histogrammen, ausgewertet werden. Die genommenen Messdaten können entweder auf der internen Festplatte gespeichert oder per LAN versendet werden [28].

Logic Analyzer: Der Agilent Logic Wave E9340A ist ein portabler Logic Analyzer mit einer maximalen Auslesefrequenz von 100 MHz. Er verfügt über 34 Status/Timing-Kanäle in Form von einzelnen IC Clips, die alle unabhängig voneinander angeschlos-

sen werden können. Der Zeitversatz zwischen den Kanälen beträgt maximal 3 ns. Die Spannungsschwelle kann zwischen $\pm 6,0$ V variabel gewählt werden. Der Logic Analyzer wird über den Parallelport mit einem PC verbunden, damit kann der Status jedes Pins (*high* oder *low*) ausgelesen und ausgewertet oder mit einer vordefinierten Sequenz verglichen werden [29].

Waveform Generator: Der Agilent 33250A Funktionen- und Pulsformgenerator kann Ausgabesignale in beliebig konfigurierbaren Formen erzeugen. Es können freie Signalformen von 1 μ Hz bis 25 MHz, Sinus- oder Rechtecksignale bis 80 MHz oder Pulse bis zu 50 MHz mit variablen Anstiegs- und Abfallzeiten und einem Überspringen von max. 5 % generiert werden. Freie Signalformen können mit einer vertikalen Auflösung von 12 bit und einer Samplingrate von 200 MSa/s erstellt werden [30].

Digitales Multimeter: Das Meterman 37XR ist ein digitales Effektivwert-Multimeter mit einer Genauigkeit von 0,1 %. Es können sowohl AC/DC Strom- und Spannungsmessungen als auch LCR Messungen (Widerstand, Kapazität und Induktivität) durchgeführt werden. Mögliche Ausgabewerte sind unter anderem Frequenz, Arbeitszyklus, Min/Max, Mittel- oder Spitzenwert [31].

Kapitel 6

Testroutine des Digital Boards

Im folgenden Kapitel werden nun die entwickelten Tests im Einzelnen vorgestellt. Dabei sind die Tests so gewählt worden, dass die in einem Test untersuchten Komponenten des Digital Boards entweder über eine nahezu gleiche Bauweise verfügen oder für eine ähnliche Funktion verwendet werden. Zur besseren Veranschaulichung der per Software implementierten Tests enthält jeder der entsprechenden Tests ein Blockdiagramm mit den wichtigsten Informationen des Programms.

6.1 Test 0 : Grundlegende Tests

Die grundlegenden Tests sind unabhängig vom FPGA und sollen sicherstellen, dass keine Fehler außerhalb der Boardlayer und -komponenten in die Testroutine einfließen:

- **Netzteil:** Überprüfung der Spannung des verwendeten Netzteils mit einem digitalen Multimeter.
- **Jumper:** Überprüfung der Jumperpositionen. Es darf noch kein Jumper (JP1-5) verbunden sein.
- **Spannungsversorgung:** Das Netzteil wird angeschlossen und die regulierten Spannungen an den einzelnen Abgriffpunkten (JP1-4) gemessen.
- **Jumper:** Alle notwendigen Jumper und Stecker auf dem Board platzieren bzw. einlöten.
- **GND und VCC:** Überprüfung aller GND- und VCC-Positionen des Digital Boards mit dem digitalen Multimeter.

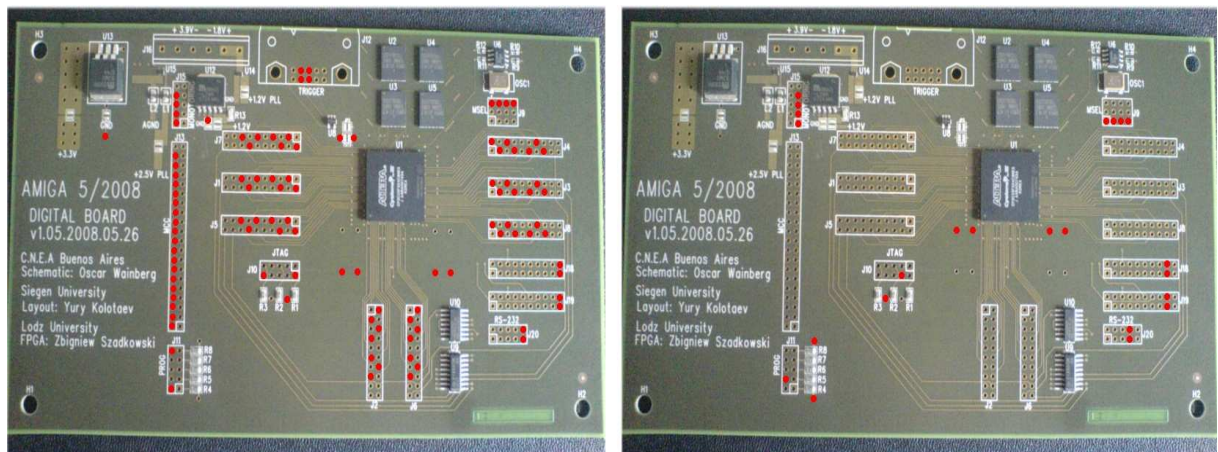


Abbildung 6.1: Test 0 : Abgriffpunkte für GND (links) und VCC (rechts)

6.2 Test 1 : Clock Distributor Logic

Der FPGA erhält seinen Takt von einem 40 MHz Oszillatorkristall auf dem DigB. Der Takt vom Kristall wird in einer Clock Distributor Logic (CDL) vierfach vervielfältigt und über vier Input-Pins in den FPGA gespeist. Um die korrekte Funktion des Kristalls und der CDL zu überprüfen, wird der Takt direkt an den Bauteilen mit dem Oszilloskop gemessen. Anschließend wird jedes der vier Eingangssignale an einen separaten PLL im FPGA gesendet und dort moduliert. Einerseits wird die Frequenz variiert (ein-, zwei-, drei- oder vierfache Eingangsfrequenz), andererseits wird ein zweiter Takt der variierten Frequenz mit genau 180° Phasenverschiebung erzeugt. Anschließend werden die Signale auf acht im FPGA speziell für PLL-Ausgabe vorgesehene Pins der Testconnectors J18 und J19 geleitet und können dort mit dem Oszilloskop ausgelesen werden.

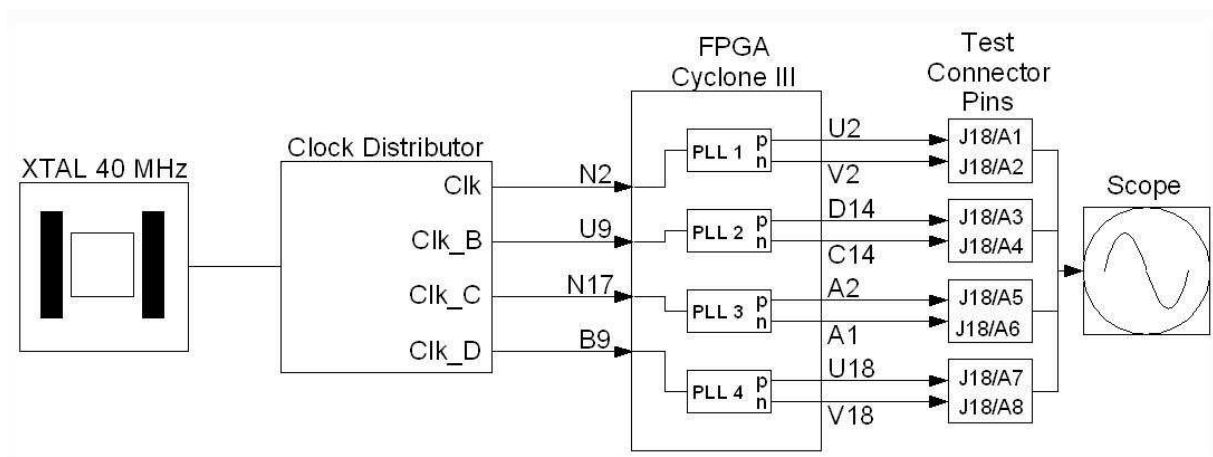


Abbildung 6.2: Test 1 : Clock Distributor Logic

6.3 Test 2 : Programmier- und Statusconnector

Im Anschluss wird die Funktionalität aller Verbindungslinien der für die Programmierung und Statusüberwachung verwendeten Connector überprüft. Die genaue Verwendung der einzelnen Connector wurde bereits in Kapitel 4.3 beschrieben.

Die Funktionalität des JTAG Connectors wird gewissermaßen „on-the-fly“ durch das Aufspielen der Testprogramme verifiziert. Die Pins MSEL 0-3 werden für die Auswahl der Programmierungsart (Active Parallel, Passive Serial, etc.) verwendet. Die JTAG Programmierung hat im FPGA jedoch automatisch Vorrang vor allen anderen Arten, daher werden diese Pins schon bei der Bestückung des Boards mittels Jumper konstant auf GND gelegt [23].

Für den Test des RS232 Steckers wird im FPGA ein vom Standardtakt (CLK) gesteuerter, binärer Zähler mit 6 Bits implementiert. Dieser wird auf die sechs Signalpins des Anschlusses (J20, A1-A3 und B1-B3) gelegt und mit dem LA ausgewertet.

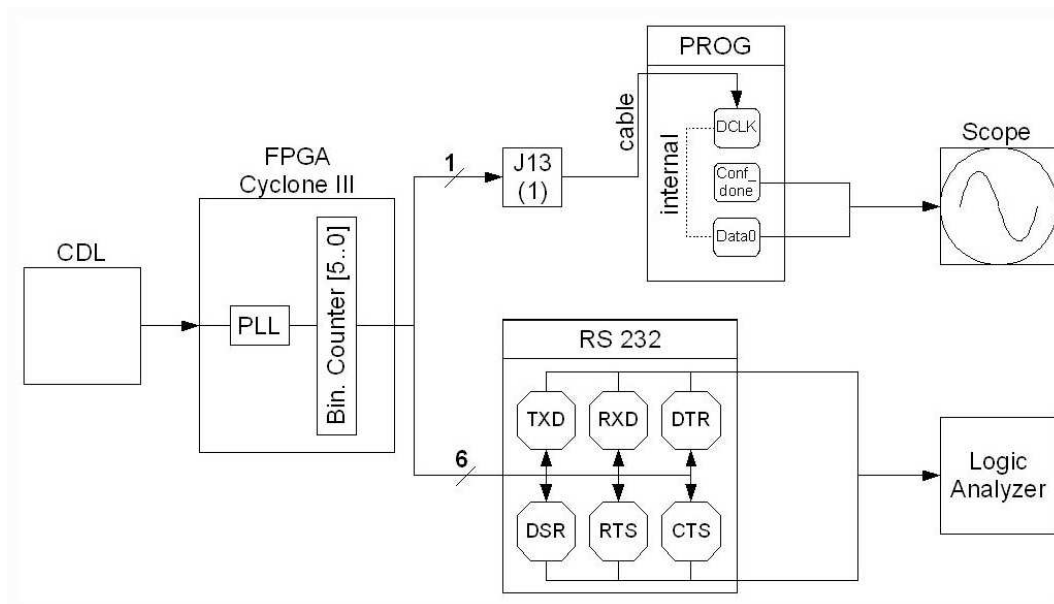


Abbildung 6.3: Test 2 : PROG Connector und RS 232 Anschluss

Außerdem wird das erste Bit des Zählers auf einen Pin des MC Connectors (J13, 1) geleitet und dort zunächst mit dem Oszilloskop überprüft. Bei korrektem Signal wird dieser Pin mit einem Kabel zum DCLK Pin des PROG Connectors verbunden. Dieser Pin dient bei nicht-JTAG Programmierung als Eingangspin für das Taktsignal und wird nun im FPGA direkt zum Data0 Pin des PROG Connectors verschaltet. Dort kann das Signal dann ebenfalls wieder mit dem Oszilloskop abgegriffen werden. Die übrigen drei Signalpins (Conf_done, nConfig und nStatus) sind zuständig für die Statusverwaltung des FPGAs:

- Ein *low* auf dem **nConfig** Pin bedeutet für den FPGA jegliche vorhandene Programmierung zu löschen, einen Reset Status einzunehmen und alle I/O Pins wieder in einen tri-stated Zustand (hochohmiger Ausgang) zu bringen. Eine erneute *high* Schaltung des Pins initiiert eine Rekonfiguration des FPGAs.
- Der **nStatus** Pin wird sofort nach dem Reset (oder Einschalten) des FPGAs *low* gesetzt und schaltet nach einer gewissen Initialisierungszeit wieder auf *high*.
- **Conf_done** wird vor und während der Konfiguration *low* geschaltet und erst nach dem fehlerfreien Senden aller Programmdateien und Starten des Initialisierungszyklus wieder auf *high* gesetzt, um die korrekte Programmierung des FPGAs zu bestätigen.

Jeder dieser Pins muss vor bzw. während der Neuprogrammierung des FPGAs für eine kurze Zeit *low* geschaltet sein [23]. Diese Sequenzen können auf dem Oszilloskop beobachtet werden und bestätigen die Funktion der entsprechenden Pins. Die längste *low* Phase besitzt der Conf_done Pin, daher wird sein Signal mit der Probe abgegriffen und ein beliebiger Code in den FPGA geladen. Nach korrekter und vollständiger Programmierung schaltet der FPGA den Pin wieder *high* und bestätigt somit auch die Funktion der beiden anderen Statuspins.

6.4 Test 3 : Front-End und Test Connector lines

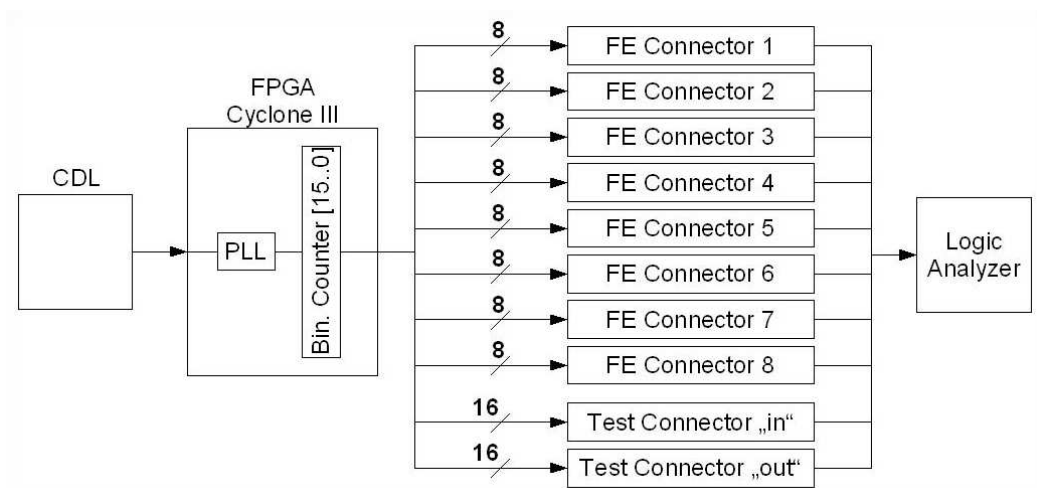


Abbildung 6.4: Test 3 : Front-End lines und Test Connector

Der nächste Test überprüft die Funktionalität der internen Verbindungslinien zwischen FPGA und den Steckplätzen für die acht DBs bzw. den beiden Test Connectors. Dazu wird im FPGA ein binärer Zähler mit 16 Bits implementiert, der wieder vom Standardtakt

(CLK) gesteuert wird. Für die Front-End Kanäle wird dieses Ausgangssignal auf die insgesamt 64 Verbindungslinien (8 Steckplätze (J1-8) mit jeweils 8 Datenkanälen) aufgefächert, so dass jeder Steckplatz einen Zählerzyklus mit 8 Bits bekommt. Die Test Connector erhalten den kompletten Zähler, der auf die 32 Verbindungslinien (2 Stecker (J18-19) mit jeweils 16 Datenpins) aufgeteilt wird. Das Signal kann anschließend auf den jeweiligen Positionen abgegriffen und mit dem LA ausgewertet werden. Jeder der Front-End Steckplätze J1-8 besitzt jeweils noch 4 Kanäle für Selektionssignale an die DACs der DBs, diese werden in Test 5 (siehe Kapitel 6.6) überprüft.

6.5 Test 4 : Communication lines

Im folgenden Test sollen die Verbindungslinien vom MC zum FPGA überprüft werden. Dazu wird wieder ein binärer Zähler mit 8 Bits erzeugt und auf die Ausgangslinien zum MC Port 40-Pin Stecker gelegt. Dabei erhalten Port A (1-8) und Port B (9-16) jeweils einen kompletten Zählerzyklus, Port C (17-20) erhält die ersten vier Bitsignale und Reset (40) nur das erste Bit. Diese Signale können nun nacheinander mit dem LA ausgewertet werden. Die restlichen Pins des Steckers sind auf GND gelegt und wurden bereits zu Beginn überprüft.

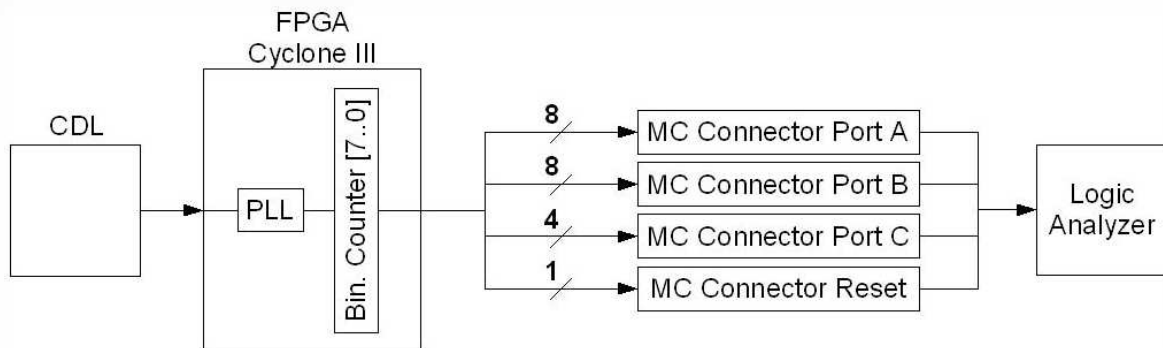


Abbildung 6.5: Test 4 : Communication lines

6.6 Test 5 : DAC lines

Die bereits erwähnten Signalkanäle zum Ansteuern der DACs der acht DBs sollen im Folgenden getestet werden. Dazu wird ein 4-Bit Zähler implementiert, der sowohl den Buffer als auch den Dekoder im Selektionsschaltkreis ansteuert. Im Buffer sind die Eingänge 1OE - 3OE konstant auf GND gelegt, so dass bei jedem Bitsignal auf einen der drei Eingänge

1A - 3A, der entsprechende Ausgang auch *high* geschaltet wird (vgl. Abb. 6.7) und somit das Signal an die DB Steckplätze weitergeleitet wird [17].

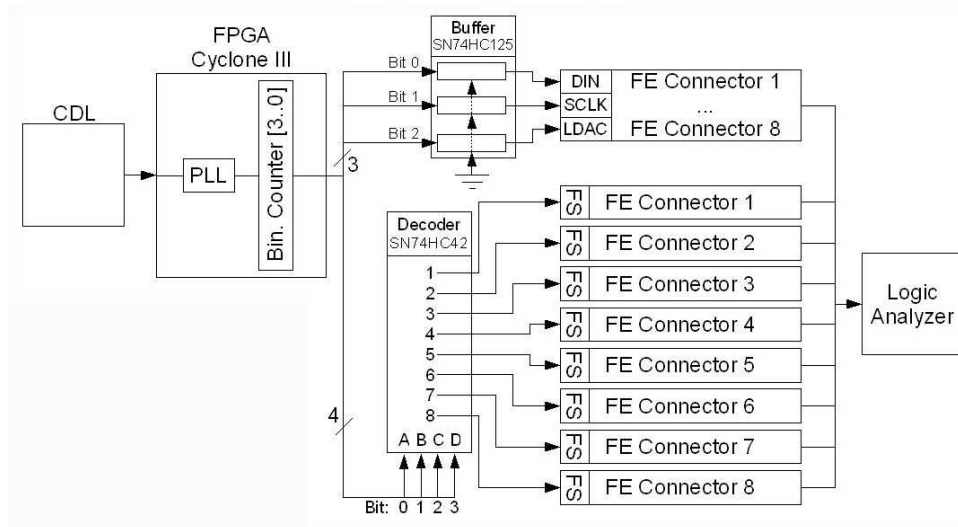


Abbildung 6.6: Test 5 : DAC lines

Der Dekoder ist intern so verschaltet, dass beim Anlegen eines binären Wertes auf die vier Eingänge (A-D) der Ausgang mit dem entsprechenden dezimalen Wert *low* geschaltet wird (z.B. binäres Eingangssignal „0101“ → dezimaler Ausgang „5“ *low*, vgl. Abb. 6.7), alle anderen Ausgänge bleiben *high* [18]. Auf dem DigB werden lediglich acht der zehn Ausgangskanäle verwendet, dennoch wird ein 4 Bit Zähler auf die Eingänge A-D gelegt, da er dort direkt am Dekoder mit dem Oszilloskop gemessen werden kann. Anschließend kann das modifizierte Signal auf den DB-Steckplätzen J1-8 abgegriffen und mit dem LA ausgelesen werden. Dabei kann bei gleichzeitiger Auslese aller vier Selektionssignale, die jeweilige *low* Sequenz des FS Kanals mit dem binären Wert der LDAC, DIN und SCLK Kanäle verglichen werden und somit die korrekte Verschaltung und Funktion des Dekoders überprüft werden.

INPUTS			INPUTS				OUTPUTS								
OE	A	Y	NO.	D	C	B	A	0	1	2	3	4	5	6	7
L	H	H	0	L	L	L	L	L	H	H	H	H	H	H	H
L	L	L	1	L	L	L	H	H	L	H	H	H	H	H	H
L	L	L	2	L	L	H	L	H	H	L	H	H	H	H	H
L	L	L	3	L	L	H	H	H	H	H	L	H	H	H	H
L	L	L	4	L	H	L	L	H	H	H	H	L	H	H	H
L	H	H	5	L	H	L	H	H	H	H	H	H	L	H	H
L	H	H	6	L	H	H	L	H	H	H	H	H	H	L	H
L	X	Z	7	L	H	H	H	H	H	H	H	H	H	H	L

Abbildung 6.7: Auszug aus den Funktionstabellen des Buffers und des Dekoders

6.7 Test 6 : External RAM

Der längste Test dieser Routine überprüft die vier externen RAM Speicherchips auf vollständige Funktionalität. Zunächst wird die korrekte Verbindung aller Adress- und Datenkanäle vom FPGA zu den einzelnen Chips mit einer speziellen Bitsequenz überprüft, die es ermöglicht Kurzschlüsse oder defekte Leitungen zu erkennen. Im Anschluss werden alle Chips komplett gefüllt (Status „1“ aller Bits) und geleert (Status „0“ aller Bits) sowie jeweils ausgelesen, womit defekte Speicherbits, die z.B in einem bestimmten Zustand festhängen, identifiziert werden können.

Zunächst werden fünf Pins (J20, A1-A3, B1-B2) des RS 232 Anschlusses J20 mit einer für diesen Test entworfenen externen Schalterbox verbunden (siehe Abb. 6.8), die wiederum selbst an VCC und GND angeschlossen ist. Auf diese Weise kann jeder dieser Pins separat auf GND oder VCC gesetzt werden. Sie dienen als Eingangssignale für Freigabeschaltungen, die dazu verwendet werden den Modus eines Chips auszuwählen (1), die verschiedenen Bänke und Chips anzusteuern (2+3) und die zu schreibenden Daten zu selektieren (4+5).



Abbildung 6.8: Externe Schalterbox zur Modus- und Datenselektion

Schalter Nr.	Kurzname	Beschreibung
1	wr_en / rd_en	Schreib- / Lesefreigabe
2	CE1 / CE 2	Auswahl der RAM-Bank
3	chip_sel	Auswahl des RAM-Chips
4	data_sel	Auswahl des ROM
5	reset	Zurücksetzen aller RAM Datenbits auf „0“

Tabelle 6.1: Definition der verschiedenen Schaltsignale der SWB

Vor der eigentlichen Verwendung durchlaufen *wr_en / rd_en* und *CE1 / CE2* eine Vorschaltung zur Synchronisierung und Timing-Anpassung der Signale (siehe Abb. 6.9). Zu-

nächst werden beide Eingänge verdoppelt, d.h. jedes Signal wird kopiert, wobei anschließend jedoch die Kopie mit einem logischen NOT invertiert wird. Liegt z.B. auf dem *wr_en* / *rd_en* Eingang GND an, so erhält man nachher zwei Signale, *wr_en* auf GND und *rd_en* auf VCC (analog für *CE1* / *CE2*). Anschließend werden die nun vier Signale mit einem DFF auf den Standardtakt (*c0*) synchronisiert. Während *CE1* / *CE2* nun direkt die Bankselektion des RAMs steuert, werden die Moduswahlsignale noch mit modifizierten Takten gepulst. Dazu durchlaufen sie im Anschluss ein logisches OR mit einem signalspezifischen, durch ein logisches NOT invertierten Takt als zweitem Eingang. Für das *wr_en* Signal wird ein um 160° verschobener Standardtakt mit einem Arbeitszyklus von 25 %, für *rd_en* der Standardtakt mit einem Arbeitszyklus von 15 % und einer Phasenverschiebung von ca. 90° verwendet. Die Verschiebung ist notwendig um eine Überschneidung der Freigabesignale mit dem Wechsel des Adresszählers und damit auch der Daten zu vermeiden. Die neuen Takte *wr_en_ram* / *rd_en_ram* werden nun an den RAM weitergeleitet.

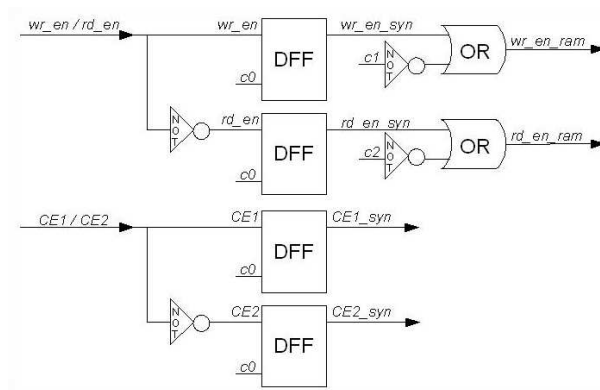


Abbildung 6.9: Test 6 : Schaltung der Modus- und Bankauswahlsignale

Für die Adress- und Datensteuerung wird wieder ein Zähler, nun mit 21 Bits, implementiert. Dieser Zähler steuert mit den ersten vier Bits die Adressschaltung zweier getrennter ROMs. In diese taktgesteuerten ROMs wird mit der Programmierung eine 16 Adressen x 16 Bit Sequenz geladen. In der ersten Adresse von ROM 1 sind alle Bits 0, bis auf das erste (von hinten gezählt), in der zweiten Adresse sind alle Bits 0, bis auf das zweite, usw. bis zum sechzehnten (vgl. Abbildung 6.10). Im zweiten ROM sind für jede Adresse alle Bits auf 1 gesetzt. Selektiert werden die zu verwendenden Daten über eine Multiplexer (MUX), der über *data_sel* gesteuert wird. Der Ausgang dieses MUX ist direkt mit einem logischen AND verschaltet, dessen zweiter Eingang über das Steuersignal *reset* geregelt wird. Wenn *reset* auf GND gelegt wird, ist auch die Ausgabe des AND ein GND Signal, was einem 0-Datenstrom entspricht, womit der RAM im Schreibmodus in den Ursprungszustand zurückgesetzt werden kann. Ist *reset* jedoch auf VCC gelegt, entspricht die Ausgabe gerade dem auf dem ersten Eingang angelegten Signal. Da die Datenkanäle des RAM bidirektional sind, durchlaufen die Sequenzen nach dieser Selektion zunächst noch ein 3-Wege-BUS-Modul, das über die Signale *wr_en* und *rd_en* gesteuert wird. Die Module sind *high*-aktiv, d.h. so lange das jeweilige Signal auf VCC gesetzt bleibt, ist der entsprechende Weg freigeschaltet (siehe

Abb. 6.10).

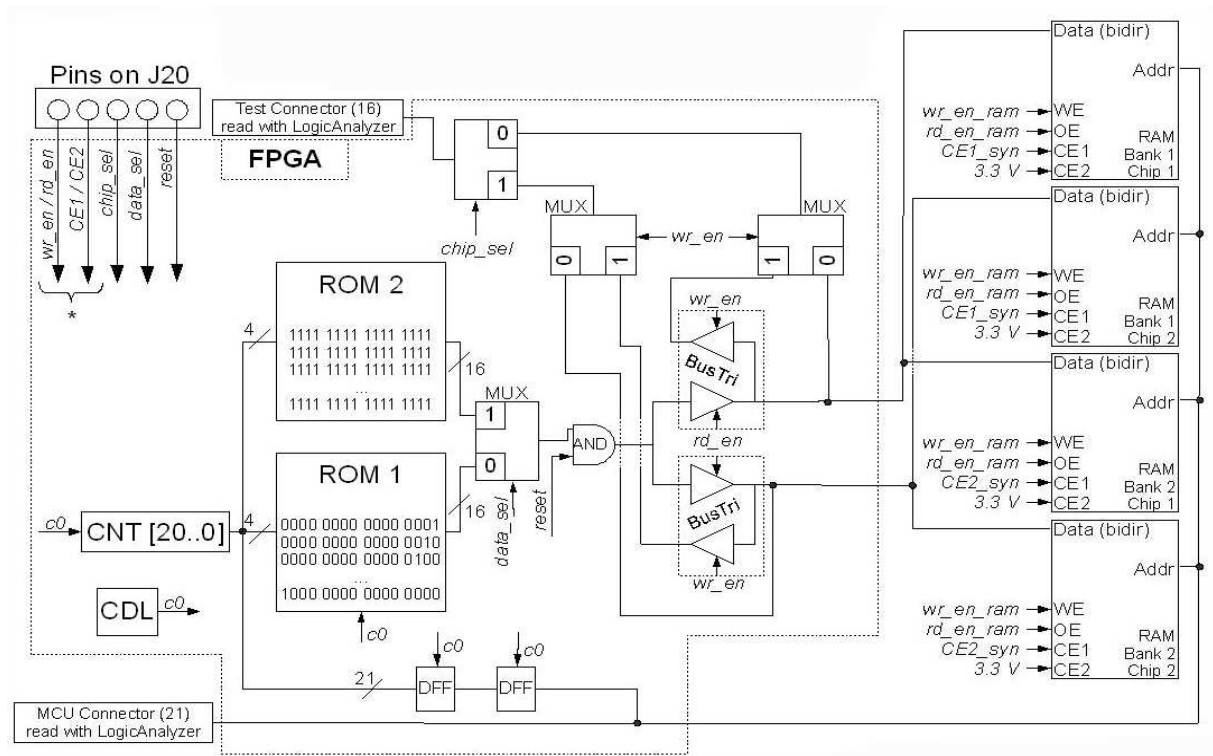


Abbildung 6.10: Test 6 : External RAM (* - Verschaltung der Signale siehe Abb. 6.9)

Die Freigabeports der RAM-Chips sind hingegen *low*-aktiv, daher erfolgt hier erst die Freigabe, wenn auf dem entsprechenden Kanal GND angelegt wird. Dies erklärt auch die verschränkte Verwendung der *rd_en* und *wr_en* Signale an BUS und RAM, da z.B. beim Anlegen von GND auf dem *wr_en* Pin der Dateneingang des RAM freigegeben, der bidirektionale Ausgang des BUS-Moduls jedoch gesperrt wird. Da ein *low* auf dem *wr_en* Pin aber ein gleichzeitiges *high* auf dem *rd_en* Pin initiiert (siehe Abb. 6.9), wird der Eingang des Moduls freigegeben und die gewählte Datensequenz kann in den RAM geschrieben werden. Die Adresssteuerung des RAMs erfolgt ebenfalls über den Zähler, hierfür werden jedoch alle 21 Bits verwendet, die durch zwei D-Flipflops zur Synchronisation mit den Daten gebuffert werden und direkt den Adresseingang des RAMs ansteuern. Die Selektion der auf den Test Connector ausgegebenen Signale erfolgt ebenfalls über verschiedene Multiplexer. Somit können entweder die Eingangs- oder die Ausgangsdaten jedes Chips gleichzeitig mit den jeweiligen Adressen ausgelesen werden.

Zu Beginn des Tests werden die RAM Chips mittels *reset* zurückgesetzt. Dann wird das Bitmuster aus ROM 1 geschrieben und anschließend mit dem LA ausgelesen. Bei korrekter Ansteuerung aller Adressen sowie richtiger Verbindung aller Datenkanäle des RAMs wird das Muster synchron zur Adresse wieder ausgegeben. Nun muss noch die Funktion

sämtlicher Speicherbits überprüft werden. Dazu wird der RAM erneut zurückgesetzt und anschließend mit dem LA ausgelesen. Für den Bus aller Datenkanäle wird hierbei auf einen Wert ungleich „0000“ (hexadezimal) getriggert. Sollte also ein Speicherbit falsch geschaltet oder defekt sein, müsste der LA bei der entsprechenden Adresse triggern, d.h. eine Ausgabe liefern. Bei Bestehen dieses Tests wird nun das Bitmuster aus ROM 2 geschrieben und ausgelesen, jetzt jedoch mit der Triggerbedingung auf einen Bus-Wert ungleich „FFFF“ (hexadezimal). Sollte der LA auch hier nicht triggern, ist die volle Funktionalität aller Speicherbits gewährleistet.

Da der verwendete LA nur über 32 Eingangskanäle verfügt, können nicht alle 37 Signale des RAMs (21 Adressen + 16 Daten) gleichzeitig überprüft werden. Daher werden nur die ersten 16 Adressen mit dem LA ausgelesen, die übrigen Signale können direkt auf dem Board mit dem Oszilloskop gemessen werden.

6.8 Test 7 : Trigger connector

Im letzten Test soll die Verbindung zwischen dem Molex Trigger-Stecker und dem FPGA sowie die Funktionalität des LVDS Receivers überprüft werden. Dazu wird ein spezielles Test Board (TB) verwendet, welches an den Waveform Generator angeschlossen wird und LVDS Signale an das DigB sendet. Im FPGA wird der Eingangspin des Triggers auf einen Pin des Test Connectors (J18, A1) durchgeschaltet und das anliegende Signal kann dort und an JP5 mit Hilfe des Oszilloskops ausgelesen werden. Zum besseren Vergleich wird auch das ursprüngliche Signal vom Generator direkt auf das Oszilloskop gelegt. Als Ausgangssignal wird im Waveform Generator ein $1 \mu\text{s}$ Puls mit einer Periode von $10 \mu\text{s}$ und einer Amplitude von $3,5 \text{ V}$ erzeugt.

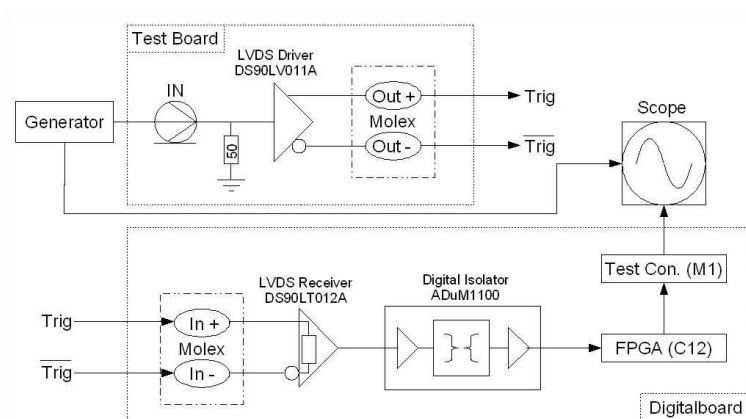


Abbildung 6.11: Test 7 : Trigger connector

Kapitel 7

Anwendung der Testprogramme

Im folgenden Abschnitt werden die Ergebnisse des ersten kompletten Durchlaufs der Testroutine auf einem Prototypen des Digital Boards beschrieben und die wichtigsten Ausgaben der Messelektronik graphisch dargestellt.

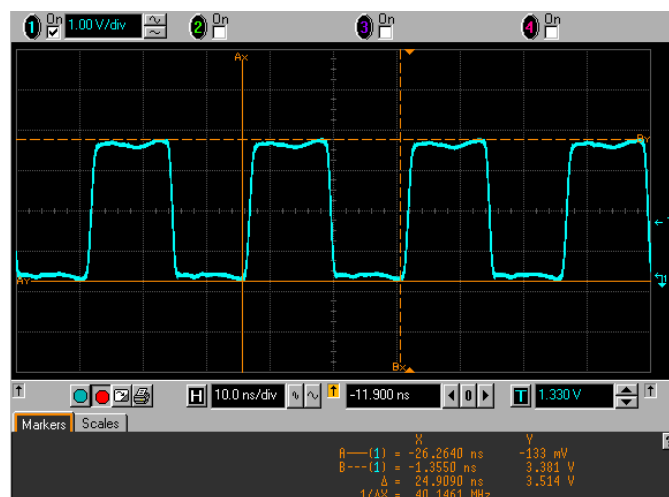


Abbildung 7.1: Ergebnis des Tests des externen Taktgebers

Für die Untersuchung des externen Taktgebers wurde ein Programm implementiert, welches unter Verwendung aller vier internen PLLs des FPGAs verschiedene Taktfrequenzen und Phasenverschiebungen generiert und ausgibt. Abbildung 7.1 zeigt die Ausgabe des Oszilloskops für den Oszillatorkristall, Abbildung 7.2 für PLL 1 auf den Test Connector Pins J18, A1 und A2 (rechts). Man erkennt den 40 MHz Takt (blau) und den um 180° verschobenen Takt (grün). Die Ausgabe für die höheren Frequenzen ist analog.

Die Funktion der Programmierkanäle auf dem PROG Connector wurde durch das Übertragen eines Signals via Kabelbrücke überprüft. Der Takteingang DCLK für die nicht-JTAG Programmierung wurde intern direkt zum Ausgang Data0 durchgeschaltet und mit dem

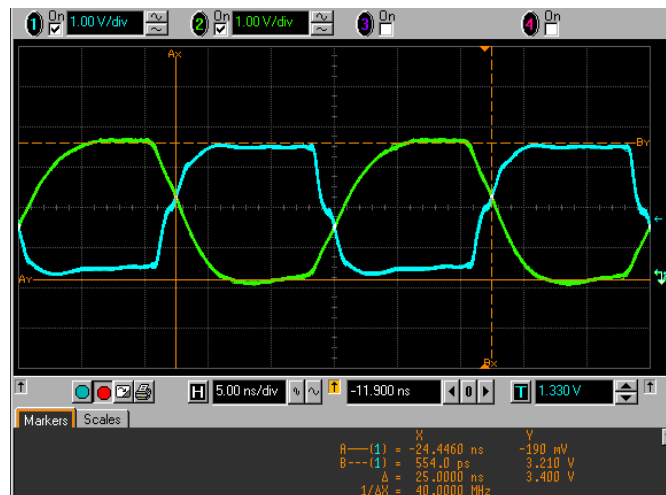


Abbildung 7.2: Ergebnis des Tests der internen PLLs

Oszilloskop gemessen. Abbildung 7.3 zeigt das 40 MHz Signal, welches auf dem Data0 Pin abgegriffen wurde und dem erwarteten Signal entspricht.

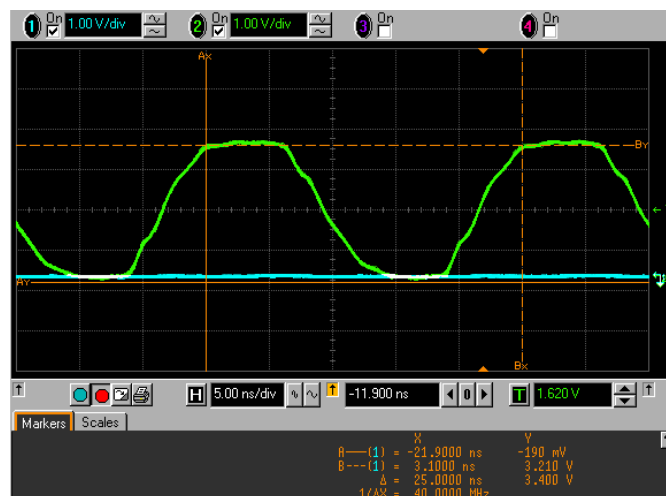


Abbildung 7.3: Ergebnis des Tests für den DCLK Eingang und den Data0 Ausgang

In den Tests 2-5 wurde ein binärer Zähler mit verschiedenen Bitzahlen verwendet, um die Verbindungen zu den entsprechenden Ein- und Ausgabepins auf Kurzschlüsse oder Leitungsbrüche hin zu testen. Abbildung 7.4 zeigt das Ergebnis für die Überprüfung des Test Connectors J18, die Resultate für den RS232 Anschluss, die Front-End Steckplätze sowie die MC Kanäle sind analog. Kurzschlüsse würden in der LA Ausgabe als unperiodische, Leitungsbrüche als statische Signale erscheinen.

Für die Überprüfung der korrekten Funktion von Buffer und Dekoder zu Steuerung der

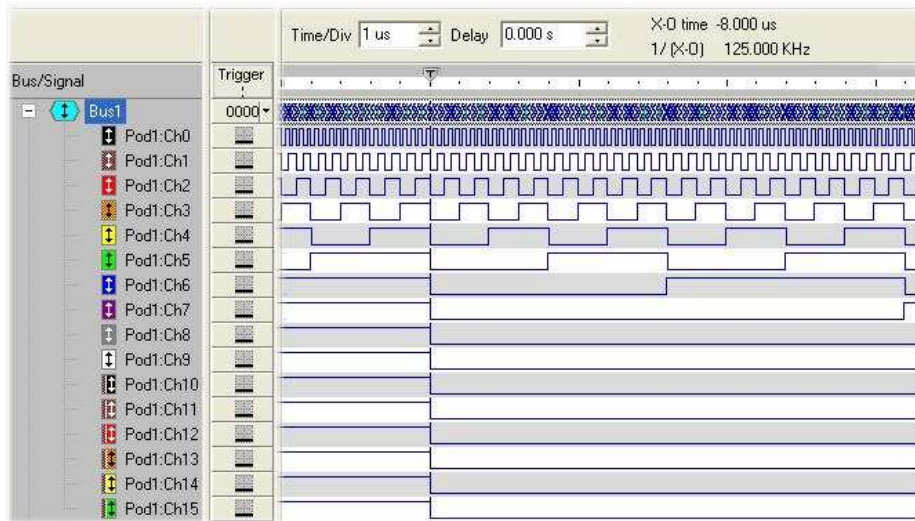


Abbildung 7.4: Ergebnis des Tests für interne Verbindungslinien. Hier ist das Resultat für die 16 Leitungen zum Test Connector J18 dargestellt, man erkennt den korrekt anliegenden binären Zähler für die Kanäle 0-7, für die Kanäle 8-15 wird eine andere Zeitaufösung (Time/Div) benötigt. Die Ausgabe für die anderen Tests mit binärem Zähler ist bis auf die variierende Bitzahl analog.

Selektionssignale für den DAC auf dem DB wurde ebenfalls ein binärer Zähler verwendet. Hier ist jedoch darauf zu achten, dass der dezimale Wert der binären Ausgabe des Buffers mit der „low“-Sequenz des getesteten Front-End Steckplatzes übereinstimmt. In Abbildung 7.5 ist die Ausgabe des LA für Steckplatz J1 zu sehen. Man kann erkennen, dass das Signal des Dekoders genau über dem Dezimalwert „0“ des Buffers liegen (rote Linie). Für Steckplatz J2 müsste das Signal beim Wert „1“ erscheinen, usw.

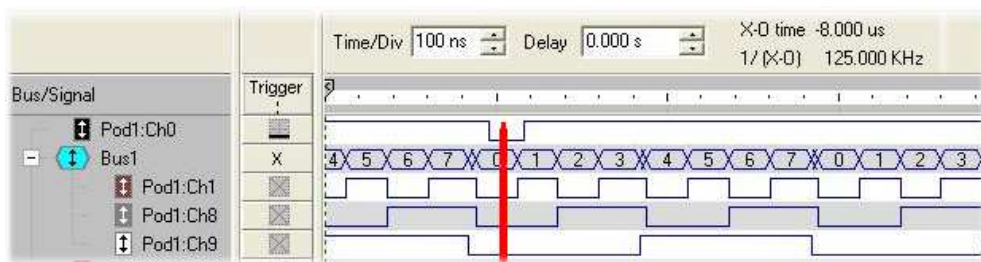


Abbildung 7.5: Ergebnis des Tests der DAC Selektionssignale

Um die Funktionalität des RAMs zu testen, wurden verschiedene Datens equenzen auf alle vier Speicherchips geschrieben und anschließend ausgelesen. Für die Überprüfung der korrekten Verbindung aller Adress- und Datenkanäle wurde zunächst ein fortlaufendes Bitmuster geschrieben. Abbildung 7.6 zeigt das Ausleseergebnis des LA für einen Speicherchip bei Verwendung dieses Musters. In Bus 1 sind die 16 Datenbits einer Adresse verbunden,

Bus 2 enthält die ersten 16 Adresskanäle. Man sieht, dass das Bitmuster exakt beim Wechsel des fünften Adressbits beginnt und endet. Die leichte Verschiebung entsteht durch die interne Synchronisation der RAM Ausgabe. Bei einem Kurzschluss der Adresskanäle würde ein asynchrones Bitmuster zu erkennen sein (siehe Abb. 7.8), für die Datenkanäle würde ein falsches Bit im Bitmuster erscheinen.

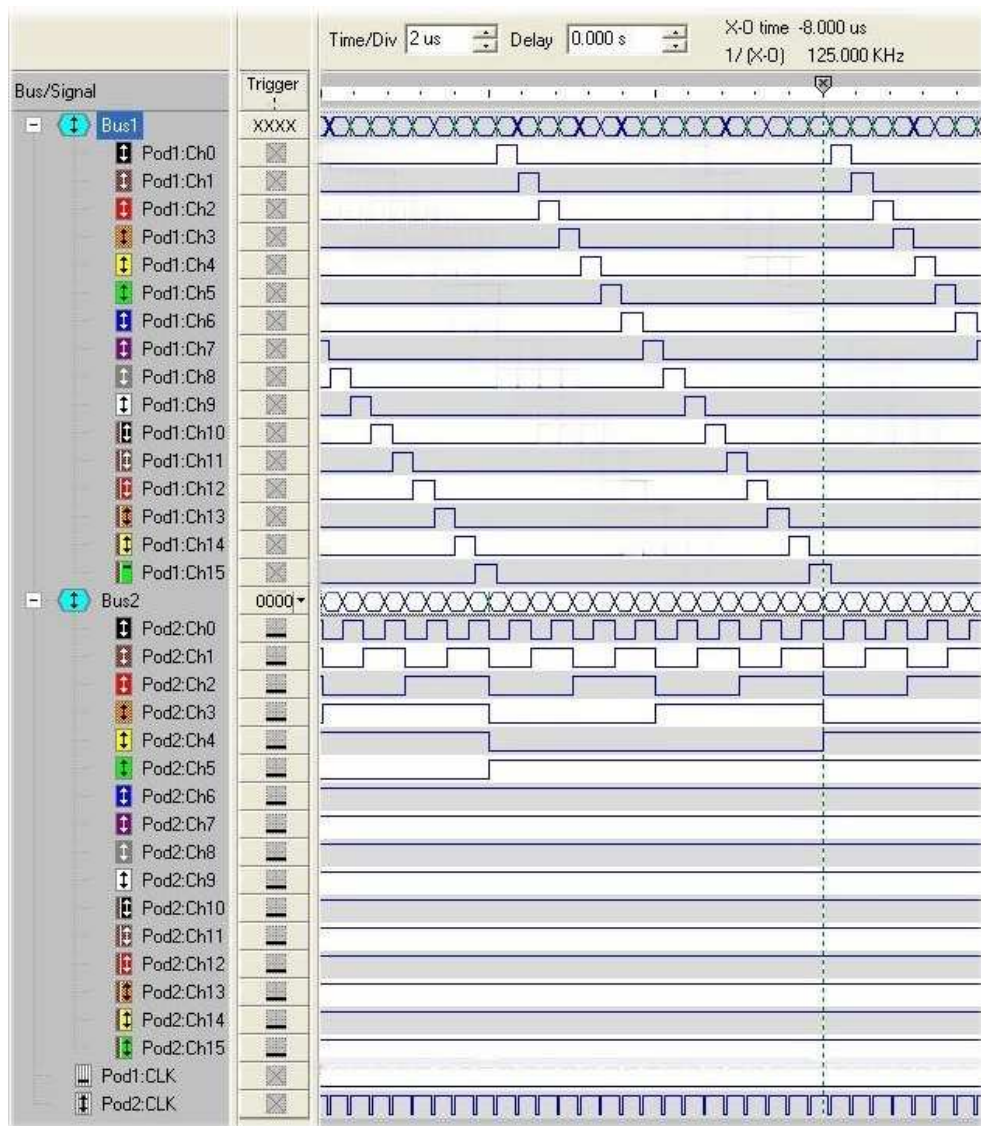


Abbildung 7.6: Ergebnis des Tests der RAM Chips (Lesemodus)

Der Triggeranschluss sowie die Funktion des LVDS Receivers wurden durch Anlegen eines externen Signals überprüft. Dazu wurde im Waveform Generator ein Puls erstellt und mit Hilfe eines externen Test Boards in ein LVDS Signal umgewandelt, welches dann zum DigB übertragen wurde. Abbildung 7.7 zeigt die Ausgabe des Oszilloskop. Man erkennt den ursprünglichen Puls (lila), der direkt am Waveform Generator abgegriffen wurde, und

das mit der Probe am Ausgabepin aufgenommene Signal (grün).

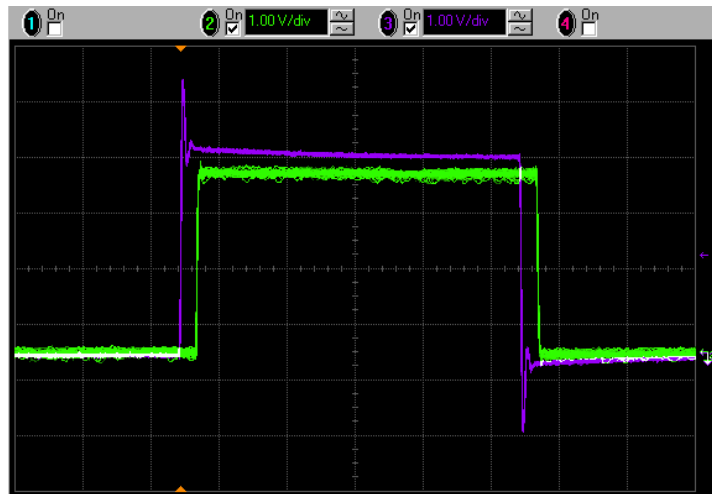


Abbildung 7.7: Ergebnis des Tests des Triggerkanals

Bisher wurde die komplette Testroutine bei zwei Boards der ersten Prototypenserie des Digital Boards komplett durchgeführt und lieferte bei beiden Boards die erwarteten Ergebnisse. Mit Test 6 konnte sogar ein bisher nicht bekannter Fehler im Design der RAM-Adresskanäle festgestellt und mit der beschriebenen Fehleranalyse sofort lokalisiert werden (siehe Abb. 7.8). Im Laufe dieser beiden Testdurchläufe wurden außerdem einige Verbesserungen des Ablaufs (wie z.B. die Schalterbox) entwickelt und bereits in den Ablauf eingebaut.

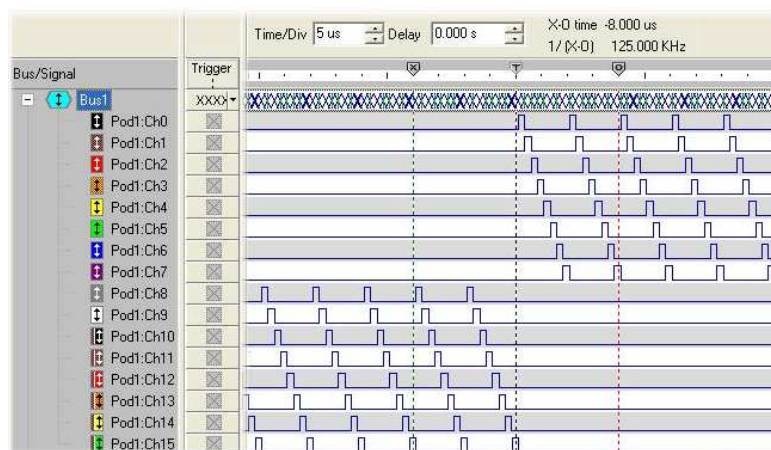


Abbildung 7.8: Mit der Testroutine entdeckter Fehler im Boarddesign, man erkennt das Fehlen einzelner Bitpakete. Durch Analyse der Adresskanäle konnte der Fehler als Kurzschluss der Kanäle 3, 7 und 19 identifiziert werden.

Kapitel 8

Zusammenfassung und Ausblick

Das Ziel dieser Arbeit war die Entwicklung einer Testroutine, welche die korrekte Funktion und Verbindung aller Bauteile und Kanäle des Digital Boards überprüft. Zunächst wurden alle Komponenten des Digital Boards festgestellt und zur Reduzierung der Gesamtanzahl der Tests in Gruppen eingeteilt. Danach wurden die ersten Testideen entwickelt, in eine Hardware-Programmiersprache umgesetzt und auf einem Development Kit getestet. Nach der ersten Funktionsprüfung wurden die Tests weiterentwickelt und auf einen ersten Prototypen des Digital Boards aufgespielt. Es folgte eine weitere Optimierungsphase und schließlich wurde die finale Testroutine auf beiden vorhandenen Prototypen durchgeführt. Innerhalb der Routine werden alle Komponenten des Boards, Bauteile wie auch Verbindungen, überprüft, so dass beim Bestehen aller Tests eine korrekte Funktion des Digital Boards bestätigt werden kann.

Zur Zeit befindet sich die komplette Elektronikentwicklung des AMIGA-Projekts in der Prototypen- und Testphase. Sowohl vom Digital Board als auch vom Power Distributor Board und von den Daughterboards existieren bisher nur einige Prototypen, die jedoch alle die erste Testphase bereits durchlaufen haben. Die erste Version des Mother Boards wird bereits für weitere Testzwecke mit den Szintillatoren verwendet, eine zweite Version genauso wie das Microcontroller Board werden zur Zeit designed.

Nach einer längeren Testphase und Bestätigung der korrekten Funktion aller Boards soll in naher Zukunft eine „unitary cell“ mit 28 Komplettsystemen bestehend aus Szintillator, Elektronik und Oberflächeneinheit im AMIGA-Array installiert werden, welche erste Daten nehmen und damit zur weiteren Entwicklung und Verbesserung des Systems beitragen soll. Im Anschluss an diese Testphase und Überarbeitung der Komponenten soll sobald wie möglich mit der Massenproduktion begonnen und das gesamte Array bestückt werden, damit das System schließlich mit den anderen Detektoren des Auger-Arrays synchronisiert werden kann, um die genannte Verbesserung der Präzision zu erreichen und somit eine noch genauere Erforschung der kosmischen Strahlung und des Universums zu ermöglichen.

Anhang A

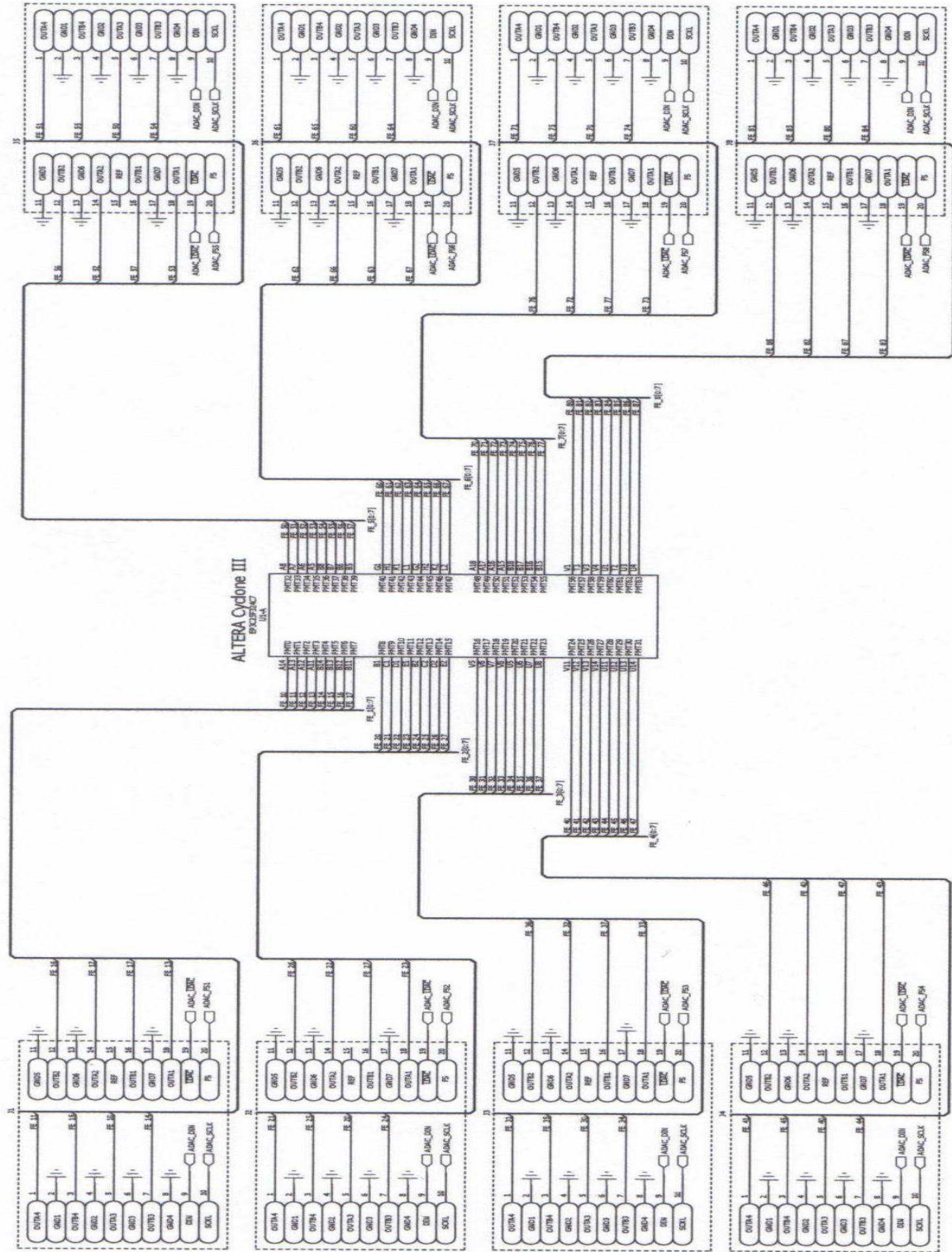
Schematics Digital Board

Für alle Schematics:

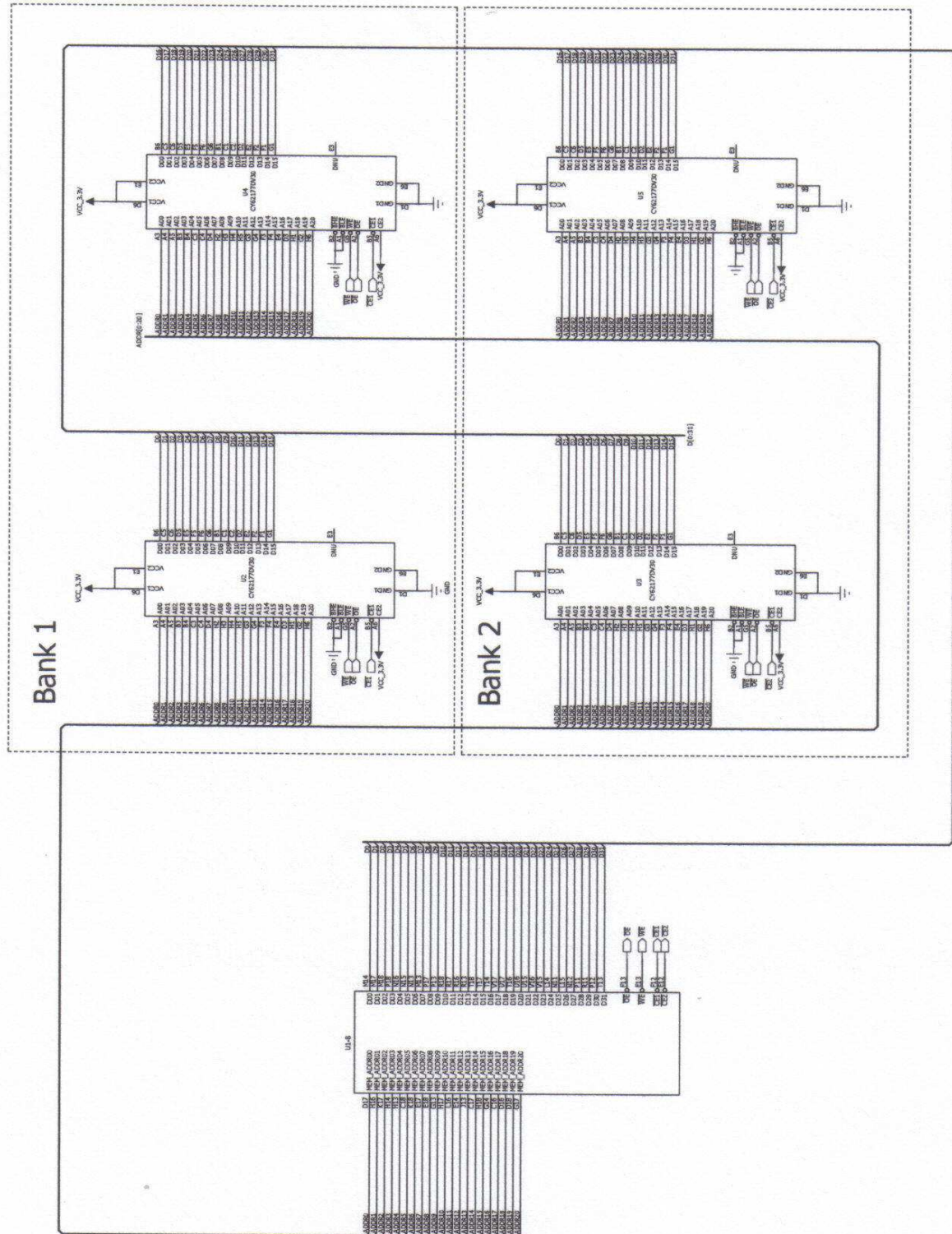
Copyright by

Yury Kolotaev (Universität Siegen)
Oscar Wainberg (C.N.E.A. Buenos Aires)

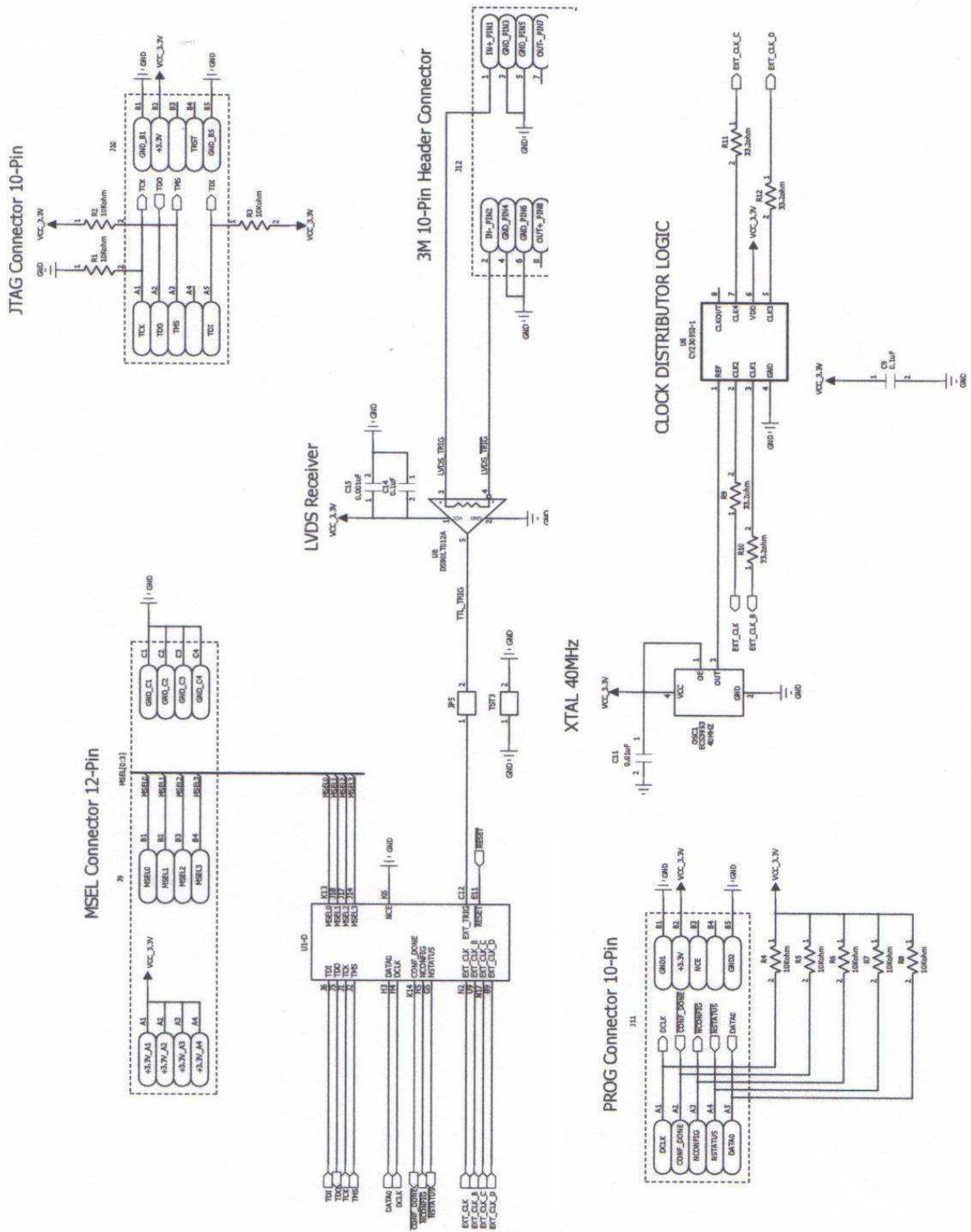
A.1 Front End Interface



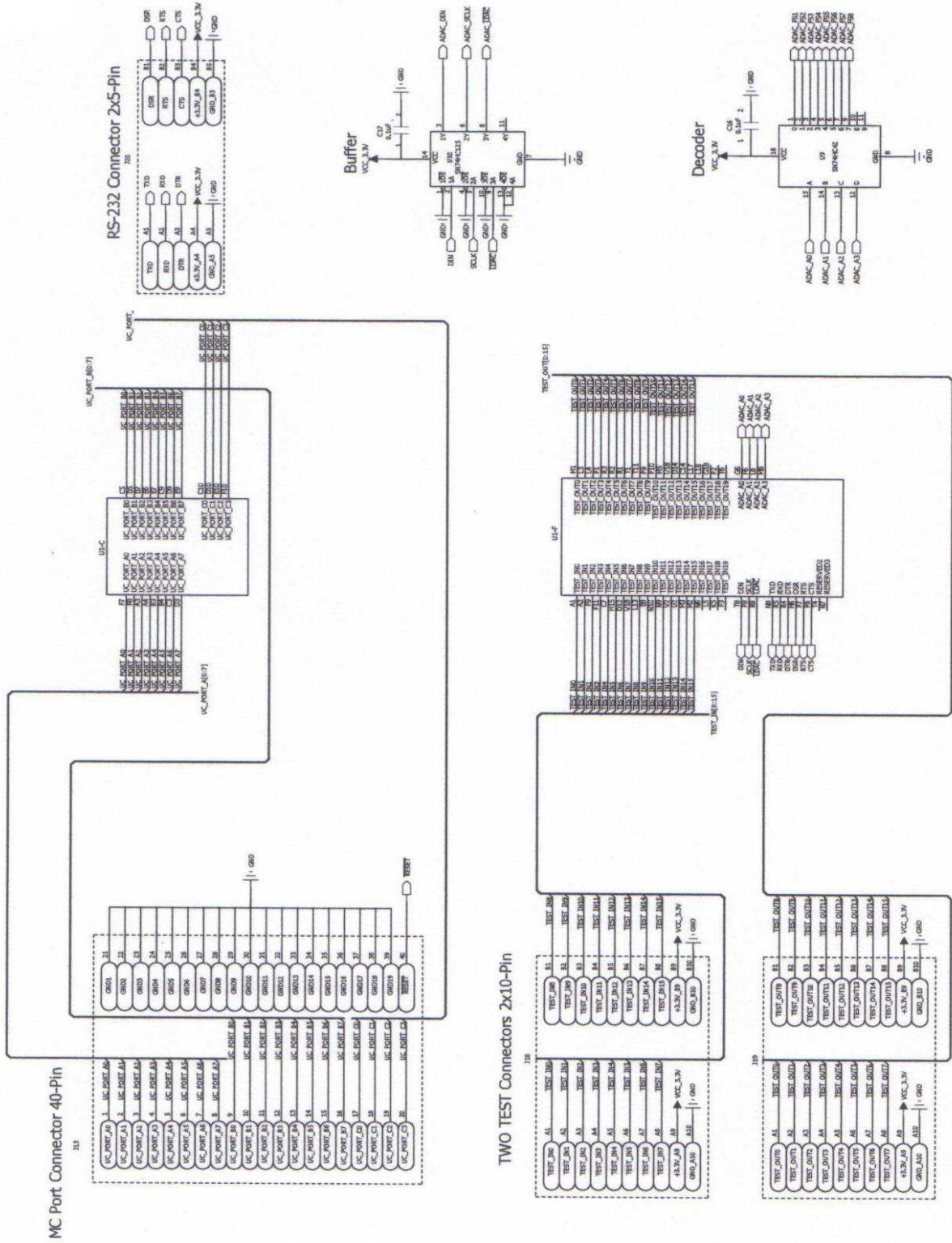
A.2 External RAM



A.3 Programming, Clock und Trigger



A.4 Microcontroller, Test und DAC



Literaturverzeichnis

- [1] PIERRE AUGER OBSERVATORY: *Homepage*,
URL: <http://www.auger.org> und <http://www.auger.de>
letzter Abruf: 09. Juli 2008.
- [2] CLAUS GRUPEN: *Astroteilchenphysik*, Springer Verlag, 2001.
- [3] ENRICO FERMI: *On the origin of the cosmic radiation*, Phys.Rev.75:1169-1174, 1949.
- [4] THE PIERRE AUGER COLLABORATION: *Correlation of the highest energy cosmic rays with nearby extragalactic objects*, Science, vol.318, p.939-943 (9 November 2007), arxiv: 0711.2256v1.
- [5] MARTIN LEMOINE, GÜNTER SIGL: *Physics and Astrophysics of Ultra-High-Energy Cosmic Rays*, Springer Verlag, 2001.
- [6] R. C. SHELLARD: *First results from the Pierre Auger Observatory*, Braz.J.Phys. 36 (2006) 1184-1193, arxiv: astro-ph/0609060v1.
- [7] A. D. SUPANITSKY ET AL.: *Underground Muon Counters as a Tool for Composition Analyses*, arxiv: 0804.1068v1.
- [8] M. AVE: *Reconstruction accuracy of the surface detector array of the Pierre Auger Observatory*, arxiv: 0709.2125v1.
- [9] D. BARNHILL ET AL.: *Measurement of the Lateral Distribution Function of UHECR Air Showers with the Pierre Auger Observatory*, arxiv: astro-ph/0507590v1.
- [10] GUSTAVO MEDINA-TANCO: *Astrophysics Motivation behind the Pierre Auger Southern Observatory Enhancements*, ICRC 2007 #991, arxiv: 0709.0772v1.
- [11] M. C. MEDINA ET AL.: *Enhancing the Pierre Auger Observatory to the 10^{17} to $10^{18.5}$ eV Range: Capabilities of an Infill Surface Array*, Nucl.Instrum.Meth. A566 (2006) 302-311, arxiv: astro-ph/0607115.

- [12] ALBERTO ETCHEGOYEN FOR THE PIERRE AUGER COLLABORATION: *AMIGA, Auger muon and in-fill for the ground array*, ICRC 2007 #1307, arXiv: 0710.1646v1.
- [13] CYPRESS SEMICONDUCTOR CORPORATION: *Datasheet CY2305*
URL: http://download.cypress.com.edgesuite.net/design_resources/datasheets/contents/cy2305_cy2309_8.pdf
letzter Abruf: 04. Juli 2008.
- [14] MICREL CORPORATION: *Datasheet Mic29300*
URL: http://www.micrel.com/_PDF/mic29150.pdf
letzter Abruf: 03. Juli 2008.
- [15] MICREL CORPORATION: *Datasheet Mic69300*
URL: http://www.micrel.com/_PDF/mic69300.pdf
letzter Abruf: 05. Juli 2008.
- [16] NATIONAL SEMICONDUCTOR CORPORATION: *Datasheet LP3991*
URL: <http://www.national.com/ds.cgi/LP/LP3991.pdf>
letzter Abruf: 02. Juli 2008.
- [17] TEXAS INSTRUMENTS INCORPORATION: *Datasheet SN74HC125*
URL: <http://focus.ti.com/lit/ds/symlink/sn74hc125-q1.pdf>
letzter Abruf: 01. Juli 2008.
- [18] TEXAS INSTRUMENTS INCORPORATION: *Datasheet SN74HC42*
URL: <http://focus.ti.com/lit/ds/symlink/sn74hc42.pdf>
letzter Abruf: 01. Juli 2008.
- [19] TEXAS INSTRUMENTS INCORPORATION: *Datasheet TLV5630*
URL: <http://focus.ti.com/lit/ds/symlink/tlv5630.pdf>
letzter Abruf: 06. Juli 2008.
- [20] CYPRESS SEMICONDUCTOR CORPORATION: *Datasheet CY62177*
URL: http://download.cypress.com.edgesuite.net/design_resources/datasheets/contents/cy62177dv30_8.pdf
letzter Abruf: 01. Juli 2008.
- [21] JEAN P. NICOLLE: *FPGA 4 Fun*,
URL: <http://www.fpga4fun.com/>
letzter Abruf: 06. Juli 2008.

- [22] WIKIPEDIA: *Field Programmable Gate Array*,
URL: <http://de.wikipedia.org/wiki/FPGA>
letzter Abruf: 03. Juli 2008.
- [23] ALTERA CORPORATION, USA: *Cyclone III Handbook*
URL: http://www.altera.com/literature/hb/cyc3/cyclone3_handbook.pdf
letzter Abruf: 08. Juli 2008.
- [24] ALTERA CORPORATION: *Homepage*,
URL: <http://www.altera.com>
letzter Abruf: 05. Juli 2008.
- [25] PAUL HOROWITZ, WINFIELD HILL: *The Art of Electronics*, Cambridge University Press, 2nd Edition, 1989.
- [26] ALTERA CORPORATION, USA: *Quartus II Handbook*
URL: http://www.altera.com/literature/hb/qts/quartusii_handbook.pdf
letzter Abruf: 08. Juli 2008.
- [27] AGILENT TECHNOLOGIES: *Datasheet E3640A DC Power Supply*
URL: <http://cp.literature.agilent.com/litweb/pdf/5968-7355EN.pdf>
letzter Abruf: 12. Juli 2008.
- [28] AGILENT TECHNOLOGIES: *Datasheet Infiniium 54845A Oscilloscope*
URL: <http://cp.literature.agilent.com/litweb/pdf/5980-2397EN.pdf>
letzter Abruf: 12. Juli 2008.
- [29] AGILENT TECHNOLOGIES: *Datasheet LogicWave E9340A*
URL: <http://cp.literature.agilent.com/litweb/pdf/5968-5560E.pdf>
letzter Abruf: 12. Juli 2008.
- [30] AGILENT TECHNOLOGIES: *Datasheet 33250A Waveform Generator*
URL: <http://cp.literature.agilent.com/litweb/pdf/5968-8807EN.pdf>
letzter Abruf: 12. Juli 2008.
- [31] METERMAN TEST TOOLS EUROPE: *Datasheet Digital Multimeter 37XR*
URL: http://support.metermantesttools.com/meterman-sales/Download/Asset/2062690_B_6118_ENG_W.PDF
letzter Abruf: 12. Juli 2008.

Danksagung

Abschließend möchte ich allen Menschen danken, die zum Gelingen dieser Arbeit beigetragen haben.

Mein besonderer Dank gilt:

Prof. Dr. Ivor Fleck, der mir die Möglichkeit gegeben hat, am Auger Experiment mitzuarbeiten und in diesem Rahmen meine Arbeit zu schreiben. Außerdem möchte ich ihm danken, dass er es mir ermöglicht hat, auch nach Fertigstellung der Arbeit an diesem spannenden Projekt weiterarbeiten zu können.

Prof. Dr. Peter Bucholz und der gesamten Arbeitsgruppe Hochenergiephysik für die überaus freundliche Aufnahme, die vielen guten Gespräche und natürlich den Kaffee.

Yury Kolotaev für seine Geduld mit meinem zu Beginn doch sehr gering ausgeprägten Programmierverständnis sowie für die vielen guten Ideen, wenn es mal wieder irgendwo nicht weiter ging.

Rodica Tcaciuc, Isabell Steinseifer, Uwe Fröhlich, Michael Scharun, Marcus Rammes und Stefan Grebe für die vielen Informationen und Ideen rund um Auger und AMIGA bei unseren „Mini-Meetings“ in der Mensa oder beim Kaffee.

Thomas Bäcker und Dirk Kickelbick für die sehr angenehme und entspannte Arbeitsatmosphäre im Büro und die vielen Latex-Tricks.

Meiner Familie, meiner Freundin und meinen Freunden für die Unterstützung während der gesamten Zeit. Ohne euch wäre diese Arbeit so nicht möglich gewesen. Vielen Dank!

Eidesstattliche Erklärung

Hiermit versichere ich, die vorliegende Arbeit selbstständig und unter ausschließlicher Verwendung der angegebenen Literatur und Hilfsmittel erstellt zu haben.

Die Arbeit wurde bisher in gleicher oder ähnlicher Form keiner anderen Prüfungsbehörde vorgelegt und auch nicht veröffentlicht.

Siegen, den _____

Unterschrift